

Trabajo especial de Licenciatura en Física

*Degradación de transistores MOSFET de potencia en
alimentadores de instrumentos de Resonancia Magnética
Nuclear con campo magnético ciclado*



María del Carmen Rojas

Directores: Esteban Anoardo y Eduardo A. Romero

Facultad de Matemática, Astronomía y Física

Marzo de 2017



Degradación de transistores MOSFET de potencia en alimentadores de instrumentos de Resonancia Magnética Nuclear con campo magnético ciclado por Rojas María del Carmen, Romero A. Eduardo y Esteban Anoardo se distribuye bajo una [Licencia Creative Commons Atribución-NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Índice General

Agradecimientos	8
Resumen breve/ Abstract	10
Resumen general	11
Capítulo 1: Introducción a la RMN con Campo Ciclado	14
1.1 Breve introducción a la RMN	14
1.2 Resonancia Magnética Nuclear con Campo Ciclado	18
1.2.1 Instrumentación básica de Campo Ciclado	20
1.2.2 Electroimán	21
1.2.3 Sistema de control de corriente	23
1.2.4 Sistema de Refrigeración	25
1.3 Fuente de Potencia	26
1.3.1 Condiciones para las fuentes de potencia FC	26
1.3.2 Elementos para la conmutación de corriente	26
1.3.3 Tipos de Fuentes para campo ciclado	28
1.3.4 Fuente de Potencia utilizada en el equipo STELAR Spinmaster	30
Capítulo 2: MOSFET de potencia	34
2.1 Introducción y tipos de MOSFET	35
2.2 MOSFET de estructura plana vs. MOSFET de Potencia	36
2.3 Estructura básica de los MOSFET de Potencia	39
2.3.1 Componentes parásitas	42
2.3.1.1 Resistencias intrínsecas	44
2.3.1.2 Capacitancias intrínsecas: operaciones de conmutación	46
2.3.1.3 Otros elementos dinámicos: Inductancias parásitas	48
2.3.1.4 Componentes parásitas activas	49

2.3.2 Resistencias térmicas.....	51
2.4 Características de tensión-corriente en el MOSFET.....	52
2.4.1 Funcionamiento en la región de corte ($V_{GS} \ll V_{t0}$).....	52
2.4.2 Funcionamiento en la región óhmica o lineal.....	53
2.4.3 Funcionamiento en la región de saturación.....	54
2.5 Límites de Operación.....	56
2.5.1 SOA (Área Segura de Operación)	56
2.5.2 Máximo voltaje V_{DS}	58
2.5.3 Máxima corriente I_D	58
2.5.4 Temperatura máxima de operación.....	58
2.5.5 Ruptura de la puerta de óxido.....	59
Capítulo 3: Mecanismos de Falla para MOSFET de potencia	60
3.1 Mecanismos asociados con el chip.....	60
3.1.1 Estrés eléctrico.....	60
3.1.2 Descarga Electrostática.....	61
3.1.3 Fallas para MOSFET por altas $\frac{dV_{DS}}{dt}$ y activación de componentes parásitas...62	
3.1.4 Efectos asociados a la inyección de iones de alta energía.....	64
3.1.5 Estrés inducido por migración de cargas.....	68
3.1.6 Activación Térmica.....	69
3.1.7 Ruptura en la puerta de óxido.....	73
3.2 Mecanismos asociados con el encapsulado.....	74
3.2.1 Despegue de alambres.....	74
3.2.2 Fatiga en la soldadura.....	75

Capítulo 4: Montajes experimentales para experiencias de degradación en MOSFET's de potencia	78
4.1 Instrumentación	78
4.1.1 Descripción del Montaje Experimental.....	81
4.2 Experimentos de degradación	88
4.2.1 Degradación a corriente I_D constante.....	89
4.2.2 Degradación por Pulsos cortos de Alta Tensión.....	92
4.2.3 Degradación de un transistor ubicado en el Equipo de RMN: objetivos.....	95
Capítulo 5: Resultados	98
5.1 Degradación a corriente I_D constante	98
5.1.1 Degradación a corriente $I_D = 7 A$	98
5.1.2 Degradación a corriente $I_D = 13 A$	104
5.2 Degradación por picos de tensión V_{DS} en régimen pulsado	112
5.3 Degradación del transistor ubicado en la fuente de alimentación del equipo de RMN por el transcurso de 2 meses	125
Comentarios finales del Capítulo	132
Capítulo 6: Análisis de los Resultados	136
Conclusiones	142
Referencias	144
Anexo 1: Hoja de datos del transistor MOSFET de Potencia IRFP350	150

...su equipo es tan precario, como su destino.

Invisible, 1976

Agradecimientos

A mi familia, en especial a mis padres, por esta oportunidad, su constante ánimo y apoyo.

A Liorén, Larisa, Maximiliano y Macarena por su amistad durante estos años, las discusiones y las largas tardes de estudio.

A Eduardo y Esteban por su guía, paciencia y predisposición.

A la gente del La.R.T.E., Alexis, Delfina, Agustín, Gabriela, Gonzalo, Carla, Guille, Lalo y Taqui por la buena onda de siempre y la gran ayuda que me dieron para que esta tesis salga adelante.

Resumen

En este trabajo se propone realizar un estudio de las causas de estrés a la que están sometidos los transistores MOSFET de potencia que conforman la fuente de alimentación en instrumentos de Resonancia Magnética Nuclear (RMN) con campo magnético ciclado. Se presenta un estudio de las posibles causas de estrés y los mecanismos físicos de degradación asociados, información necesaria para el diseño de sistemas de protección eficientes, y estrategias adecuadas de prognosis que permitan anticipar eventuales fallos. Se estudia experimentalmente los causales de estrés bajo condiciones típicas de funcionamiento.

Abstract

This paper proposes a study of the causes of stress in the power MOSFET transistors that are part of the power supply in instruments of Nuclear Magnetic Resonance (NMR) with magnetic field cycling. Presents a study of the causes of stress and the associated physical mechanisms of degradation, necessary information for the design of efficient protection systems and appropriate strategies for prognosis enabling to anticipate any failures. We experimentally study the causes of stress under typical operating conditions.

Clasificación (PACS): 76.90.+d, 85.30.Tv

Palabras clave: RMN con campo magnético ciclado, transistor MOSFET, transistor MOSFET de potencia, mecanismos de falla, estrategias de prognosis

Resumen general

En la técnica de resonancia magnética nuclear con campo magnético ciclado, el campo magnético se conmuta en sincronismo con las secuencias de pulsos de radio-frecuencia (y otras eventuales manipulaciones físicas del sistema de espines nucleares bajo estudio), según el experimento que se implemente. Dado que la relación señal-ruido de la señal nuclear depende, entre otros factores, de la intensidad del campo magnético; y que por otra parte en esta técnica es posible evolucionar parte del experimento a campos débiles (incluso campo magnético nulo), resulta necesario efectuar conmutaciones entre sus valores extremos, típicamente entre pocos mT y valores del orden de 1 T. Dicho campo magnético se genera mediante un electroimán que puede ser de núcleo de aire o ferromagnético. En el caso de electroimanes con núcleo de aire, el dispositivo que suministra corriente al electroimán debe ser capaz de conmutar grandes corrientes (varios cientos de Amperes), en tiempos del orden de pocos milisegundos. Dada la componente inductiva del electroimán, en la conmutación se generan importantes transitorios de alta tensión y un notable calentamiento en los semiconductores de potencia (en general transistores MOSFET).

En este trabajo se propone realizar un estudio de las causas de estrés a la que están sometidos los transistores MOSFET de potencia que conforman la fuente de alimentación en instrumentos de Resonancia Magnética Nuclear (RMN) con campo magnético ciclado. Se presenta un estudio de las posibles causas de estrés y los mecanismos físicos de degradación asociados, información necesaria para el diseño de sistemas de protección eficientes, y estrategias adecuadas de prognosis que permitan anticipar eventuales fallos. Se estudia experimentalmente los causales de estrés bajo condiciones típicas de funcionamiento. Los resultados obtenidos permiten observar un claro cambio de comportamiento de los dispositivos a través de las curvas paramétricas. Tanto para experimentos de estrés a corriente constante como pulsada, se observa una disminución de la corriente del drenador en las curvas paramétricas, particularmente en la región de saturación. No se observan cambios en las curvas de transferencia. Si bien los resultados obtenidos hasta el momento no permiten identificar un mecanismo físico de degradación dominante, son útiles para el diseño de estrategias de prognosis y sistemas de protección.

Capítulo 1

Introducción a la RMN con Campo Ciclado

El fenómeno de resonancia magnética se encuentra en sistemas magnéticos que poseen tanto momento magnético como momento angular.

El término *resonancia* implica que nos “sintonizamos” con la frecuencia natural del sistema que, en este caso, corresponde a la frecuencia de precesión giroscópica del momento magnético en torno a un campo magnético externo.

En el siguiente capítulo se desarrolla una breve introducción a la *Resonancia Magnética Nuclear con Campo Ciclado* (RMN CC) haciendo hincapié en las partes específicas del aparato que nos son de interés. Está basada en las referencias [1-12], las cuales proveen una descripción detallada de la teoría e instrumentación de RMN.

1.1 Breve Introducción a la RMN

Para comprender los fundamentos de la técnica de RMN se puede abordar el problema desde dos puntos de vista: aproximación clásica, donde se considera al conjunto de espines nucleares “representado” por un único espín en presencia de un campo externo; y aproximación cuántica, donde el objetivo es ver cómo cambian los estados del sistema físico en presencia de radiación electromagnética resonante. Ambas formas son útiles para visualizar el fenómeno, pero por simplicidad adoptamos el enfoque clásico.

Todas las sustancias son *magnéticas*, es decir que tienen la capacidad de interactuar con campos magnéticos. Esta interacción usualmente se expresa en términos de un momento magnético μ . Dicho parámetro es proporcional al momento angular intrínseco de espín, J . Si ubicamos una muestra (no ferromagnética) en un campo magnético externo B , de acuerdo con las leyes de la mecánica clásica y el electromagnetismo, la dinámica de un núcleo con momento μ en presencia del campo magnético estará determinada por:

$$\frac{\partial \boldsymbol{\mu}}{\partial t} = \gamma \boldsymbol{\mu} \times \mathbf{B}$$

donde el segundo término es el torque efectuado por el campo sobre el dipolo magnético. Este torque afecta al momento magnético induciendo un movimiento de precesión en torno al campo \mathbf{B} (Ver **Figura1**).

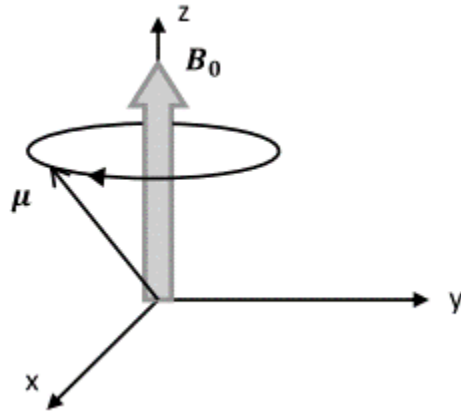


Figura 1: Movimiento de precesión del momento magnético alrededor de un campo magnético estático en la dirección z.

La frecuencia angular de precesión en torno al campo del vector $\boldsymbol{\mu}$ se conoce como *frecuencia de Larmor* $\boldsymbol{\omega} = -\gamma \mathbf{B}$, donde γ es la razón giromagnética.

Si nos trasladamos a un marco de referencia rotando¹ con el vector magnetización (es decir, con frecuencia de Larmor) donde $\mathbf{B} = |\mathbf{B}|\hat{k}$, la magnetización \mathbf{M} se vuelve estacionaria.

¹Los vectores los distinguimos de los escalares utilizando letra en negrita (por ejemplo, \mathbf{B}). Los vectores unitarios se marcan con un signo (^). Cuando sea útil utilizamos coordenadas Cartesianas con ejes: x, y, z en el sistema laboratorio, o x', y', z' en un sistema rotante a una frecuencia definida. Todas las cantidades están dadas en unidades del SI, por ejemplo: \mathbf{B} en Tesla (T), \mathbf{M} Ampere por metro (A/m), velocidad angular $\boldsymbol{\Omega}$ en radian por segundo (rad/s) y frecuencia de Larmor $\boldsymbol{\omega}$ en Hz (Hertz o 1/s).

Aplicando un campo magnético rotante $\mathbf{B}_1(t)$ que tiene velocidad angular Ω cercana a la frecuencia de Larmor, el campo efectivo en el sistema rotante será:

$$\mathbf{B}_e = \left(B + \frac{\Omega}{\gamma} \right) \hat{k} + |\mathbf{B}_1| \hat{i}$$

donde \hat{i} y \hat{k} son vectores unitarios a lo largo de los ejes x' y z' .

Si Ω satisface la condición de resonancia $\Omega = -\gamma|\mathbf{B}| = -\gamma B$, resulta: $\mathbf{B}_e = \mathbf{B}_1 \hat{i}$ y la magnetización \mathbf{M} (o $\boldsymbol{\mu}$) rotará (en el sistema rotante) en torno a este campo \mathbf{B}_1 a una velocidad angular $\omega_1 = \gamma \mathbf{B}_1$. Si se cumple la condición de resonancia, en el marco de referencia rotante el campo \mathbf{B}_1 va ser un campo estático.

Una apropiada combinación de intensidad y de duración del campo \mathbf{B}_1 permite rotar la magnetización en el ángulo deseado. Si se aplica el campo oscilante durante un periodo t_p , \mathbf{M} describirá un ángulo $\theta = \omega_1 t_p$ (ver **Figura 2**). Si $\theta = \pi$, el pulso se denomina "pulso de 180°" e invierte la magnetización del sistema al eje $-z'$. Si $\theta = \frac{\pi}{2}$ (pulso de 90°), el pulso voltea la magnetización al eje y' .

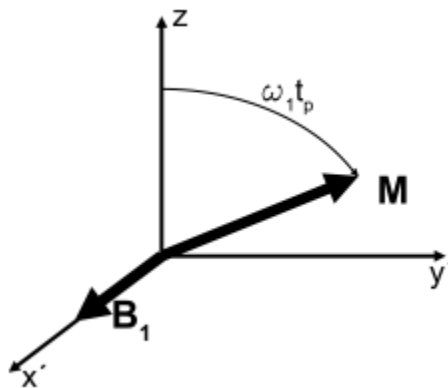


Figura 2: Ilustración de la evolución de \mathbf{M} en el sistema rotante (x' , y' , z')

La magnetización inicial \mathbf{M} es rotada mediante un pulso de RF de 90° al plano transversal x' - y' donde los espines nucleares, en condiciones ideales, llegan a un estado de coherencia temporal de fase. Al cortar el pulso de RF, la coherencia de fase generada desaparece. La

pérdida de coherencia tiene su origen en las inhomogeneidades del campo magnético \mathbf{B} y en la relajación nuclear espín-espín. Esto lleva a un decaimiento de las componentes transversales de la magnetización $\mathbf{M}_{x'-y'}$ en el plano $x'-y'$.

La detección de la señal de RMN, es decir las componentes transversales de la magnetización $\mathbf{M}_{x'-y'}$, se puede lograr utilizando la misma bobina que produce el pulso de RF. Esta bobina debe generar un campo de RF con dirección normal al campo \mathbf{B} . La magnetización que rota y decae induce una señal en la bobina a la frecuencia de Larmor. Esta señal se reconoce como “decaimiento de inducción libre” (*Free Induction Decay* o FID), ver **Figura 3**. A medida que \mathbf{M} retorna a su posición de equilibrio termodinámico (paralela al campo \mathbf{B}), en la bobina de RF, que se encuentra perpendicular al campo, la señal de RMN va perdiendo intensidad. Esto se puede observar en el gráfico de la FID. La mayor intensidad de la señal se alcanzará cuando la magnetización esté paralela a la bobina.

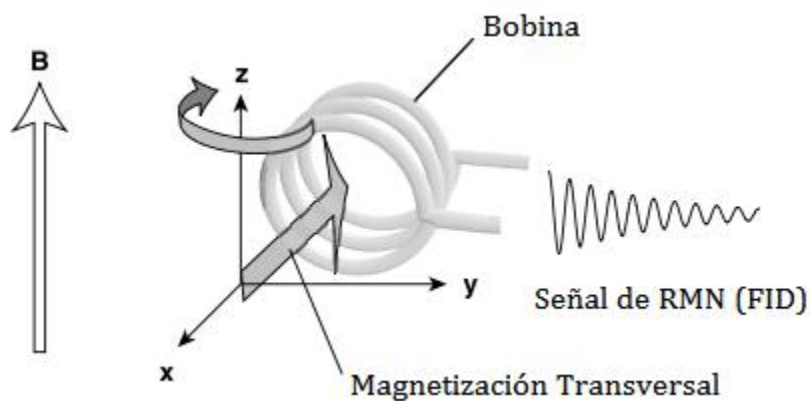


Figura 3: Inducción de una señal de RMN

1.2 RMN con Campo Ciclado

Como ya observamos anteriormente, en experimentos convencionales de RMN, la resonancia se observa irradiando espines nucleares de una muestra inmersa en un campo magnético constante (campo Zeeman) con una apropiada inducción magnética dependiente del tiempo (campo de RF) sintonizada en resonancia con la frecuencia de Larmor del núcleo.

Esta frecuencia de resonancia varía linealmente con la magnitud del campo Zeeman \boldsymbol{B} ($\omega = -\gamma\boldsymbol{B}$). Dado que la relación señal-ruido (S/N) de la señal de inducción libre (FID) depende de la densidad de flujo magnético de la forma:

$$S/N \propto |\boldsymbol{B}| \xi \sqrt{\frac{\eta Q V_S}{k_B T} \left(\frac{\nu_0}{\Delta\nu}\right)} \quad (1)$$

donde η es el factor de llenado de la bobina de RF, Q es el factor de calidad de la bobina, V_S el volumen de la muestra, ν_0 la frecuencia de Larmor (depende de \boldsymbol{B}), $\Delta\nu$ es el ancho de banda del filtro del receptor y del sistema de amplificación, y ξ representa el nivel de ruido de la electrónica del receptor ($\xi < 1$).

La ecuación (1) nos muestra que la relación S/N tiene un incremento proporcional a $|\boldsymbol{B}|^{3/2}$ o $|\boldsymbol{B}|^2$, por lo tanto, la utilización de campos altos de detección y polarización, muestras grandes, altos factores de calidad de la bobina, receptores con bajo ruido y filtros de RF con anchos de banda angostos, va a favorecer que la S/N se incremente. Ante esta perspectiva, la utilización de intensidades decrecientes de campo magnético estático B favorece la degradación de la relación señal-ruido debido a su proporcionalidad con el campo.

Numerosas técnicas han sido desarrolladas y aplicadas para resolver los problemas físicos y técnicos de la RMN a campos de baja magnitud. Una de estas es la *resonancia magnética nuclear con campo ciclado*, el cual se abrevia como (RMN CC o FC por sus siglas en inglés). El campo ciclado involucra tener una muestra en diferentes campos Zeeman \boldsymbol{B} (2 o más) en diferentes tiempos, esto implica que el campo magnético estacionario debe ser modulado periódicamente (ciclado) en intensidad y dirección de una forma definida.

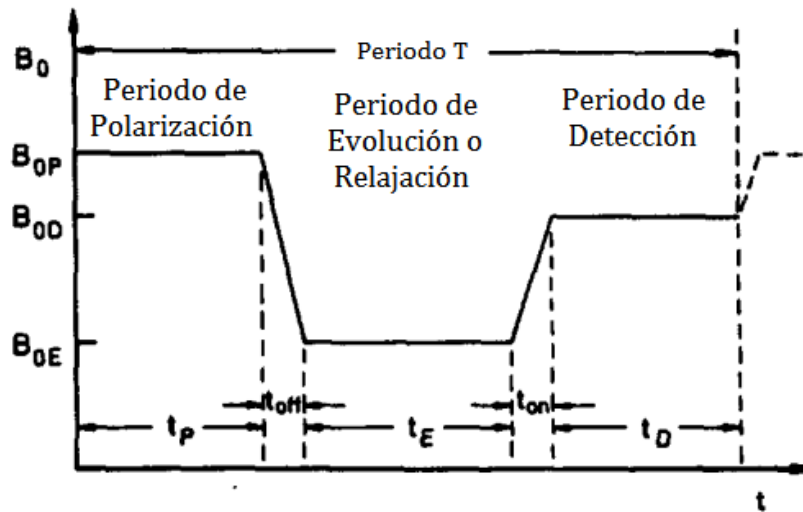


Figura 4: Ciclo típico para B con periodos de polarización, evolución y detección separados por intervalos transitorios de tiempo t_{off} y t_{on} .

El gráfico de una secuencia típica para un experimento de FC se muestra en la **Figura 4**. El diagrama define las tres fases que generalmente corresponden a un ciclo, estas son: polarización o magnetización de periodo P ; evolución o periodo de relajación E y detección o periodo de medición D . El ciclo comienza con P , donde tenemos un campo B_{0P} lo más alto posible para cumplir los requerimientos de homogeneidad. Luego, durante E , el campo se ajusta al rango: $0 < B_{0E} < B_{0P}$. Finalmente, para D la intensidad del campo magnético es incrementada a su máximo valor posible pero ahora con la homogeneidad suficiente como para lograr una correcta adquisición de la señal de RMN (FID); comúnmente se toma $B_{0D} < B_{0P}$.

En un experimento típico el ciclo con periodo total T será repetido varias veces variando los parámetros (campo magnético, tiempos de polarización, relajación, etc.) con el objetivo de observar el comportamiento del sistema de espines.

1.2.1 Instrumentación básica de campo ciclado

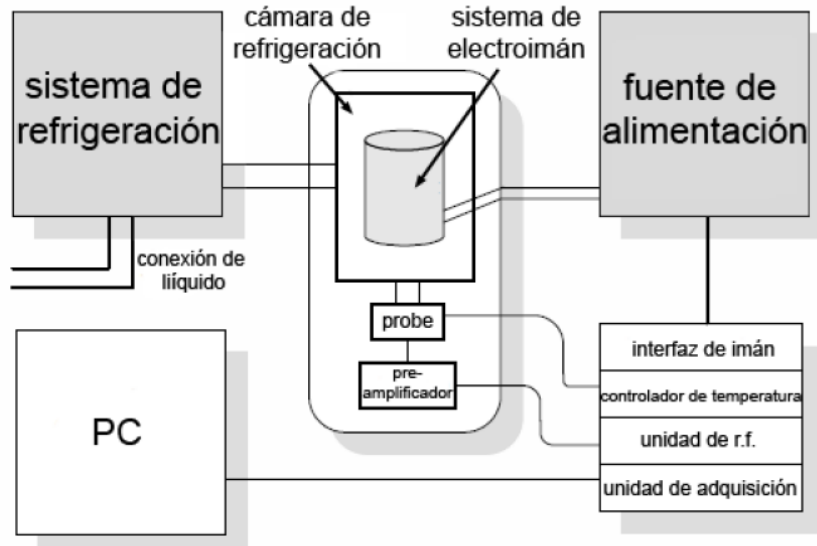


Figura 5: Diagrama en bloques de un aparato de FC. Los cuadros en gris representan las unidades desarrolladas específicamente para los propósitos del campo ciclado. La interfaz del sistema de electroimán también es específica.

Las partes principales de cualquier aparato de FC son: el *electroimán*, la *fuerza de potencia* encargada de conmutar la corriente, el sistema de refrigeración, la unidad de RF, el control de temperatura de la muestra y la computadora.

Los instrumentos fundamentales en esta clase de dispositivo de RMN son: el electroimán y la fuente de potencia. El rendimiento de ambos bloques depende en gran medida de la eficiencia en la refrigeración, por lo tanto, posee también un sistema de refrigeración para el imán y las partes de potencia.

Los objetivos principales en el desarrollo del aparato son: lograr tiempos de conmutación Δt rápidos para evitar excesivos cambios en la magnetización durante el proceso de conmutación y tener densidades de flujo magnético $|\mathbf{B}|$ lo más altas posibles para lograr grandes campos de polarización \mathbf{B}_P y detección \mathbf{B}_D durante el ciclo. Esto mejora la relación

señal-ruido (S/N) de las señales detectadas. Todas estas demandas deben ser reproducibles durante cada ciclo de campo del experimento.

Los experimentos en campo muy homogéneo requieren un diseño de electroimán de geometría adecuada, un sistema de refrigeración que garantice su estabilidad térmica y una fuente de alimentación capaz de lograr una alta estabilidad de corriente luego del transitorio que se origina en la conmutación. Para ello se requiere un sistema de control robusto que garantice la estabilidad del campo magnético durante todo el ciclo útil del experimento.

1.2.2 Electroimán

El electroimán es la parte más importante del aparato de campo ciclado, puesto que va a condicionar de cierta forma los requerimientos que deben cumplir la fuente de potencia y el sistema de refrigeración.

Un electroimán para conmutación rápida de campo ciclado (núcleo de aire) debe estar diseñado para: tener baja inductancia y bajos valores de resistencia. Debe maximizarse el factor de Fabry² para tener un mejor uso de la potencia disponible, y la homogeneidad espacial del campo en la región donde se ubica la muestra debe ser suficiente para asegurar una apropiada adquisición de la señal.

Las características físicas del imán, condicionan las aplicaciones en la cual se puede utilizar. El beneficio de reducir el volumen del imán es una menor inductancia y resistencia, facilitando la conmutación a la vez que disminuye la disipación durante los pulsos de corriente³. Sin embargo, esta reducción de tamaño degrada la homogeneidad, lo que condiciona la relación señal-ruido de la FID. Con imanes de mayor volumen se facilita la

² El “factor de Fabry”, “factor geométrico” o “factor-G” es una constante sin dimensión puramente dependiente de las propiedades geométricas de una distribución de corriente. Para una bobina, $B = G\sqrt{W\lambda/\rho r_0}$ donde W es la potencia disipada, ρ es la resistividad y r_0 el radio interno de la bobina.

³ Al disminuir el volumen, también disminuye la superficie de contacto con el fluido refrigerante, la disipación es más localizada y por ende es necesario un mejor control de la temperatura.

obtención de un campo homogéneo en el centro de la muestra, pero tienen mayor peso, mayor inductancia y una elevada disipación de potencia. Por lo tanto, se debe considerar que las características del imán dependen en gran medida de la aplicación particular para la cual se diseña el instrumento. Dadas las particularidades del ciclado de campo, el dispositivo por excelencia para estos aparatos es *el electroimán con núcleo de aire*.

La utilización de materiales ferromagnéticos queda restringida debido a su respuesta a bajas frecuencias y sus altos *loops* de histéresis, principalmente debido a que el tiempo de conmutación entre los valores de campo es un factor determinante. También se intenta evitar los valores de resistencia altos puesto que el problema general en los electroimanes de campo ciclado de este tipo es la producción de calor de Joule en el transcurso del ciclado de campo conduciendo a distribuciones de temperatura en el imán que causan tensiones mecánicas (principalmente por dilatación y contracción del material). Esta deformación mecánica genera variaciones en el campo magnético afectando así las mediciones. No obstante, en los últimos años se han implementado algunas soluciones con núcleo ferromagnético que muestran la potencialidad de esta alternativa [16], [17], [15].

Una optimización que ha tenido gran difusión es la presentada en un trabajo de Schweikert, Krieg y Noack [10] la cual fue adoptada como método de fabricación de los imanes para equipos de campo ciclado de la empresa Stelar⁴. El diseño del electroimán se basó en una distribución no-uniforme de la corriente (densidad de corriente) obtenida proponiendo bobinas basadas en helicoides de paso variable talladas en cilindros metálicos.

La mayor eficiencia (o geometría más eficiente) fue calculada minimizando la potencia necesaria para un dado campo magnético, cuidando los requisitos de conmutación rápida y los requerimientos de homogeneidad. Basado en el método de multiplicadores de Lagrange, se maximiza de manera simultánea la relación campo-potencia, la velocidad de conmutación y la homogeneidad. Si bien los parámetros generales (eléctricos y de homogeneidad) son muy buenos, la construcción de este tipo de electroimán requiere de

⁴ Esta empresa es la única a nivel mundial con trayectoria en desarrollo comercial de equipos de FFC, www.stelar.it.

maquinaria altamente especializada. En la **Figura 6 a)** se muestra una fotografía de este tipo de electroimán donde puede apreciarse el paso variable en la hélice [6].

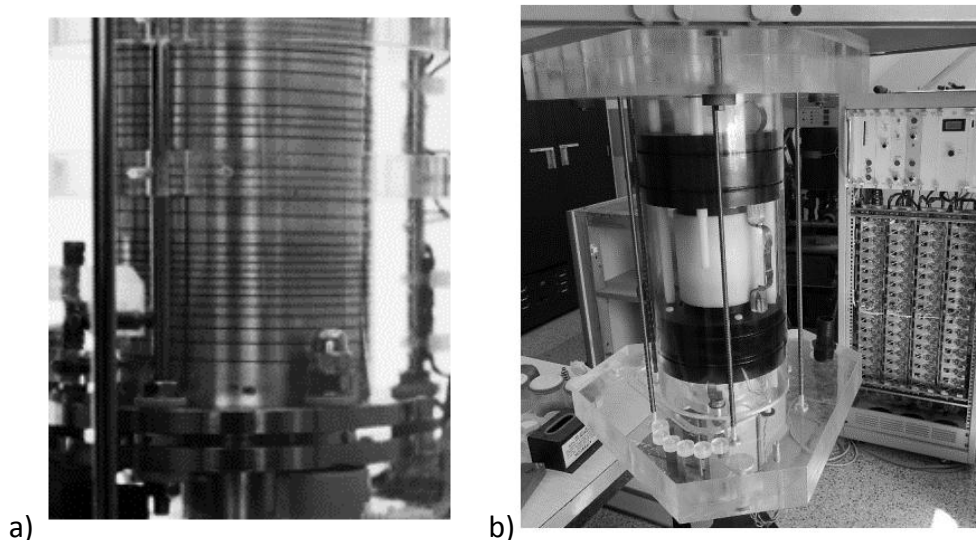


Figura 6: a) Imán tipo Schweikert mostrado como parte del montaje en un equipo comercial de la empresa Stelar; b) Imagen del prototipo de diseño propio del LaRTE, basado en una configuración Notch, ensamblado e instalado en el aparato FFC que se encuentra en el laboratorio [12,12b]. Esta imagen fue extraída de [12b].

1.2.3 Fuente de control de corriente

Dos distintos tipos de procedimientos han sido elaborados para generar campo ciclado Zeeman, i.e. para conmutar campos magnéticos relativamente altos de una forma adecuada a los experimentos de RMN. En las épocas más tempranas del uso de la técnica, la muestra era desplazada entre distintas ubicaciones que poseían distintos campos magnéticos fijos (“conmutación mecánica”). En la mayoría de los desarrollos actuales esto se logra variando la corriente eléctrica que circula a través del electroimán (“conmutación electrónica”). También se han implementado métodos híbridos que serán ventajosos bajo las condiciones especiales de utilización, pero no es el objetivo ampliar acerca de estos otros métodos de conmutación del campo. Nos concentraremos en la conmutación electrónica,

que es claramente superior a la mecánica, puesto que posee intervalos transitorios más rápidos y que permite un mayor alcance en los experimentos.

Durante un experimento de RMN con campo ciclado, la corriente en el imán va variando como se muestra en la **Figura 7**.

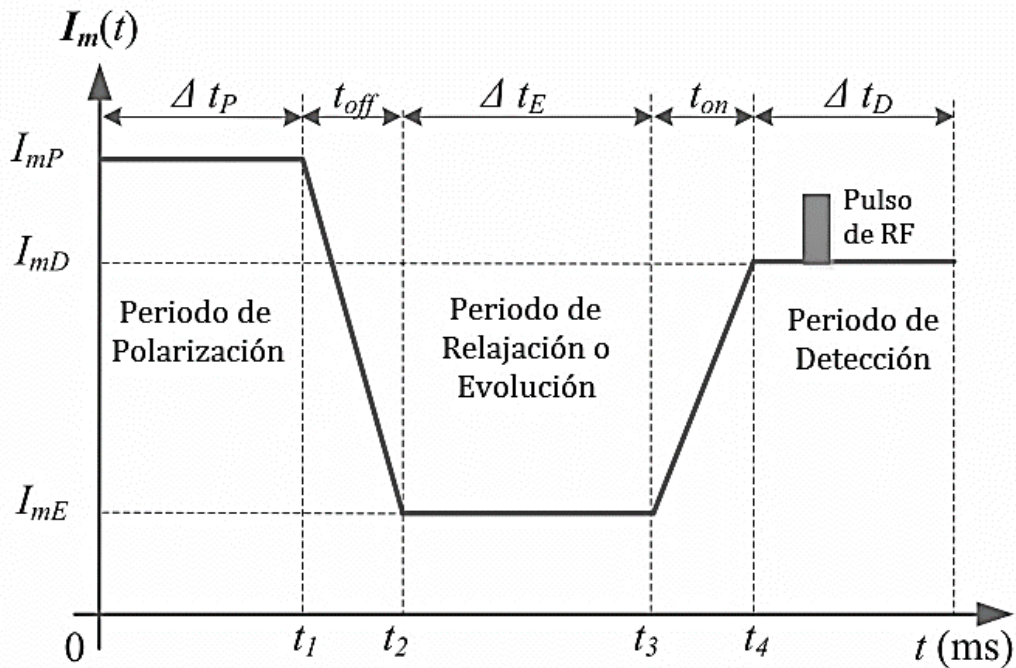


Figura 7: Ciclo de corriente en un electroimán de RMN con campo ciclado [14].

Se pueden observar tres distintos niveles de corriente: nivel de polarización I_{mP} , nivel de relajación o evolución I_{mR} y nivel de detección I_{mD} . Otro requerimiento fundamental de esta técnica son los tiempos de conmutación t_{on} y t_{off} , los cuales deben ser típicamente, del rango de los milisegundos.

El tiempo de polarización Δt_P , el tiempo de relajación o evolución Δt_E y el tiempo de detección Δt_D son configurados de acuerdo a las características del material que se estudia.

El ciclo completo de corriente puede durar desde algunos milisegundos hasta varios segundos [14].

1.2.4 Sistema de Refrigeración

El sistema de refrigeración juega un rol esencial en los aparatos de FC dado que el electroimán y los transistores que forman parte de la fuente de potencia, cambian sus características cuando trabajan en condiciones de temperaturas muy elevadas.

La conmutación repetida del campo puede resultar en variaciones de la temperatura del electroimán y, por ende, una variación del campo magnético debido a la expansión térmica que experimenta el electroimán por su calentamiento durante los distintos experimentos. La diferencia en el campo magnético central de un electroimán frío ($\sim 20\text{ }^{\circ}\text{C}$) a uno caliente ($\sim 60\text{ }^{\circ}\text{C}$) puede ser de varias decenas de kilohertz (en término de frecuencia de protones de Larmor). Esto genera una variación en la magnetización de la muestra y modifica los resultados al momento de la adquisición de datos.

Los aparatos de campo ciclado suelen ser operados cerca de la temperatura ambiente y sus circuitos de operación principales están refrigerados por líquidos especiales que poseen baja viscosidad y buenas propiedades dieléctricas y térmicas, que transfieren el calor disipado en intercambiadores de calor. Para una refrigeración eficiente, es importante utilizar el refrigerante adecuado y *maximizar el área de contacto* entre el líquido que fluye y la bobina, manteniendo la temperatura del refrigerante lo más baja posible.

En resumen, los parámetros más importantes para este sistema son: las propiedades físicas del líquido refrigerante, cómo éste circula a través del electroimán, el flujo y temperatura del agua de la red (su uso como medio de refrigeración primario es desaconsejado debido a sus propiedades electrolíticas) y el intercambiador de calor.

1.3 Fuente de Potencia

1.3.1 Condiciones para las fuentes de potencia en FC

La fuente de potencia que suministra corriente al electroimán debe ser diseñada para cumplir los siguientes requerimientos:

- 1) La corriente en el electroimán debe ser *conmutada rápidamente*; típicamente alcanzar de cero a 1T en pocos milisegundos.
- 2) Durante la etapa de medición de la señal de inducción libre (FID), la corriente en el electroimán debe ser muy estable. En particular nos referimos al campo de detección, donde se necesita una estabilidad de 10^{-5} [9].
- 3) Se necesitan *picos de alta potencia* para energizar al imán en un corto tiempo. Es usual que estos equipos requieran de potencias que pueden alcanzar los cientos de kW, dependiendo del tipo de conmutación que se pretenda implementar.
- 4) La corriente en el electroimán debe establecerse en periodos del orden del milisegundo (ms) cuando se alcanza el valor requerido del campo de relajación.

1.3.2 Elementos para la conmutación de corriente

Normalmente se utilizan dispositivos semiconductores capaces de conmutar corrientes muy altas (del orden de los cientos de Amperes) y resistir picos de alto voltaje (por arriba de los kilovoltios). Los usados más comúnmente son combinaciones en serie/paralelo de transistores de efecto de campo de óxido- metal- semiconductor (MOSFET's), tiristores GTO (del inglés, gate turn-off) y transistores bipolares de compuerta aislada (IGBT's, del inglés Insulated Gate Bipolar Transistors).

Los MOSFET's son relativamente fáciles de controlar, pero muy sensibles a sobrecargas que pueden ocurrir cuando los arreglos en paralelo pierden su simetría (por ejemplo, cuando uno de los transistores se daña). La corriente que circula a través del dispositivo es controlada por el voltaje del gate.

Los MOSFET de potencia, que son los utilizados en las fuentes de potencia de los aparatos de FC, tienen el mismo principio de funcionamiento que los MOSFET comunes salvo algunas diferencias que lo vuelven ideales para el tipo de exigencias a las que están sometidos.

El funcionamiento en la región lineal de estos dispositivos sirve para aplicaciones de control de corriente, mientras que su funcionamiento en la región de saturación sirve para las operaciones de conmutación. En el capítulo 2 se va ampliar la información acerca de los transistores MOSFET.

Los tiristores GTO tienen características bistables que permiten conmutar entre estados de alta y baja impedancia. Pueden ser encendidos por un solo pulso de corriente positiva en la terminal puerta o gate (G), al igual que el tiristor normal; pero en cambio puede ser apagado al aplicar un pulso de corriente negativa en el mismo terminal. Ambos estados, tanto el estado de encendido como el estado de apagado, son controlados por la corriente en la puerta (G).

Estos dispositivos son muy buenos conductores de corriente y poseen buenas capacidades para bloqueo de voltajes. Sin embargo, no son dispositivos de respuesta lineal y sus características dinámicas son relativamente pobres.

Los IGBT's combinan las ventajas de un transistor bipolar capaz de controlar altas corrientes y bajo voltaje de saturación, combinando una puerta aislada de metal-óxido-semiconductor para la entrada de control y un transistor bipolar como interruptor en un solo dispositivo. El circuito de excitación del IGBT es como el del MOSFET, mientras que las características de conducción son como las del BJT (Transistor Bipolar de Juntura o Bipolar Junction Transistor, por sus siglas en inglés) Son elementos de conmutación muy robustos y recomendables para los propósitos del ciclado de campo. El estado de conducción de estos dispositivos se maneja a partir de un voltaje gate-emisor.

1.3.3 Tipos de fuentes de potencia para FC

Utilizando [9] (276-278) como referencia, describimos dos tipos de fuentes de potencia que utilizan los dispositivos de conmutación descritos brevemente en 1.3.2.

La primera variante para un circuito de campo ciclado presenta un banco de transistores MOSFET y un tiristor GTO. Este es un ejemplo de circuito con asistencia capacitiva (**Figura 8**).

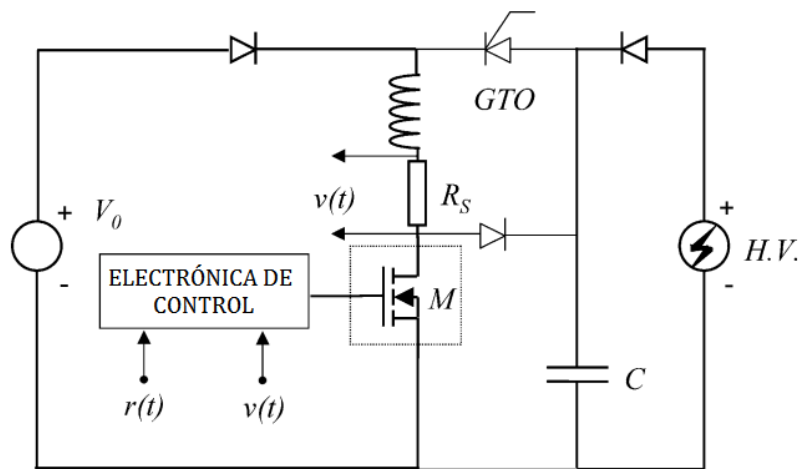


Figura 8: Circuito de alimentación para el electroimán basado en MOSFET y tiristor GTO. En el gráfico se dibuja un solo MOSFET, pero son N en paralelo (banco de MOSFET) [9].

El banco de N MOSFET (M) conmuta y controla la corriente en el electroimán durante los intervalos estables. La electrónica de control utiliza el voltaje que cae a bornes de un resistor (shunt resistor) R_S como señal de realimentación. Este dispositivo de control se encarga de controlar el voltaje de entrada en la puerta o gate de los transistores utilizando un voltaje de referencia $r(t)$ (Ver **Figura 8**).

En los intervalos de corriente estacionaria durante la polarización, relajación y detección, la corriente en el electroimán es alimentada por la fuente V_0 y controlada por el banco de MOSFET M . Durante estos intervalos la fuente de alto voltaje ($H.V$) recarga el capacitor C .

Las partes del circuito que se encuentran activas durante los intervalos de subida de la corriente (switch-up) y los intervalos de bajada (switch-down) se muestran en la **Figura 9 a) y b)** respectivamente.

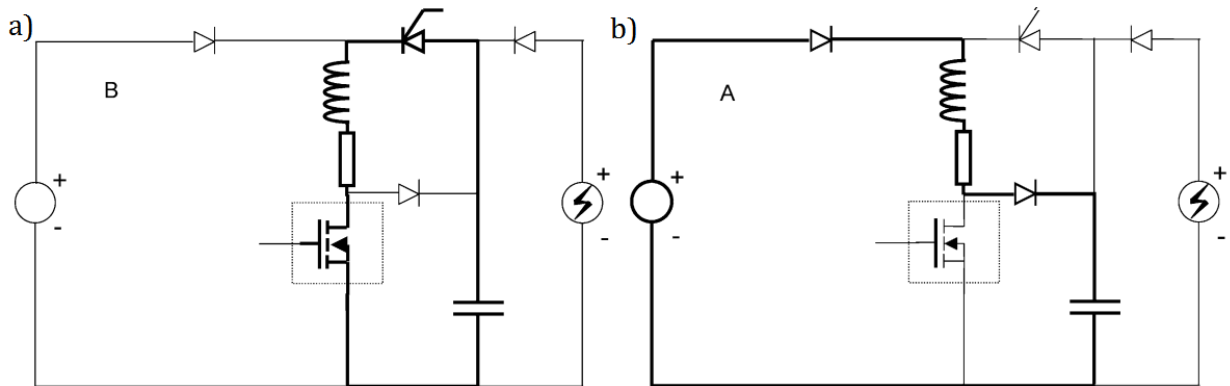


Figura 9: a) Partes activas durante la conmutación de corriente baja a un estado de corriente alta. **b)** Partes activas durante la conmutación de corriente alta a baja [9].

Durante el switch-up, el capacitor aporta energía extra al electroimán para que la conmutación sea mucho más rápida comparada con la que tendría si únicamente fuera alimentado por V_0 y controlada por el banco de MOSFET M. Es decir, la energía capacitiva pre-almacenada se utiliza para que, en el momento de la conmutación, la energía eléctrica neta disponible sea mayor, facilitando así una conmutación en un tiempo menor.

La fuente V_0 está siempre conectada, una vez que llega al valor de corriente requerido queda estable en ese valor hasta hacer el switch-up.

Cuando se regresa a campos de menor intensidad, la corriente disminuye en el electroimán y éste carga al capacitor.

El capacitor se utiliza porque el electroimán es de alta inductancia, o bien porque la fuente de alimentación V_0 no permite lograr los tiempos de conmutación requeridos. Hay una

variación de este modelo que no incluye capacitor, utiliza únicamente el banco de MOSFET para el control de la corriente. Esta fuente de potencia se describe en el apartado 1.3.4.

La *segunda variante* para la fuente de potencia es con transistores IGBT. Tiene como ventaja que los IGBT pueden utilizarse como elementos únicos sin necesidad de formar bancos como en el caso de los MOSFET (que además necesitan estar simetrizados). Sin embargo, presentan algunas desventajas: se utilizan solo para conmutación, no para control de la corriente y no son eficientes energéticamente [9].

1.3.4 Fuente de potencia utilizada en el equipo STELAR Spinmaster

La empresa STELAR utiliza un imán de baja inductancia y sin asistencia capacitiva para la conmutación. La corriente en el imán es controlada por una red de MOSFET con la potencia necesaria como para generar tiempos de conmutación aceptables. El banco de transistores controla la corriente durante todo el ciclo incluyendo las transiciones entre diferentes niveles de campo magnético (Ver **Figura 10**).

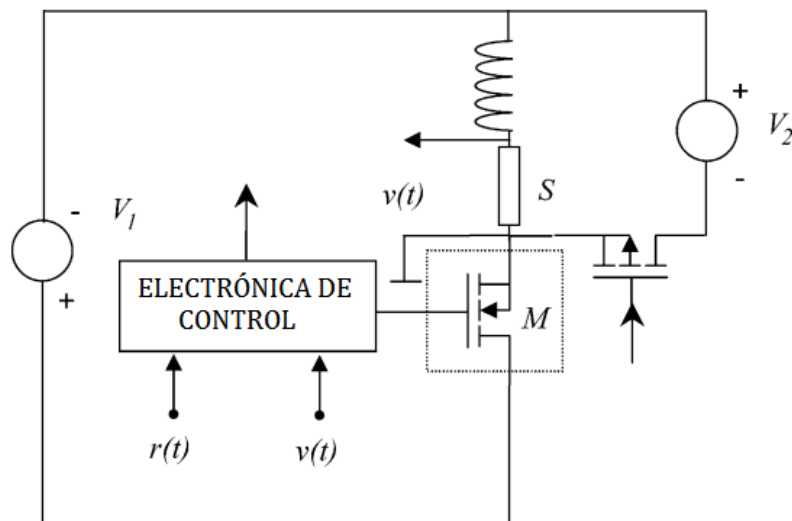


Figura 10: Circuito de alimentación para el electroimán sin asistencia capacitiva utilizada en el equipo comercial de campo ciclado STELAR [9].

Este circuito consiste esencialmente en la fuente de potencia principal V_1 y el banco de MOSFET encargado de controlar la corriente. Una segunda fuente de voltaje negativo V_2 , se utiliza para compensar las corrientes de offset en el electroimán. La parte más importante de este sistema es la electrónica de control que compara una señal de referencia $r(t)$ y la señal de realimentación $v(t)$ que se obtiene a partir de la resistencia S (shunt).

En el banco de MOSFET cada dispositivo tiene su propio sistema de comando y realimentación. El conjunto tiene una mejor auto ecualización, eso permite distribuir mejor el exceso de corriente si alguno de los dispositivos llega a fallar. El sistema incluye también un mecanismo automático de auto-exclusión que se encarga, en caso de una falla, de excluir al componente averiado y reubicar en los restantes la corriente para que el equipo siga en funcionamiento.

Las características de tensión- corriente para esta fuente son de 50V – 330A y los tiempos de conmutación que maneja para realizar las experiencias están en el orden de 0.5T en 1.2ms

El banco de transistores MOSFET dentro de la fuente de potencia está formado por cuatro columnas de 17 dispositivos cada una. Un total de 68 transistores en paralelo (**Figura 11**).

Los transistores son MOSFET de potencia, de tipo HexFET, denominados IRFP350 por el fabricante International Rectifier (Anexo 1). Estos dispositivos soportan una corriente drenador-surtidor máxima de $I_D = 16 A$ y voltaje drenador-surtidor máximo de $V_{DS} = 400 V$ con temperatura del encapsulado a $T_C = 25 ^\circ C$.

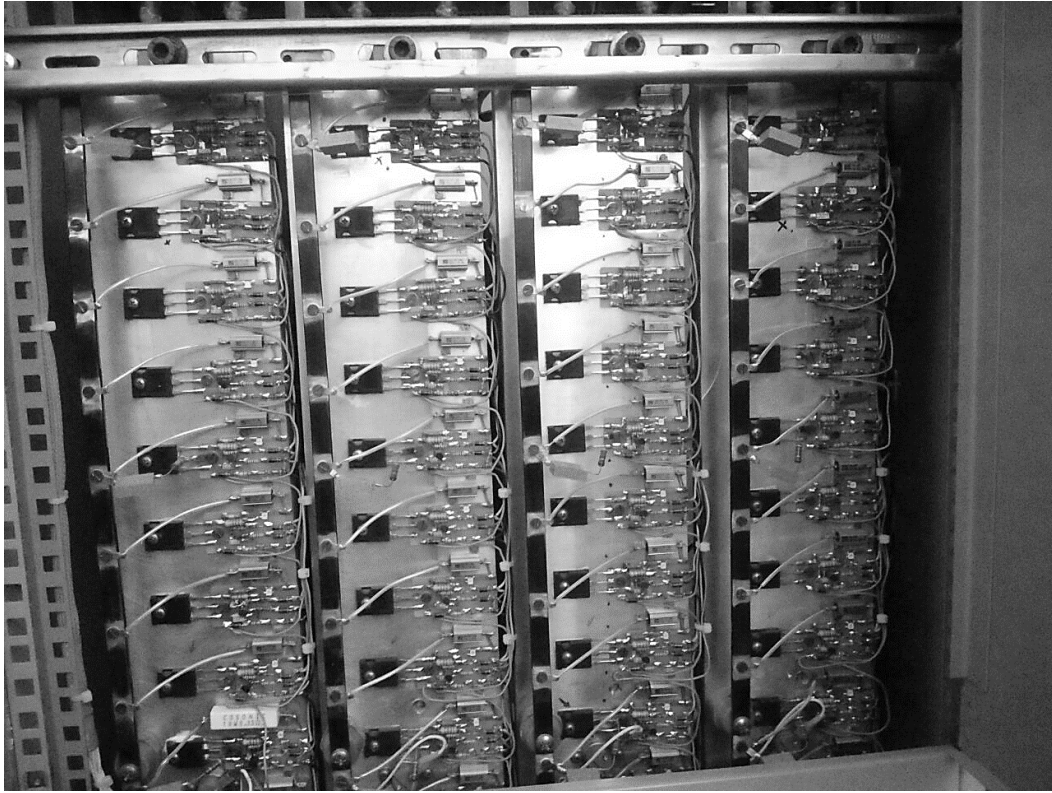


Figura 11: Fotografía de una parte del banco de transistores MOSFET de la fuente de potencia de uno de los instrumentos STELAR que se encuentran en el LaRTE⁵.

⁵ Laboratorio de Relaxometría y Técnicas Especiales, FaMAF, UNC.

Capítulo 2

MOSFET de Potencia

Los transistores efecto de campo (FET: Field Effect Transistors) son una familia de transistores que se basan en el campo eléctrico para controlar la forma y la conductividad de un “canal”. Este canal transporta sólo un tipo de portador de carga y se forma en el material semiconductor. Se suelen utilizar como amplificadores e interruptores lógicos [21].

Los FET son dispositivos sensibles al voltaje, con una gran impedancia de entrada (del orden de $10\text{ M}\Omega$ a $1\text{ G}\Omega$). Son más fáciles de fabricar que otros dispositivos similares en funcionamiento (como los BJT), esto permite incluir un mayor número de FET en un solo chip (puesto que requieren menor área) [20].

Los más importantes son los MOSFET (FET de metal-óxido- semiconductor) de acumulación que se utilizan más frecuentemente en circuitos digitales complejos como memorias y microprocesadores. Otros tipos de FET son el MOSFET de depleción, el JFET (transistor de efecto de campo de juntura), los MISFET (FET de metal aislador semiconductor), etc.

Este capítulo trata de los transistores MOSFET de forma general y luego se centra en los MOSFET de potencia que son los dispositivos que analizamos en este trabajo.

2.1 Introducción y tipos de MOSFET

El transistor de efecto de campo MOS o MOSFET es un transistor utilizado para amplificar o conmutar señales electrónicas. Es el transistor más utilizado en la industria microelectrónica, ya sea en circuitos analógicos o digitales.

Existen dos tipos de transistores MOSFET, ambos basados en la estructura MOS. Los primeros son los *MOSFET de enriquecimiento o acumulación* los cuales se basan en la creación de un canal entre el drenador y la fuente, al aplicar una tensión en la puerta. La tensión de la puerta atrae portadores minoritarios hacia el canal, de manera que se forma una región de inversión, es decir, una región con dopado opuesto al que tenía el sustrato originalmente. El término *enriquecimiento* hace referencia al incremento de la conductividad eléctrica debido a un aumento de la cantidad de portadores de carga en la región correspondiente al canal. El canal puede formarse con un incremento en la concentración de electrones (en un nMOSFET o NMOS), o huecos (en un pMOSFET o PMOS). De este modo un transistor NMOS se construye con un sustrato tipo p y tiene un canal de tipo n, mientras que un transistor PMOS se construye con un sustrato tipo n y tiene un canal de tipo p.

Los MOSFET de enriquecimiento tienen mayor aplicación en circuitos digitales y sobre todo en la construcción de circuitos integrados, debido a su pequeño consumo y el reducido espacio que ocupan.

Los *MOSFET de empobrecimiento o depleción* tienen un canal conductor en su estado de reposo, que se debe hacer desaparecer mediante la aplicación de la tensión eléctrica en la puerta, lo cual ocasiona una disminución de la cantidad de portadores de carga y una disminución respectiva de la conductividad. Tienen un gran campo de aplicación como amplificadores de señales débiles en alta frecuencia o radiofrecuencia (RF) debido a su baja capacidad de entrada.

2.2 MOSFET de estructura plana vs. MOSFET de Potencia

En el MOSFET de estructura plana (NMOS) la puerta (G) está formada por una capa de un tipo especial de silicio, llamado policristal de silicio o polisilicio (que posee características conductoras) (Puerta de Metal en la **Figura 12**). Se halla aislada del sustrato por una fina capa de dióxido de silicio (SiO_2) y por el terminal de la puerta fluye una corriente despreciable. El SiO_2 posee características aislantes (dieléctricas) lo que presenta una alta impedancia a la entrada del circuito.

Los terminales del dispositivo son el drenador (D), la puerta (G), la fuente (S) y el sustrato (B) (**Figura 12**). En funcionamiento normal, por el terminal del sustrato pasa una corriente despreciable, por lo tanto, vamos a suponer que el sustrato está conectado a la fuente y tendremos un dispositivo con 3 terminales.

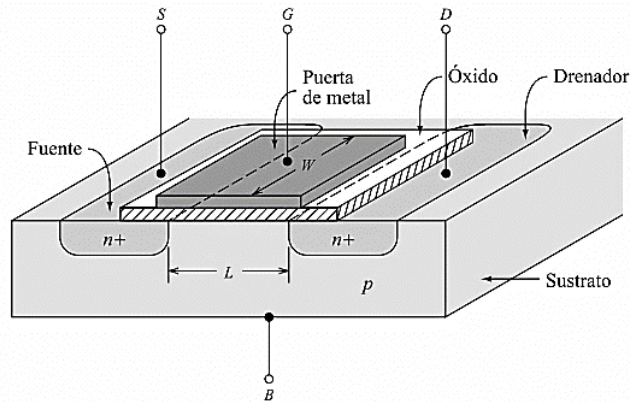


Figura 12: MOSFET de acumulación de canal n (NMOS), donde vemos la longitud del canal L y la anchura del canal W [21].

Cuando se aplica a la puerta una tensión (positiva) en relación a la fuente (S), los electrones se ven atraídos a la región situada bajo la puerta, induciéndose un canal de material de tipo n entre el drenador y la fuente (**Figura 13**). Entonces, si se aplica una tensión entre drenador

y fuente, fluiría una corriente que sale de la fuente, y va a través del canal, hacia el drenador. La corriente de drenador está controlada por la tensión que se aplica a la puerta⁶.

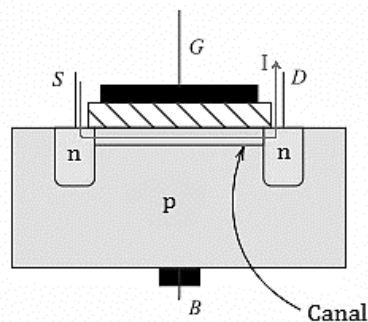


Figura 13: Estructura teórica de un MOS de estructura plana [21].

Este dispositivo de estructura plana no es óptimo para aplicaciones de potencia como: operaciones con altos voltajes o control de corrientes muy altas [18]. Uno de los inconvenientes principales es la longitud del canal que, por razones constructivas, tiene este tipo de dispositivo. Esta longitud del canal relativamente grande hace que se incremente su resistencia⁷. También se incrementan las capacidades que aparecen como consecuencia de la unión que debe existir entre la metalización de la puerta (gate) y las zonas de drenaje y fuente. La más molesta de estas dos capacitancias es la que se establece entre la puerta y el drenador, puesto que constituye una capacitancia de realimentación.

La mayoría de los inconvenientes del MOSFET de estructura plana pueden reducirse por medio de una estructura denominada V-MOS, llamada así por la forma que tiene el corte del dispositivo (Ver **Figura 14 a**)).

Como las conexiones fuente (S) y drenador (D) del V-MOS están en la parte superior e inferior, respectivamente, el flujo de corriente es vertical y de esta forma los canales n se forman a ambos lados del corte en “V” de la puerta (G) (Ver **Figura 14 a**)). Esto ocurre por el mismo fenómeno que en los MOSFET de estructura plana, cuando se aplica una diferencia

⁶ [21] págs. 295-296

⁷ [25] págs. 474-475

de potencial en la puerta (G) los electrones se ven atraídos a la región situada bajo la puerta y se induce un canal de material de tipo n en la pastilla semiconductor p que se encuentra entre el drenador y la fuente. Vemos que se reduce la longitud del canal n a valores muy pequeños y también se elimina la capacidad de realimentación. Gracias a su estructura vertical, con la Fuente y el Drenador ubicados en ambos extremos, este dispositivo tolera altos valores de corriente y voltaje lo que permite una muy eficiente utilización del MOSFET para potencias grandes [25].

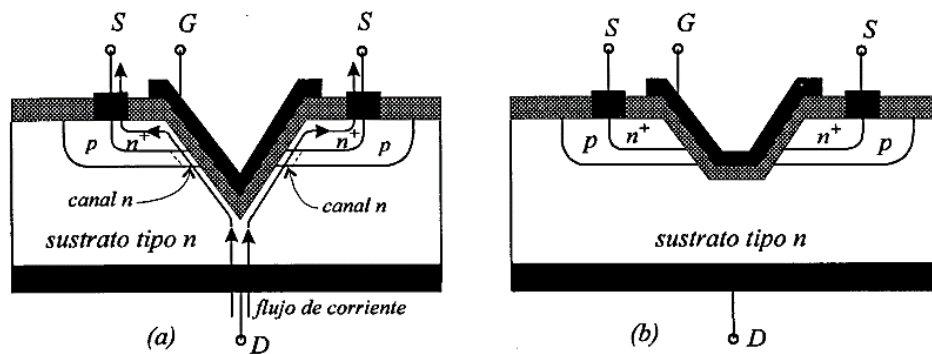


Figura 14: a) Dispositivo V-MOS mostrando el flujo de corriente entre el terminal del drenador y el surtidor, se puede observar la disminución del canal. En **b)** se aplana el fondo del corte, lo que atenúa el problema de la concentración de campo en dicha zona (U-MOS) [25].

El mayor inconveniente de este dispositivo se debe a la terminación en punta del corte en “V”. Esta terminación da lugar a la formación de un fuerte campo eléctrico que limita notoriamente el valor de la tensión que se puede aplicar en la puerta, puesto que esa concentración de campo eléctrico en la punta provoca la ruptura del óxido en dicha zona antes que en el resto. Esta región local de alto valor del campo eléctrico, también limita severamente la máxima tensión V_{DS} aplicable al transistor [19], [25].

Para corregir este problema se han desarrollado otras geometrías que permiten reducir el campo eléctrico y por tanto aumentar la tensión máxima que soporta el MOSFET. Una geometría que corrige este problema es la de tipo “U” (U-MOS), se puede observar en la

Figura 14 b). En ella se han “redondeado” las esquinas y así reducido el efecto de borde causante de los problemas (el efecto se reduce, no lo elimina).

Debido a la dificultad y precisión necesaria para los procesos de fabricación de los dispositivos anteriormente mencionados, estos fueron sustituidos por un tipo diferente de transistor MOS llamado DMOS o “double-diffused” MOS pues utiliza el proceso de doble difusión para su fabricación. Este proceso se basa en la posibilidad de utilizar dos difusiones sucesivas, primero una difusión de impurezas tipo p y posteriormente una de impurezas de tipo n para producir dos uniones pn cercanas. La diferente extensión lateral de las dos difusiones puede ser utilizada para definir la longitud del canal en el MOS. Primero se aplicó la técnica al LDMOS o “lateral DMOS” y posteriormente a la estructura vertical conocida como VDMOS (vertical DMOS) [19].

2.3 Estructura básica de los MOSFET de Potencia (VDMOS)

La estructura física de un MOSFET de potencia de doble difusión puede verse en la **Figura 15**. El dispositivo se construye recreciendo una capa epitaxial de semiconductor tipo $n -$ (ligeramente dopada) sobre un sustrato tipo $n +$ (muy dopado). Entonces, la región $p +$ del cuerpo se difunde desde la parte superior de la oblea, a lo que sigue la difusión de la fuente $n +$; de ahí el término doble difusión⁸.

Los MOSFET de potencia de doble difusión funcionan en modo de acumulación. Sin ninguna tensión aplicada a la puerta, no existe ningún canal entre drenador y fuente. Sin embargo, si se aplica una tensión positiva lo suficientemente grande a la puerta, los electrones se ven atraídos a esa región, y el material $p +$ se convierte en material tipo n . Esto solo se da en la región $p +$ que está debajo del óxido, es un fenómeno local. De este modo, se forma un canal tipo n entre la fuente y el drenador [18].

⁸ [21] págs. 695-697

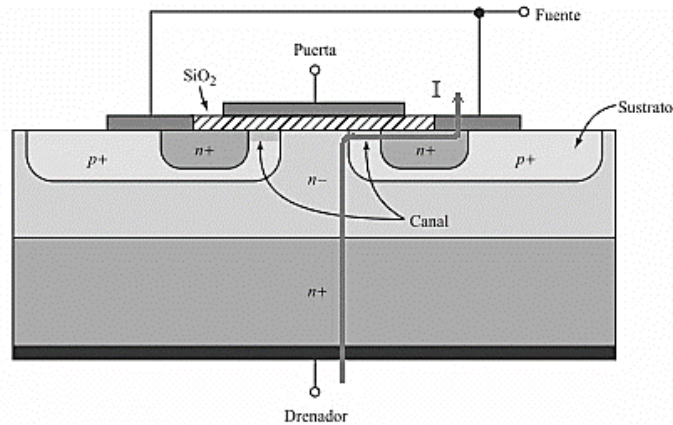


Figura 15: Estructura física del MOSFET de potencia de doble difusión (VDMOS) [21].

Consideremos el camino de la corriente a través del dispositivo mostrado en la **Figura 15**. La corriente entra en el drenador por la parte inferior del dispositivo. Cuando llega a la región situada debajo de la puerta, cambia de dirección (parte se va a la izquierda y parte a la derecha) y fluye lateralmente a través del canal hasta los contactos de la fuente.

Algunas de las ventajas de la estructura de la **Figura 15** son:

- La longitud del canal es muy corta. Por tanto, la resistencia del canal puede ser muy pequeña, y son posibles elevadas corrientes de drenador al mismo voltaje V_{DS} que para los MOSFET de estructura plana.
- La elevada tensión de ruptura drenador-fuente⁹ es otra de las ventajas de esta estructura. El grosor y el dopado de la capa epitaxial $n -$ permite que soporte tensiones de ruptura grandes, por lo tanto, está directamente relacionada al valor del voltaje en el dispositivo. Para altos voltajes el MOSFET requiere un capa delgada

⁹ Corresponde a la tensión de ruptura de la unión que forman el sustrato (unido a la fuente) y el drenador. Se mide con la puerta cortocircuitada a la fuente. Se especifica a qué pequeña circulación de corriente corresponde (por ejemplo, 0,25 mA). Ayuda a clasificar los MOSFETS en:

- Baja tensión: 15 V, 30 V, 45 V, 55 V, 60 V, 80 V * Alta tensión: 500 V, 600 V, 800 V, 1000 V
- Media tensión: 100 V, 150 V, 200 V, 400

La máxima tensión drenador-fuente de representa como V_{DSS} o como $V(BR)_{DSS}$

y muy poco dopada (i.e. altamente resistiva), mientras que un transistor que maneja bajo voltaje requiere una capa delgada con un nivel de dopado alto (i.e. menos resistivo) [22].

Para *minimizar la resistencia óhmica* en serie con el drenador, la zona inferior está muy dopada con material tipo n (la **Figura 15** no está a escala: la zona $n +$ proporciona un soporte mecánico a la región activa, y es mucho más gruesa que la capa epitaxial $n -$). Utilizando una estructura que tiene dos niveles de dopaje en la región del drenador (i.e. el $n +$ y el $n -$), son posibles tanto una baja resistencia en serie como una elevada tensión de ruptura¹⁰.

En la actualidad todos los MOSFET de potencia utilizan este tipo de tecnología y se construyen los dispositivos de potencia a partir de un elevado número de celdas de MOSFET puestas en paralelo (hasta 80.000 celdas por cm^2). Cada una de estas celdas tiene la estructura y el principio de funcionamiento mostrado en la **Figura 15**. Esto aumenta su capacidad de corriente y reduce su resistencia de canal. Cada fabricante ha patentado su técnica particular y así International Rectifier los llama HexFET por su geometría (Ver **Figura 16**), Siemens los llama SIPMOS, RCA los llama TMOS. Todos los MOSFET de potencia son de tecnología DMOS o VMOS [19]¹¹, [22].

Es importante tener en cuenta que el éxito de los FET VDMOS es el resultado de la combinación de una serie de características. Estas son: la geometría vertical, el proceso de doble difusión, la puerta de silicio policristalino y la estructura celular a base de celdas.

¹⁰ [19] págs. 19-21

¹¹ pág. 22

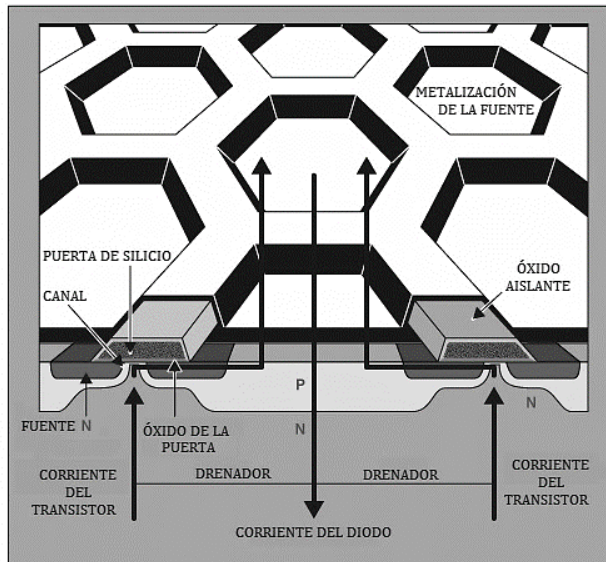


Figura 16: HexFET de International Rectifier, se puede observar la estructura de celdas hexagonales en paralelo [19].

2.3.1 Componentes parásitas

Las características internas del MOSFET de Potencia pueden ser representadas por circuitos equivalentes hechos de componentes ideales lineales y no-lineales tales como: resistores, capacitores, inductancias, interruptores, etc.

Hay un número de componentes parásitas inherentes a la estructura del FET VDMOS. En adición a la resistencia normal del material (que se representa, como veremos más adelante, por una suma de resistencias en serie) y los contactos, la inductancia de los terminales, la capacitancia de las juntas y conexiones; existen otros elementos parásitos que incluyen transistores activos. Este tipo de componentes se dividen en pasivos y activos¹² (**Figura 17**).

Dentro de los *componentes pasivos* tenemos:

- Los componentes resistivos que contribuyen con la $R_{DS(on)}$;

¹² [20] págs. 79-82

- La inductancia de cada una de las conexiones del pin;
- Las capacitancias asociadas a las uniones entre compuertas metálicas y la capa de dieléctrico con las pastillas semiconductoras;
- Las capacitancias asociadas a cada unión pn ;
- El comportamiento de diodos para cada una de las distintas junturas pn

y los *componentes activos* serán:

- El transistor efecto de campo de juntura de canal n (JFET) que se forma entre la capa epitaxial $n -$ y las dos regiones $p +$;
- El transistor bipolar de juntura npn (BJT) formado entre la fuente (S), el sustrato $p +$ y el drenador.

Todos los componentes equivalentes que se encuentran dentro del transistor de potencia se pueden observar en la **Figura 17**. Para más información respecto a este tema, se puede consultar las referencias [18], [20] y [22].

A continuación, vamos a tratar cada uno de estos circuitos equivalentes por separado, es decir, las capacitancias, las resistencias, las inductancias y finalmente los componentes activos.

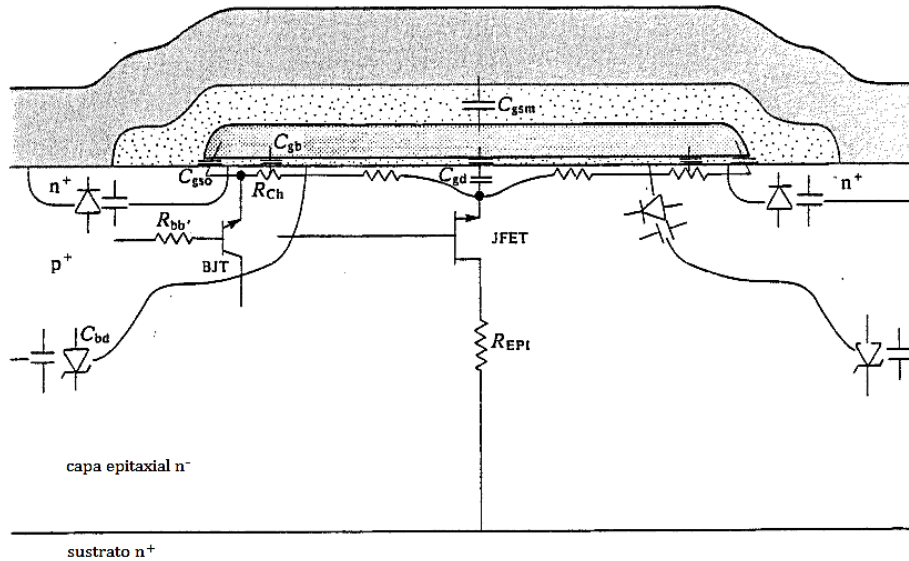


Figura 17: El origen de las componentes parásitas dentro del dispositivo [20].

2.3.1.1 Resistencias intrínsecas¹³

Al momento de considerar la resistencia del MOSFET no hay que considerar únicamente la resistencia del canal.

Cuando el MOSFET de potencia está funcionando en su región óhmica, ie. cuando se ha formado el canal, exhibe un comportamiento resistivo entre los terminales drenador-surtidor.

Se puede ver en la **Figura 18** que esta resistencia (llamada $R_{DS(on)}$) va ser la suma de cada una de las resistencias internas del dispositivo:

$$R_{DS(on)} = R_S + R_{n+} + R_{ch} + R_a + R_{epi} + R_{Sub}$$

¹³ [22] págs. 292-293. Para verlo con mayor profundidad consultar en Capítulo 2 [23].

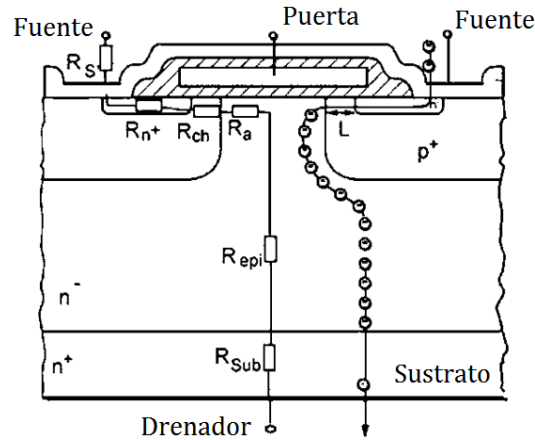


Figura 18: Camino de la corriente y las resistencias en un MOSFET de potencia [22].

$R_S + R_{n+}$ es la resistencia de la fuente. Representa todas las resistencias entre el terminal de la fuente del encapsulado hasta el canal del MOSFET: resistencia de los contactos de metal, de la metalización de la fuente y de la pastilla semiconductor $n+$; R_{ch} es la resistencia del canal. Es inversamente proporcional al ancho del canal y, para un dado tamaño de la pastilla, a la densidad del canal. La resistencia del canal es una de las principales contribuciones al $R_{DS(on)}$ de los MOSFET de bajo voltaje y se han realizado muchos esfuerzos por reducir el tamaño de la celda para aumentar la densidad del canal [22]; R_a es la resistencia de acceso, representa la resistencia de la zona epitaxial $n-$ que se encuentra justo debajo de la puerta (gate), donde la dirección de la corriente cambia de horizontal (en el canal) a vertical (al contacto del drenador); R_{epi} es la resistencia de la capa epitaxial, puesto que el rol que juega esta capa es mantener la elevada tensión de ruptura, está directamente relacionada al valor del voltaje en el dispositivo. Como resultado, R_{epi} es el principal responsable de la resistencia para MOSFET de alto voltaje; R_{Sub} es la equivalente

a la R_S del drenador, representa la *resistencia del sustrato* y de las conexiones del encapsulado.

2.3.1.2 Capacitancias intrínsecas: operaciones de conmutación

Por su naturaleza unipolar, el MOSFET de potencia puede conmutar a velocidades muy altas. La única limitación intrínseca de la velocidad de conmutación es debido a las capacitancias internas del MOSFET (**Figura 19**).

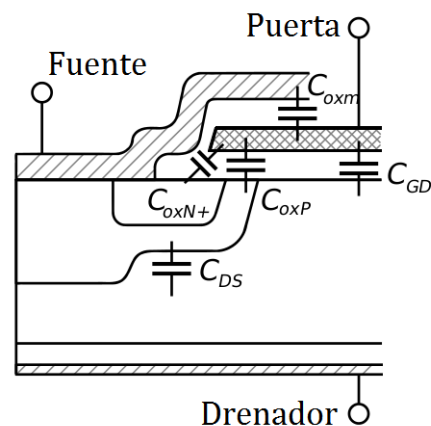


Figura 19: Ubicación de las capacitancias intrínsecas en un MOSFET de potencia [18].

Estas capacitancias se van a cargar y descargar cuando el transistor conmute [18]. Este puede ser un proceso relativamente lento porque la corriente que fluye a través de las capacitancias de la puerta está limitada por el circuito externo de control de la corriente “external driver circuit” que es el encargado de manejar la velocidad de conmutación del transistor¹⁴. Es decir, por más de que se aumente la velocidad de conmutación, si los tiempos de carga y descarga tienen un orden de magnitud comparable con el periodo de la

¹⁴ [18] págs. 30-31

frecuencia de conmutación, el dispositivo no podrá funcionar eficientemente como un interruptor.

En las hojas de datos de los MOSFET de potencia las capacitancias aparecen como C_{iss} (capacitancia de entrada, terminales drenador y fuente en corto), C_{oss} (capacitancia de salida, terminales puerta y fuente en corto), y C_{rss} (reverse transfer capacitance, fuente conectada a tierra). La relación entre estas capacitancias y las que se van a describir más abajo son [20]:

$$C_{iss} = C_{GS} + C_{GD}$$

$$C_{oss} = C_{GD} + C_{DS}$$

$$C_{rss} = C_{GD}$$

Donde C_{GS} , C_{GD} y C_{DS} son respectivamente las capacitancias de *puerta a fuente*, de *puerta a drenador* y de *drenador a fuente*. Los fabricantes prefieren dar las capacitancias C_{iss} , C_{oss} y C_{rss} porque pueden medirse directamente desde el transistor¹⁵.

- La capacitancia C_{GS} está constituida por la conexión en paralelo de C_{oxn+} , C_{oxp} y C_{oxm} (Ver **Figura 19**). Como las regiones $n +$ y p están muy dopadas, las dos forman capacitancias que pueden considerarse constantes. C_{oxm} es la capacitancia entre la puerta (polisilicio) y el electrodo de la fuente (metal), también es constante. Por lo tanto, se considera a la capacitancia C_{GS} como una capacitancia constante, i.e. su valor no depende del estado del transistor.
- La capacitancia C_{GD} puede tomarse como una conexión en serie de dos capacitancias elementales. La primera es la capacitancia del óxido C_{oxD} , constituida por el electrodo de la puerta, el dióxido de silicio y la parte superior de la capa epitaxial $n -$. La segunda capacitancia C_{GDj} es causada por la extensión de la zona de carga- espacial cuando el MOSFET está apagado. El valor de esta capacitancia (y por lo tanto de C_{GD}) depende del voltaje V_{GD} . Cuando este voltaje se incrementa, la capacitancia decrece. Cuando el MOSFET está encendido, C_{GDj} es cortocircuitada,

¹⁵ [20] págs. 84-85

para que la capacitancia de puerta a drenador permanezca igual a C_{oxD} cuyo valor es constante.

- La capacitancia C_{DS} es una capacitancia de juntura que se produce en la juntura pn que se forma entre la pastilla semiconductor $n -$ y el sustrato $p +$. Es no-lineal.

2.3.1.3 Otros elementos dinámicos: Inductancias parásitas

Las conexiones que presenta el MOSFET con el circuito externo tienen inductancias parásitas que tienen efectos importantes cuando se requieren altas velocidades de conmutación.

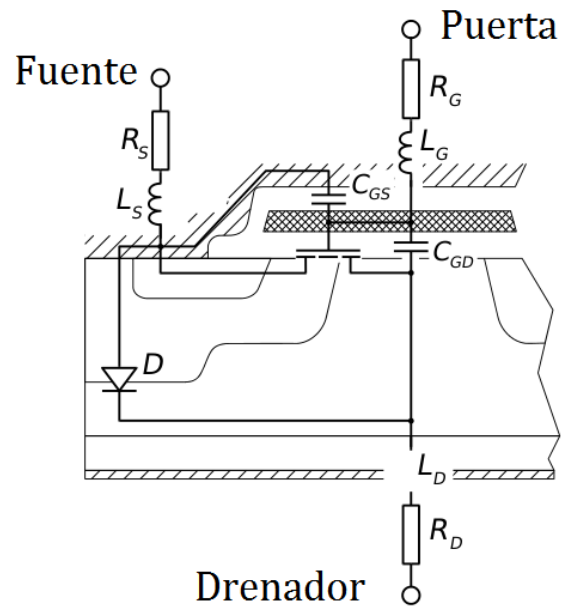


Figura 20: Circuito equivalente que incluye elementos dinámicos (capacitores, inductores), algunas resistencias parásitas y el diodo (body-diode) [24].

Las inductancias parásitas tienden a mantener la corriente constante, generando así sobre voltajes durante el apagado del transistor y, por lo tanto, incrementando las pérdidas por conmutación.

A cada terminal de MOSFET de potencia se le puede asociar una inductancia parásita (Ver **Figura 20**):

- *Inductancia de la puerta (L_G)*, tiene baja influencia porque los gradientes de corriente en la puerta son relativamente bajos. Sin embargo, la inductancia L_G y la capacitancia de entrada C_{iss} pueden constituir un circuito oscilador LC. Esto debe evitarse, puesto que genera una gran pérdida en la conmutación y puede conducir, bajo algunas condiciones, a inestabilidades.
- *Inductancia del drenador (L_D)*, tiende a reducir el voltaje drenador cuando se enciende el MOSFET y crea sobrevoltajes durante el apagado del dispositivo (lo que incrementa las pérdidas en el apagado).
- *Inductancia de la fuente (L_S)*: mismo comportamiento que la inductancia del drenador sumada a un efecto de realimentación haciendo la conmutación mucho más larga.

2.3.1.4 Componentes parásitas activas

Si examinamos la estructura vertical del MOSFET de potencia, se puede observar que se forma un *Transistor BJT Parásito* entre las pastillas semiconductoras $n + n - pn +$, en el cual el colector, emisor y base están formados por el drenador, la fuente y el sustrato p , respectivamente [18] (**Figura 21 a**).

El problema básico de la estructura vertical es la existencia de este *BJT parásito*, que puede llegar a activarse si existe un $\frac{dV_{DS}}{dt}$ lo suficientemente grande.

Para evitar ese problema en los MOSFET de estructura vertical se conecta directamente el sustrato del transistor al surtidor lo que equivale a conectar la base con el emisor del BJT parásito. De esta manera además aparece una unión entre drenador (zona n) y surtidor

(zona p) lo que equivale a un diodo. Esta es la razón por la que todos los MOSFET de potencia tienen un diodo en paralelo entre drenador y surtidor (Ver **Figura 21 b**). Esto impide que el MOSFET sea capaz de bloquear tensiones inversas entre drenador y surtidor [19].

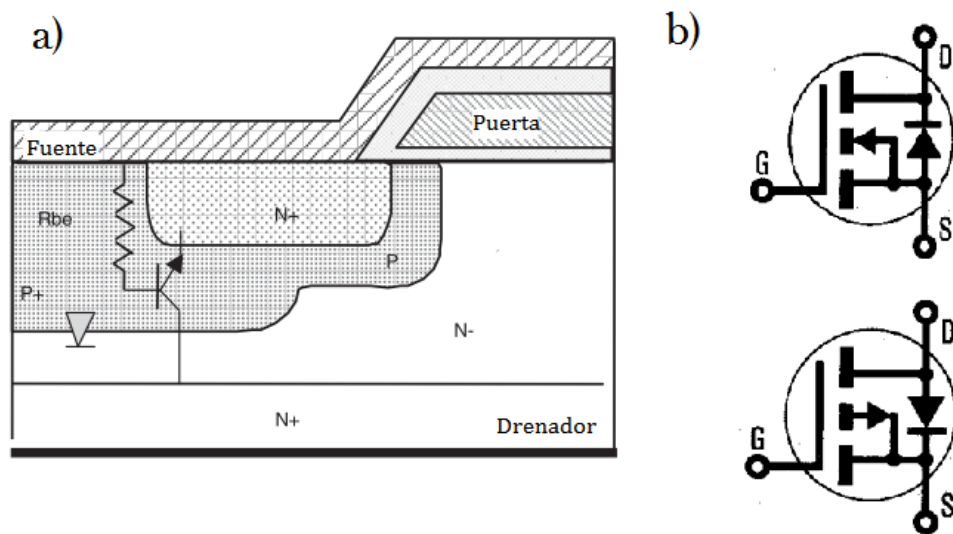


Figura 21: a) MOSFET de estructura vertical, se muestra donde se forma el transistor BJT parásito [18]. b) símbolos de MOSFET de potencia de canal N (superior) y canal P (inferior) que incluyen el diodo en paralelo [19].

Las resistencias parásitas que se encuentran en la capa epitaxial $n -$, en el camino de la corriente drenador, están influenciadas por el *JFET parásito* (Ver **Figura 21**). El potencial de este componente para afectar muchas de las características estáticas del MOSFET, han llevado a tomar diversas decisiones en el diseño del dispositivo. La acción del JFET se genera en la región entre las dos difusiones $p +$. La región dopada $p +$ actúa como el Gate (puerta) del transistor y la capa epitaxial $n -$ como el canal. Los efectos más severos de este elemento parásito suelen ocurrir para dispositivos que manejan alto voltaje,

puesto que la capa epitaxial está pobremente dopada (para que tengan menor resistencia) [20]¹⁶.

2.3.2 Resistencias térmicas

La resistencia térmica es una propiedad del calor y una medición de la diferencia de temperatura para la cual un material resiste la circulación de calor.

Para explicar la resistencia térmica del MOSFET de potencia se utiliza un punto de vista electrónico, es decir, utilizando circuitos térmicos equivalentes puesto que el flujo de calor puede *modelarse* en analogía a un circuito eléctrico donde:

- El *flujo de calor* es representado por la *corriente*;
- Las *temperaturas* son representadas por *voltajes*;
- Las *fuentes de calor* representadas por *fuentes de corriente constantes*;
- Las *resistencias térmicas absolutas* son representadas por *resistores*;
- Las *capacitancias térmicas* por *capacitores*.

La **Figura 22** muestra un circuito térmico equivalente para un dispositivo semiconductor con disipador de calor, donde:

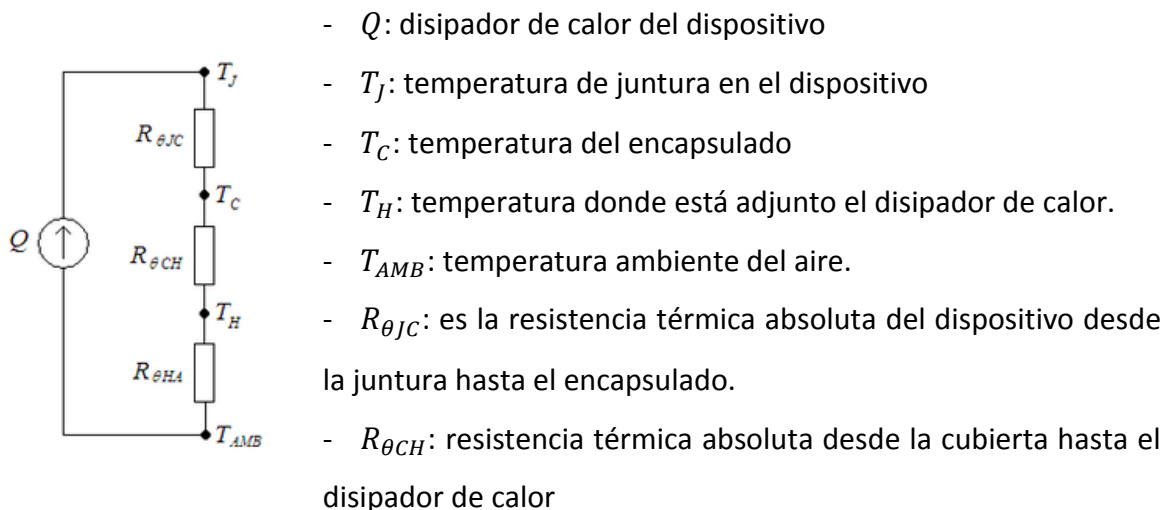


Figura 22: Circuito térmico equivalente [21].

¹⁶ Pág.81

- $R_{\theta HA}$: resistencia térmica absoluta desde el disipador de calor al ambiente.

La *temperatura de juntura* es la mayor temperatura de operación de los semiconductores actuales. En operación, es mucho mayor que la temperatura del encapsulado y la temperatura en la parte exterior [21]¹⁷.

2.4 Características tensión-corriente en el MOSFET

Como ya dijimos anteriormente, el MOSFET de potencia es un dispositivo que controla la corriente que circula entre los terminales drenador-fuente I_D a partir de un voltaje en la puerta V_{GS} . Por lo tanto, para un voltaje V_{GS} fijo se tendrá distintos comportamientos de la corriente I_D al ir aumentando el voltaje entre los terminales drenador-fuente V_{DS} . Este comportamiento se puede dividir en tres partes:

2.4.1 Funcionamiento en la región de corte ($V_{GS} \ll V_{t0}$)

Consideremos la situación que se muestra en la **Figura 23**. Supongamos que se aplica al drenador una tensión positiva con relación a la fuente, y que empezamos con $V_{GS} = 0 V$. Se observa que en las interfaces drenador-sustrato y fuente-sustrato aparecen uniones *pn*. No fluye virtualmente ninguna corriente hacia el drenador ya que la unión drenador-sustrato está polarizada en inversa por el generador de V_{DS} . A esto se le llama *región de corte*.

A medida que aumenta V_{GS} , el dispositivo permanece en corte hasta que V_{GS} alcanza un valor suficiente llamado tensión umbral V_{t0} . La tensión umbral normal va de uno a unos pocos voltios.

¹⁷ Págs. 686-689

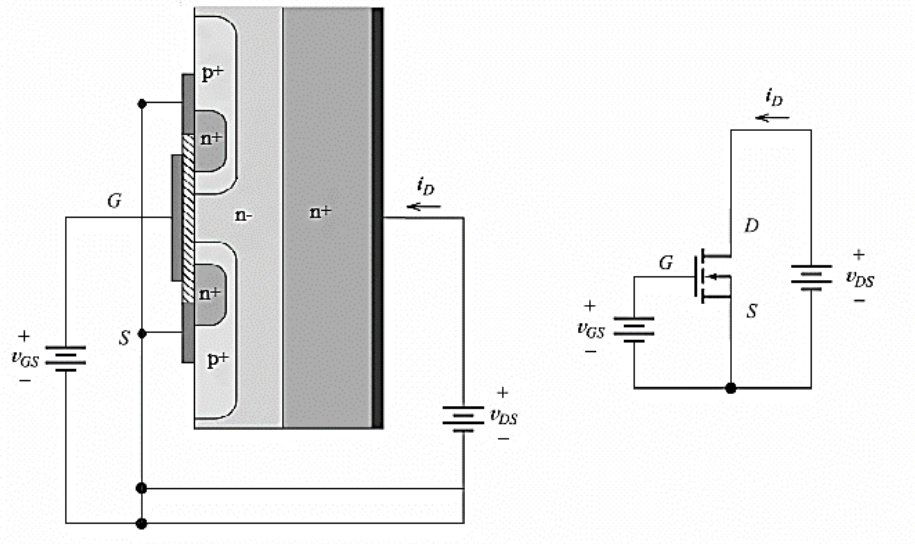


Figura 23: Para $V_{GS} < V_{t0}$ la unión pn entre drenador ($n -$) y sustrato ($p +$) está polarizada en inversa, es decir, $I_D=0$ [21].

2.4.2 Funcionamiento en la región óhmica o lineal

Ahora consideraremos la situación que se muestra en la **Figura 24**, en la que V_{GS} es mayor que la tensión umbral. El campo eléctrico que resulta de la tensión aplicada a la puerta ha repelido a los huecos de la región $p +$ situada bajo la puerta, y ha atraído a electrones que pueden fluir con facilidad en la dirección de polarización directa a través de la unión fuente-sustrato. Esta repulsión y atracción simultáneas producen un canal de tipo n entre el drenador y la fuente. Entonces, al aumentar V_{DS} , la corriente fluye hacia el drenador a través del canal y de la fuente.

Para valores pequeños de V_{DS} , la corriente drenador I_D es proporcional a V_{DS} .

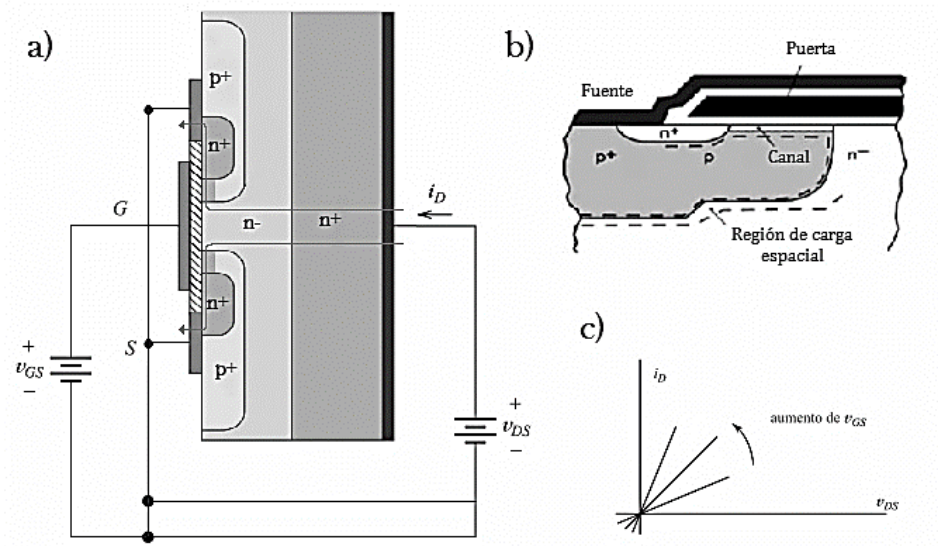


Figura 24: a) Para $V_{GS} < V_{t0}$, se induce un canal de material tipo n en la región bajo la puerta. A medida que aumenta V_{GS} el canal se hace más grueso [21]. b) Imagen aumentada de la zona donde se forma el canal n [22]. c) Para valores pequeños de V_{DS} , la corriente drenador I_D es proporcional a V_{DS} . El dispositivo se comporta como una resistencia, cuyo valor depende de V_{GS} [21].

Para distintos valores de tensión V_{GS} , la pendiente de la recta entre I_D y V_{DS} va aumentando (**Figura 24 c**).

En la región óhmica, el VDMOS se comporta como una resistencia conectada entre drenador y fuente, pero va disminuyendo a medida que aumenta V_{GS} .

2.4.3 Funcionamiento en la región de saturación

Ahora veamos qué sucede si continuamos aumentando V_{DS} . A causa del flujo de corriente, la tensión entre los puntos del canal y la fuente se hace mayor a medida que nos desplazamos hacia el drenador. La tensión entre la puerta y el canal disminuye, con lo que resulta una disminución de la anchura del canal. El canal se estrangula como se muestra en la **Figura 25 a**). A causa de esa disminución del canal, su resistencia se hace mayor al aumentar V_{DS} , dando como resultado una menor tasa de crecimiento de I_D [21].

A medida que aumenta V_{DS} , la tensión entre la puerta y el extremo del canal correspondiente al drenador disminuye. Cuando la tensión puerta-drenador V_{DS} iguala a la tensión umbral V_{t0} , la anchura del canal en el extremo del drenador se hace cero. Para ulteriores incrementos de V_{DS} , I_D es constante, tal y como se muestra en la **Figura 25 c)**. A esto se le llama *región de saturación*.

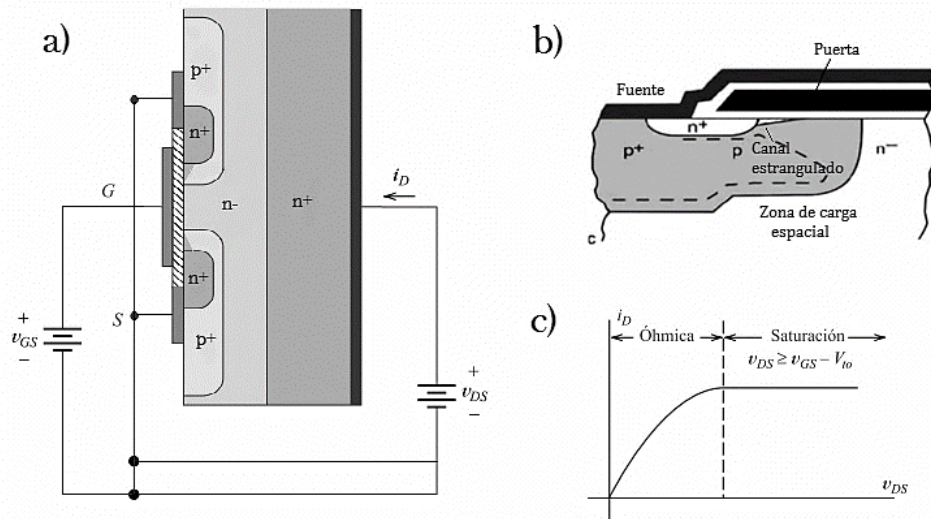


Figura 25: **a)** A medida que aumenta V_{DS} , el canal se estrecha en el extremo del drenador, e I_D se incrementa con mayor lentitud [21]. **b)** Imagen aumentada de la zona donde se estrangula el canal [22]. **c)** Para incrementos mayores de V_{DS} tal que $V_{DS} > V_{GS} - V_{t0}$, la corriente I_D se vuelve constante [21].

La **Figura 26** muestra las curvas características de drenador de un transistor VDMOS. La curva que aparece en líneas discontinuas es la gráfica de $I_D(V_{DS})$. Otra de las curvas, que no se muestra en estas imágenes, es la curva de transferencia. Que se obtiene graficando $I_D(V_{GS})$ a valores de V_{DS} fijos.

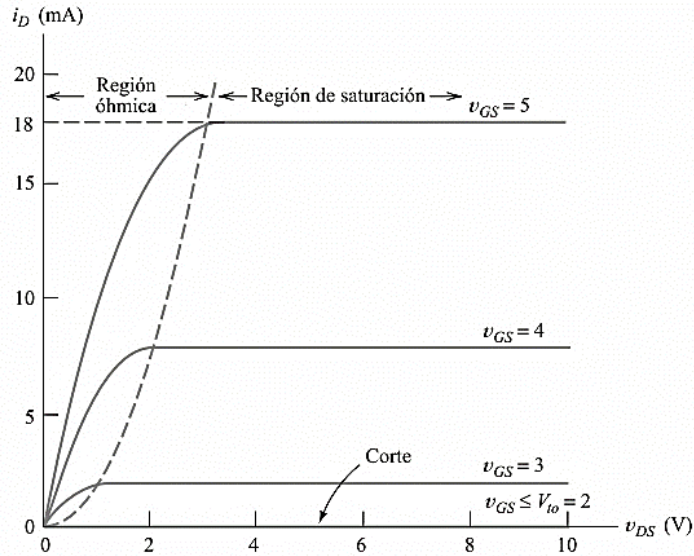


Figura 26: Curvas características del transistor VDMOS en donde se puede observar las distintas regiones de funcionamiento del dispositivo [21].

Para ampliar la información acerca de estos fenómenos desde un punto de vista más avanzado, se recomienda consultar las referencias [18], [21], [22] y [23].

2.5 Límites de Operación

2.5.1 SOA (Área de Operación Segura)

El área de operación segura (SOA por sus siglas en inglés) define las condiciones de tensión y corriente sobre las cuales se puede esperar que el MOSFET de potencia pueda operar sin sufrir daños, mientras que la temperatura del dispositivo permanezca dentro de los límites de máxima temperatura de juntura [24].

Para el MOSFET de potencia,

- 1) Uno de los límites del SOA está determinado por la corriente drenador $I_{D,máx}$, como se indica en la **Figura 27** por una línea horizontal.

- 2) Otro de los límites del SOA es el valor del voltaje de bloqueo del MOSFET de potencia. El cual, si observamos la **Figura 27**, se indica por la línea vertical al voltaje BV_{DSS} asumido en 100 V .
- 3) El tercer límite del SOA del dispositivo es la caída de potencial en el estado encendido (*on*), el cual depende de la resistencia $R_{DS(on)}$ del dispositivo. Este límite está dado por: $I_D = \frac{V_D}{R_{DS(on)}}$.
- 4) Los otros límites para el SOA del MOSFET de potencia están determinados por la máxima temperatura de juntura ($T_{J,m\acute{a}x}$).

En la **Figura 27** puede verse también que el SOA se amplía a medida que el ancho de pulso se reduce hasta $1\ \mu\text{s}$ ($\equiv 10^{-6}\text{ s}$) y se obtiene un SOA con una forma cuadrada ideal. Para operaciones pulsadas, la estructura del MOSFET de potencia acarrea una corriente mucho mayor debido al ciclo útil reducido y la disipación de potencia.

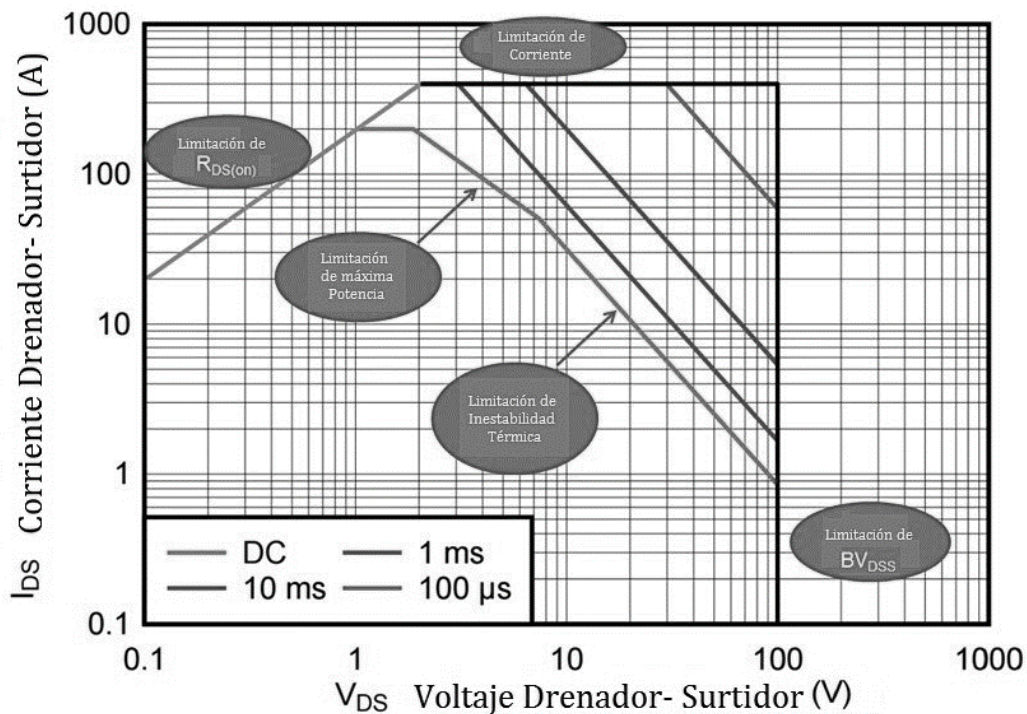


Figura 27: Gráfico típico del área segura de operación para un MOSFET de potencia. El área segura es la que se encuentra limitada: a la derecha por la línea diagonal gris de la $R_{DS(on)}$, por arriba por la corriente máxima $I_{D,m\acute{a}x}$, a la izquierda por el voltaje máximo $V_{DS,m\acute{a}x}$ y se amplía a medida que el ancho de pulso se reduce: hasta la diagonal roja para DC, hasta la diagonal azul para 10 ms y así hasta $1\ \mu\text{s}$ ($\equiv 10^{-6}\text{ s}$) donde se obtiene la forma cuadrada ideal [26].

El SOA delineado por las limitaciones que se nombraron más arriba, es el que se muestra en la **Figura 27** por las líneas más anchas cuando se asume una máxima temperatura de juntura de 150°C con temperatura ambiente de 50 °C.

Si tanto la I_D como el V_{DS} están por debajo de sus respectivos valores máximos, el dispositivo va mantenerse por debajo de la máxima potencia que puede manejar. De otro modo, el dispositivo no podrá operar a su máxima corriente y a su máximo voltaje simultáneamente [24].

2.5.2 Máximo voltaje V_{DS}

Los MOSFET de potencia tienen un voltaje V_{DS} máximo especificado (en estado apagado) y sobrepasando los valores del voltaje de ruptura.

Excederse de los valores de voltaje de ruptura, conduce a un potencial daño del dispositivo y del resto de los elementos del circuito debido a una excesiva disipación de potencia.

2.5.3 Máxima corriente drenador I_D

La corriente I_D generalmente debe permanecer por debajo de ciertos valores especificados (máxima corriente continua I_D). Puede alcanzar valores más altos, pero por cortos periodos de tiempo (máxima corriente pulsada I_D).

La corriente está limitada por calentamiento debido a pérdidas en los componentes internos del dispositivo (por ejemplo, los terminales) y otros fenómenos como la electromigración en el material.

2.5.4 Temperatura máxima de operación

La temperatura de juntura (T_j) del MOSFET debe permanecer por debajo de un valor máximo específico para el dispositivo en función de su confiabilidad, determinada por el

diseño de la pastilla semiconductor y los materiales utilizados en el encapsulado del MOSFET.

La temperatura ambiente máxima de operación está determinada por la disipación de potencia y las resistencias térmicas del dispositivo. El tipo de disipación de potencia, ya sea continua o pulsada, afecta también la temperatura máxima de operación.

2.5.5 Ruptura de la puerta de óxido

La compuerta de óxido es muy delgada (100 *nm* o menos), por lo tanto, sólo puede soportar un voltaje limitado.

En las hojas de datos, los fabricantes a menudo establecen un voltaje máximo V_{GS} y exceder ese límite puede generar la destrucción del componente.

Trabajar con voltajes V_{GS} muy altos no aporta en nada la disminución de la $R_{DS(on)}$, lo único que va generar va ser reducir significativamente el tiempo de vida del MOSFET.

Para más información acerca de los temas desarrollados en las subsecciones 2.5.2 a 2.5.5 consultar las referencias [20], [23] y [24].

Capítulo 3

Mecanismos de Falla para MOSFET de potencia

Los mecanismos de falla progresivos en dispositivos de potencia se clasifican, según su naturaleza, en asociados con el chip y los asociados con el encapsulado [27]. Factores como cargas eléctricas, vibración mecánica, y condiciones ambientales, todas generan estrés en los sistemas electrónicos de potencia. Las fallas pueden ser causadas por más de un mecanismo. Las condiciones de operación y ambiente, y las estructuras del dispositivo se deben tener en cuenta cuando se examina una falla.

3.1 Mecanismos asociados con el chip

Los siguientes mecanismos generan degradaciones continuas o catastróficas en el dispositivo y potenciales fallas a largo plazo.

3.1.1 Estrés eléctrico

Está asociado a condiciones de voltaje y/o corriente excesivos. Estos efectos en el dispositivo pueden ser significativos cuando se trabaja fuera del área segura de operación (SOA) [27]. Los fabricantes en general especifican un voltaje V_{GS} inferior al máximo que soporta el dispositivo. Por un lado, esto se debe a que el tiempo de vida del MOSFET decrece sustancialmente cuando V_{GS} se incrementa [14]. Por otra parte, aplicando una tensión V_{GS} mayor a la especificada, no se obtendrá más corriente. Otra condición de operación que genera daños en el dispositivo es su funcionamiento dentro de la región de avalancha¹⁸. Esto ocurre cuando la tensión V_{DS} del dispositivo está *por encima* de su máximo voltaje

¹⁸La región de Ruptura o Avalancha está especificada por las tensiones máximas que pueden soportar las uniones pn inversamente polarizadas. Cuando se alcanzan estas tensiones, existe peligro de **ruptura del transistor** debido a dos fenómenos: **ruptura por avalancha y ruptura por perforación**.

permitido (ligeramente superior al máximo valor especificado en la hoja de datos). Desde un punto de vista físico, la avalancha significa el comienzo de un proceso no controlado. Cuando las tensiones son muy elevadas, el campo eléctrico es muy intenso, lo cual provoca que los electrones del material adquieran la suficiente energía como para abandonar sus átomos y sumarse a la corriente. De esta forma, la corriente I_D aumenta de forma drástica generando otros tipos de mecanismos de falla [18].

3.1.2 Descarga Electroestática

Los MOSFET de potencia suelen ser muy sensibles a descargas electrostáticas, requiriendo muchas veces especiales cuidados de manipulación, embalaje y montaje. Las descargas electrostáticas pueden perforar de forma parcial o total la puerta de óxido, tal como se trató brevemente en el Capítulo 2 (sección 2.5.5). Si la perforación es parcial, esto ocasionará fallas en el dispositivo luego de largos periodos de operación [27].

Se define electricidad estática como un exceso o deficiencia de electrones en una superficie con respecto a otra o a tierra. Cuando se tiene carga estática presente en un objeto, las moléculas tienen un desbalance eléctrico. La descarga aparece cuando se produce la transferencia de electrones entre un objeto y otro por su diferencia de potencial. Cuando el MOSFET de potencia se convierte en parte del camino de la descarga puede dañarse permanentemente [16]. La alta impedancia de entrada es una de las mayores ventajas operativas del MOSFET de potencia, pero también puede ser una gran desventaja con respecto a las descargas electrostáticas. La destrucción del MOSFET por este tipo de descargas ocurre cuando el voltaje V_{GS} es lo suficientemente alto como para perforar el dieléctrico de la puerta. El voltaje de ruptura del óxido es típicamente dos o tres veces el máximo valor especificado de V_{GS} en la hoja de datos [20].

3.1.3 Fallas para MOSFET por altas $\frac{dV_{DS}}{dt}$ y activación de componentes parásitas

Valores muy grandes de $\frac{dV_{DS}}{dt}$ durante los transitorios puede causar activación de las componentes parásitas del MOSFET de potencia. Como se trató en el Capítulo 2 (subsección 2.3.1.4), existen dos elementos parásitos activos: un *BJT parásito* y un *JFET*. En los primeros días del desarrollo de los MOSFET de potencia, la activación del transistor bipolar parásito (BJT) era el mayor causante de fallas en los MOSFET. Las nuevas generaciones de MOSFET son virtualmente inmunes al encendido del transistor parásito conectando el substrato del transistor a la fuente, lo que equivale a conectar la base con el emisor del BJT parásito. De esta manera, aparece un diodo entre la unión drenador-fuente: diodo “body-drain”¹⁹. Bajo condiciones estáticas, la base y el emisor del BJT están en corto (funcionan como un cable) dejando activo solo al diodo. Sin embargo, en transitorios de alta tensión y en la ruptura de avalancha, el transistor parásito se *activa* y puede dañar seriamente el rendimiento global del dispositivo [16]. A continuación, se detallan dos mecanismos de falla relacionados con aplicaciones de conmutación del MOSFET en fuentes de potencia:

1) Encendido espontáneo del canal *nMOS* (o canal *n*)

Para describir este fenómeno utilizamos el circuito equivalente del MOSFET de potencia (**Figura 28 a**) ilustrado en la **Figura 28 b**). Normalmente la corriente drenador I_D fluye a través de la capacitancia C_{gd} y a través de la capacitancia C_{gs} en paralelo con la resistencia de la puerta R_g . Si la capacitancia C_{gs} es relativamente pequeña, la mayor parte de esa corriente I_D va a fluir a través de R_g . Si I_D es *muy alta*, la caída de tensión en R_g *excede el voltaje umbral* y polariza la puerta de forma tal que se forma un canal *n* en la región *p* + totalmente independiente del voltaje V_{gs} . Este canal comienza a conducir corriente de forma descontrolada, destruyendo al dispositivo por sobrecalentamiento cuando conduce con $\frac{dV_{DS}}{dt}$ muy altos durante los intervalos de conmutación de la fuente [28].

¹⁹ Diodo intrínseco a la estructura del MOSFET, que forma en la juntura *pn* entre el drenador y la fuente.

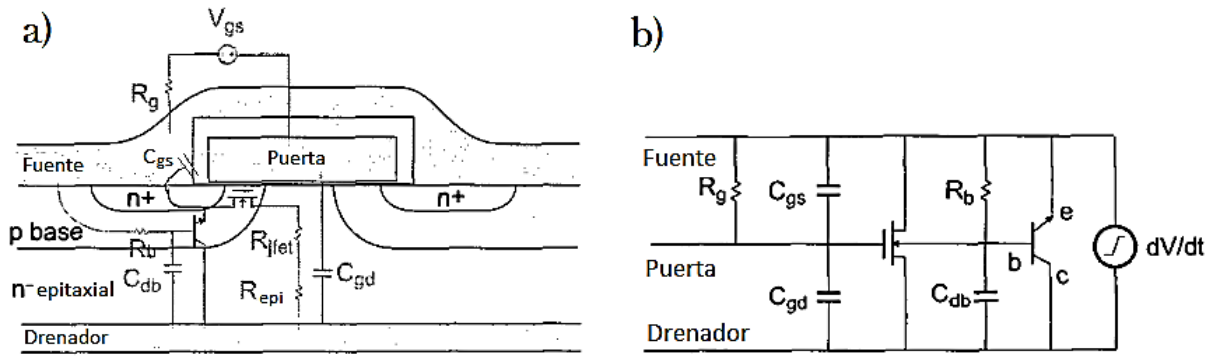


Figura 28: estructura del MOSFET de potencia y su circuito equivalente [28].

Una forma de evitar que esto suceda es adherir óxido entre la puerta y la región epitaxial n – para aumentar la capacitancia C_{gs} , y reducir la resistencia externa R_g entre la puerta y la fuente. El grosor de esta capa de óxido se optimiza evitando el encendido del canal $nMOS$.

2) Encendido de BJT parásito

Basándonos nuevamente en el circuito equivalente del MOSFET de potencia ilustrado en la **Figura 28 b)**: si la capacitancia C_{db} entre las pastillas semiconductoras p y n es muy grande comparada con C_{gd} , la corriente $\frac{dV_{DS}}{dt}$ fluirá preferentemente a través de C_{db} y de la resistencia R_b (resistencia de la pastilla semiconductor p +). Cuando la caída de tensión en la resistencia R_b sea lo suficientemente alta como para polarizar la base del BJT parásito, el transistor se enciende y la puerta nMOS pierde control del MOSFET de potencia (**Figura 29**). Si el BJT se enciende, puede concentrar un alto flujo de cargas en un punto local (la zona p + donde se encuentra), aumentando abruptamente la temperatura en dicha región. Este efecto puede derivar en una fusión localizada del silicio, generando la rotura del dispositivo. Si $\frac{dV_{DS}}{dt}$ es un transitorio lo suficientemente intenso, el daño en el dispositivo será irreversible en caso de activarse el BJT [28,51].

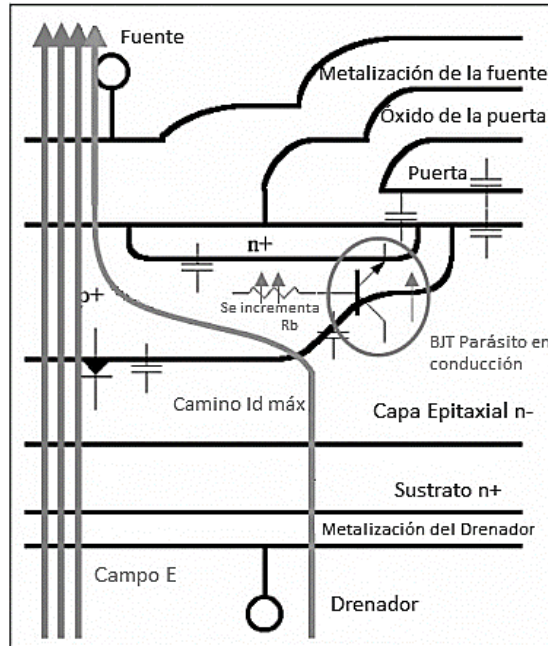


Figura 29: La flecha de color gris claro representa camino de la corriente máxima I_D a través del MOSFET cuando la caída de tensión en la resistencia R_b es lo suficientemente alta como para polarizar el BJT parásito y que este entre en conducción. Cuando sucede esto la puerta pierde control de la corriente I_D puesto que ya no circula por el canal de inversión n sino por la pastilla $p+$, dañando el dispositivo [51].

3.1.4 Efectos asociados a la inyección de iones de alta energía

Un mecanismo de falla muy común para los MOSFET de potencia es el *crecimiento de defectos en el óxido de puerta* durante las operaciones a altas tensiones y temperaturas. Los portadores, que van desde el drenador hacia el surtidor, son acelerados por el campo eléctrico (entre los contactos drenador-surtidor) y de este modo incrementan su energía promedio (electrones en los n-MOSFET y huecos²⁰ en los p-MOSFET). “Hot-carrier” es el nombre genérico para electrones y huecos de alta energía generados de esta manera en el transistor. Los portadores energéticos son inyectados dentro del óxido cuando alcanzan

²⁰Un hueco de electrón, o simplemente hueco, es la ausencia de un electrón en la banda de valencia. El hueco de electrón es, junto al electrón, entendido como uno de los portadores de carga que contribuyen al paso de corriente eléctrica en los semiconductores. Tiene valores absolutos de la misma carga que el electrón, pero contrariamente al electrón, su carga es positiva.

energías por encima de la barrera de potencial $Si - SiO_2$. Una fracción de estos portadores se inyectarán en el óxido de puerta principalmente como:

1. Electrones y huecos atrapados en la capa de óxido
2. Cargas atrapadas en los llamados “estados superficiales” en la interface $Si - SiO_2$.
Estos estados en la interface están relacionados a niveles aceptores ubicados en los primeros tres niveles de la banda prohibida, tomados de la banda de valencia [33].

El efecto de este proceso se manifiesta como una degradación de las características de conmutación y las características estáticas del MOSFET de potencia [45]. Estos mecanismos conducen a cambios en las características de rendimiento del dispositivo, tales como: voltaje umbral, corriente de fuga, transconductancia, lo que implica degradación en el dispositivo [21]. Un efecto típico en la degradación por “portadores calientes” (*hot carriers*) es reducir la corriente I_D en los n-MOSFET [49].

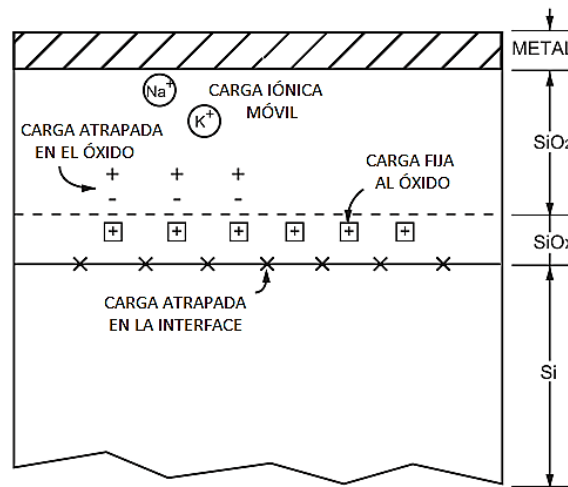


Figura 30: Distintos tipos de cargas atrapadas en el óxido y en estados de interface entre la pastilla de Silicio y el óxido SiO_2 [48].

Al interactuar con las cargas fijas en el óxido cerca de la superficie, las cargas atrapadas provocan cambios en la distribución de carga en el silicio, modificando el potencial superficial ψ_s [48] (**Figura 30**). Esto genera variaciones en la tensión de puerta V_{GS} :

$$V_{GS} = V_{Ox} + \psi_s,$$

afectando la conducción en el canal mediante un incremento el voltaje umbral V_{t0} (**Figura 31**) [47].

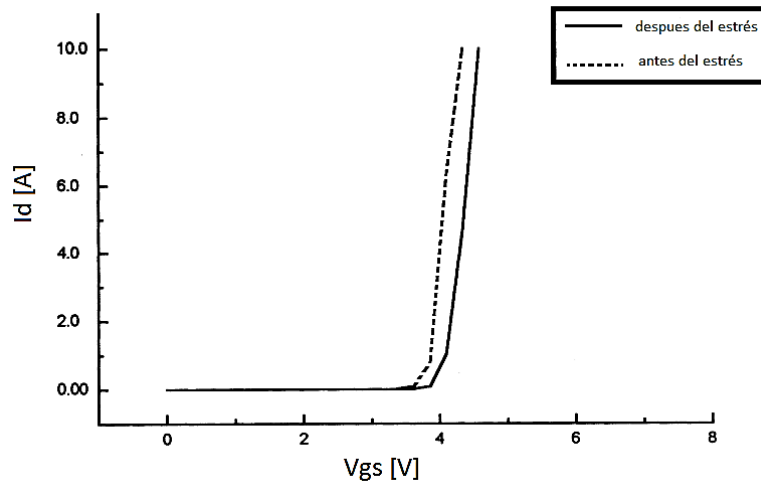


Figura 31: Variación de la corriente drenador I_D vs. V_{GS} , antes y después de la degradación inducida debido al aumento en el voltaje umbral V_{t0} [47].

Debido a este aumento en V_{t0} , se puede observar que la corriente de saturación I_D sufre una disminución considerable para un dado voltaje de gate V_{GS} (**Figura 32**). La explicación para esta disminución yace en la interpretación del fenómeno de movilidad de portadores en la capa de inversión (canal n).

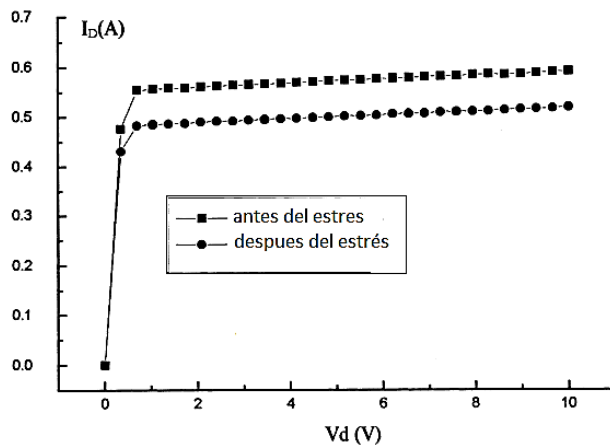


Figura 32: Curvas características I_D vs. V_{DS} antes y después del estrés [47].

La movilidad en el canal es función del dopado del sustrato p , el campo eléctrico entre los contactos drenador-fuente, la orientación cristalina del silicio, la temperatura y las cargas fijas. El efecto de las cargas en la interface $Si - SiO_2$ es incrementar la probabilidad de colisiones entre los portadores del canal n y los portadores fijos. Si la velocidad de los portadores disminuye se tendrá, en consecuencia, una disminución de I_D [47]. Para bajos voltajes, se inyectan huecos dentro del óxido del n-MOSFET. Dado que la corriente del canal está compuesta por electrones, los huecos se crean a través de un proceso llamado ionización de impacto: electrones energéticos excitan un electrón de la banda de valencia a la banda de conducción creando un hueco en la banda de valencia [46]. Es decir, un electrón con suficiente energía cinética puede colisionar con un electrón ligado, sacarlo fuera de su estado ligado (en la banda de valencia) y llevarlo a la banda de conducción creando así un par hueco- electrón [29]. En la **Figura 33** se puede observar un electrón libre que forma parte de la corriente (punto gris claro) cediendo al electrón fijo al átomo la energía suficiente como para hacerlo formar parte de la conducción y dejando tras de sí un hueco (punto rojo) que se “mueve” en la dirección del campo eléctrico.

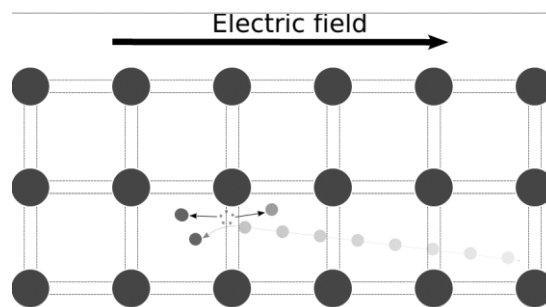


Figura 33: Ejemplo de Ionización de impacto de un electrón libre que excita al electrón de la banda de valencia para saltar a la banda de conducción [48].

La corriente formada por estos huecos se llama corriente de sustrato (o bulk), I_b . Esta corriente depende del número de electrones en el canal y de la tasa de ionización de impacto, la cual aumenta a medida que aumenta V_{GS} . A partir de esta corriente I_b , se puede

medir de forma indirecta la cantidad de portadores inyectados, que no pueden ser medidos directamente, dentro de la lámina de óxido de la puerta [48].

3.1.5 Estrés inducido por migración de cargas

La migración atómica puede ocurrir debido a fuerzas electromotrices, interdifusión y el estrés mecánico durante los procesos de manufactura. Estos mecanismos están relacionados a la metalización de los dispositivos semiconductores y tienen efectos a largo plazo [27]. La corriente eléctrica que fluye a través de un conductor puede desplazar iones metálicos. Este fenómeno se conoce como electromigración o migración de carga [48]. La electromigración es el transporte de material causado por el movimiento gradual de los iones en un conductor debido a la transferencia de momento entre los electrones conductores y la difusión de los átomos del metal. Los átomos en un conductor se excitan (vibran) con el calor y, puesto que no existe simetría en los bordes del material, el momento se transmite más fácilmente. Normalmente la cantidad de momento impartida es relativamente baja y no es suficiente para desplazar a los átomos. Sin embargo, en situaciones de alta potencia, si muchos electrones bombardean a los átomos con la suficiente energía para volverse significativos, se acelera el proceso de electromigración, causando que los átomos del conductor vibren fuera de sus posiciones ideales en la red. Como en esta región irregular los iones están ligados de forma más débil a la red cristalina, una vez que los electrones alcanzan una cierta energía, los iones se ven separados de la red y son transportados en la dirección de la corriente [31]. Esta difusión causa una reorganización entre los átomos del metal. Cuando comienza la generación de huecos no se puede ver ningún cambio desde el punto de vista macroscópico, sin embargo, la temperatura se eleva debido a la disipación de calor y el crecimiento de huecos se acelera [49,31]. La degradación generada en la capa de aluminio causa un incremento en la resistencia $R_{DS(on)}$, y eventualmente, puede generar una falla del dispositivo debido a una desconexión del contacto metálico con la interface [30].

3.1.6 Activación Térmica

Debido a que las propiedades físicas de los materiales semiconductores son dependientes de la temperatura, la mayoría de los procesos de degradación en dispositivos de potencia *son acelerados* por un incremento de esta. Las operaciones por algún periodo de tiempo dado bajo condiciones de temperatura de juntura elevadas provocan degradaciones en las características estáticas del dispositivo que traen como consecuencia algunos efectos que son visibles luego en las curvas características:

- 1- En la región de operación lineal, el incremento del voltaje umbral V_{t0} genera un decrecimiento en la movilidad de portadores. Como resultado, la corriente I_D decrece en su valor puesto que aumenta la resistencia $R_{DS(on)}$.
- 2- En la región de saturación, la corriente $I_{D(sat)}$ decrece también por el decrecimiento de la movilidad de los portadores [20].

En la **Figura 34** se muestra la combinación de estos efectos, un aumento de la resistencia $R_{DS(on)}$, un decrecimiento en la corriente I_D en saturación por la disminución en la velocidad de los portadores y en la región de corte ($V_{DS} < V_{t0}$) un aumento en la I_D luego de la saturación [20].

La observación de $V_{DS(on)}$, V_{t0} o $R_{DS(on)}$ permite obtener una indicación de la temperatura en las partes activas del transistor. Diversos circuitos se han generado para hacer prognosis de fallas a partir de la detección de cambios en estos parámetros y en otros como, por ejemplo, las resistencias térmicas del dispositivo [32,33].

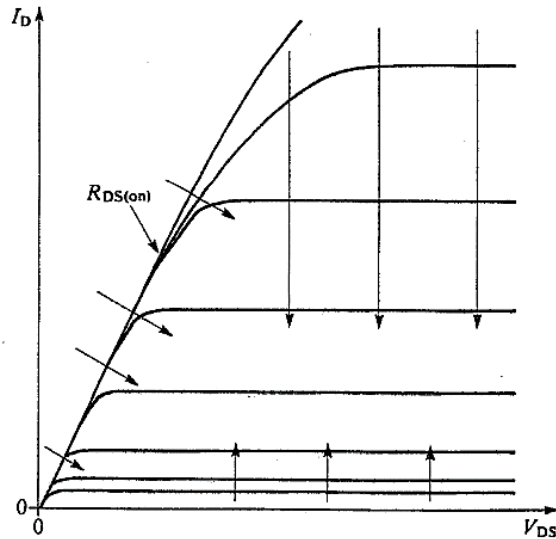


Figura 34: Efecto de la temperatura en las características del dispositivo. Las flechas indican cómo varían las diferentes partes de la curva característica del dispositivo con un incremento en temperatura [20].

Los parámetros del transistor presentan variaciones frente al aumento de la temperatura durante su operación, esto se reporta normalmente en la hoja de datos. Esta variación no implica una degradación puesto que a temperatura normal vuelven a sus valores originales, pero da indicios de cómo la temperatura afecta internamente al dispositivo al punto de alterar sus valores. A continuación, se tratará cada uno en forma breve:

- Las *características de transferencia* están dadas en la mayoría de los instructivos. En la **Figura 35**, se muestra $I_{D(sat)}$ vs. V_{GS} . Para valores bajos de corriente esta aumenta con la temperatura a un dado voltaje V_{DS} (en el caso de la figura es de $V_{DS} = 50 V$), pero para valores de corriente altos se puede observar como el valor de la corriente decrece para altas temperaturas ($T_j = 150\text{ }^\circ\text{C}$) [20].

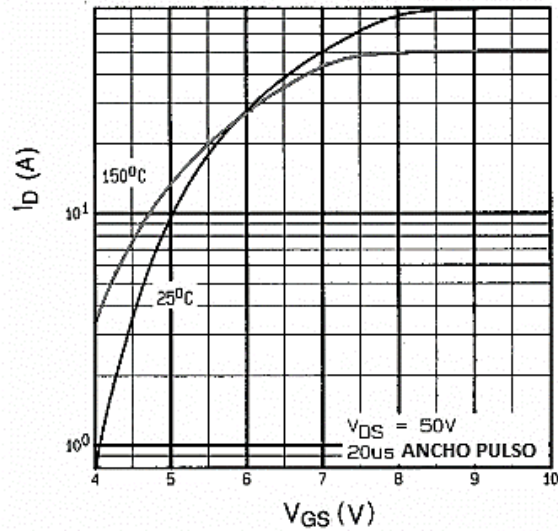


Figura 35: Características de transferencia para MOSFET IRFP350 utilizado en la fuente de potencia del aparato de RMN FC. La curva gris pertenece a $T_j = 150\text{ }^\circ\text{C}$. [Imagen extraída de la hoja de datos del IRFP350]

Otro de los valores que varía es la *transconductancia*. Primero, definimos transconductancia como: $g_{fs} = \left(\frac{\partial I_D}{\partial V_{GS}}\right)$ para V_{DS} constante. Este parámetro mide la sensibilidad con la que varía la corriente I_D en función del voltaje V_{GS} y determina la capacidad del dispositivo para transportar corriente [16]. En la **Figura 36** se puede observar la reducción de g_{fs} para un valor fijo de corriente I_D cuando aumenta la temperatura de juntura T_j . Esta reducción se debe al descenso en la movilidad de portadores a medida que la temperatura asciende, ocasionado por el aumento en la resistencia del material.

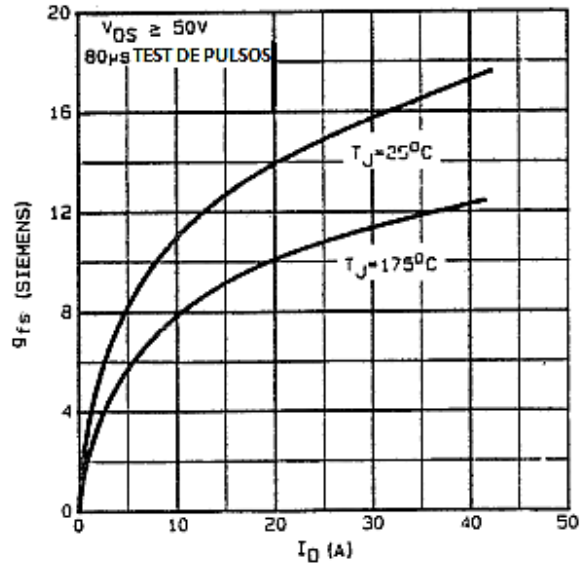


Figura 36: Curva típica de transconductancia vs. I_D de un transistor MOSFET de potencia HexFET de canal n [20]²¹.

- Otra variable es el incremento en la $R_{DS(on)}$ con la temperatura, que se puede observar en la **Figura 37**. Este efecto se agrava por el incremento en la disipación que, si no se realiza de forma adecuada resulta en mayores aumentos de temperatura y así sucesivamente, lo que va degradando otras características del dispositivo. El incremento de $R_{DS(on)}$, al incrementar la temperatura, depende del dispositivo. Va de un aumento del $\frac{0,6\%}{^\circ\text{C}}$ para dispositivos de bajo voltaje a $\frac{0,9\%}{^\circ\text{C}}$ para

²¹Apéndice 7

dispositivos de alto voltaje. Este aumento depende también de otros parámetros del dispositivo como V_{GS} e I_D [20].

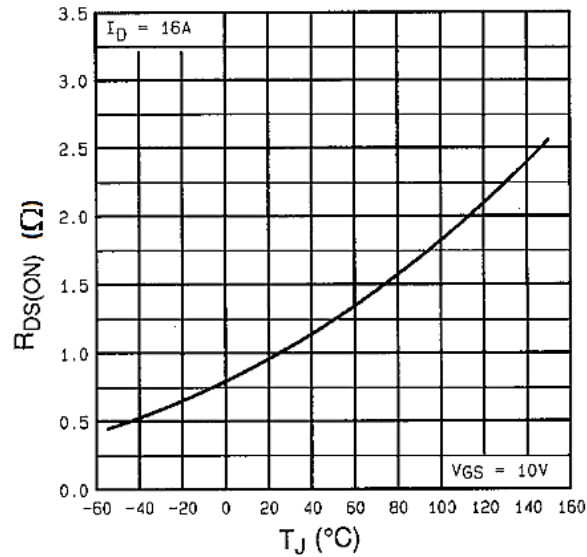


Figura 37: Resistencia $R_{DS(on)}$ en función de la temperatura de juntura T_J [Extraída de la hoja de datos del transistor MOSFET IRFP350].

Cuestiones vinculadas a la degradación permanente es la activación del transistor bipolar parásito BJT que ocurre más fácilmente con temperaturas altas (ver subsección 3.1.3) [16].

3.1.7 Ruptura en el óxido de puerta

Los semiconductores basados en silicio han pasado de exhibir dimensiones del orden de los micrómetros a otras de nanómetros [28]. Los MOSFET de potencia tradicionales utilizan Silicio Policristalino con un dieléctrico SiO_2 , para esta estructura suele ocurrir un fenómeno llamado “rotura epitaxial inducida del dieléctrico” que siempre evoluciona del cátodo al ánodo de la compuerta. La ruptura en el dieléctrico de la puerta en los MOSFET de potencia no depende únicamente del dieléctrico sino también de los materiales del electrodo y de la estructura en general. Puede suceder en periodos vulnerables durante conmutación con cargas inductivas, o aplicaciones excesivas de voltajes V_{DS} . Para obtener más información

acerca de la naturaleza de estas roturas, la técnica más utilizada es microscopía electrónica de transmisión (TEM) [34]. La mayor parte de estos estudios, asocian este efecto a daños térmicos de la red del Silicio, como por ejemplo la migración térmica de átomos de Si, debido a una corriente de electrones muy fuerte [36].

3.2 Mecanismos asociados con el encapsulado

Los mecanismos de falla observados más frecuentemente en dispositivos de potencia se deben al estrés por fatiga termo-mecánica que experimentan los materiales del encapsulado. El motivo principal que desencadena estos mecanismos de falla son las diferencias entre los coeficientes de expansión térmica de los diferentes materiales que forman el chip y el encapsulado del dispositivo [37].

3.2.1 Despegue de los terminales de conexión

Las fallas en las uniones de los contactos metálicos con el material del dispositivo son ocasionadas principalmente por crecimiento de grietas en las interfaces alambre-chip. Esto ocurre a causa de las oscilaciones de temperatura a las que se ve sometido el dispositivo durante intervalos de conmutación de corriente y las diferencias entre los coeficientes de expansión térmica que tienen el Silicio y el Aluminio [35]. La **Figura 38** muestra la típica propagación de una rotura en la unión del alambre con la soldadura. La fatiga térmica se induce en estos materiales debido a tensiones térmicas. En pruebas de fatiga térmica, con oscilaciones de temperatura de juntura muy elevadas, la rotura se propaga desde ambos extremos de la soldadura hasta el centro. Cuando esta alcanza el centro el alambre se despega [35,36].

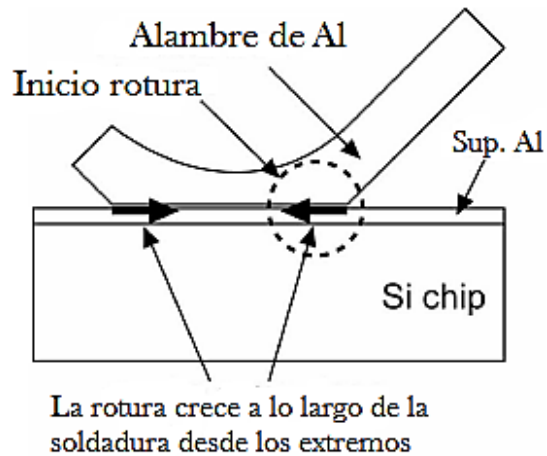


Figura 38: Despegue de alambres debido al crecimiento de grietas en la soldadura [27].

3.2.2 Fatiga en la soldadura

Las fatigas en la soldadura están relacionadas con la microestructura inicial de la soldadura, la metalización del sustrato y los compuestos intermetálicos [39,41]. El mecanismo surge porque la pastilla de silicio y el sustrato de cobre tienen distintos coeficientes de expansión térmica, que resulta en un estrés compartido en la capa de soldadura y la eventual formación de huecos en ella como se muestra en la **Figura 39**.

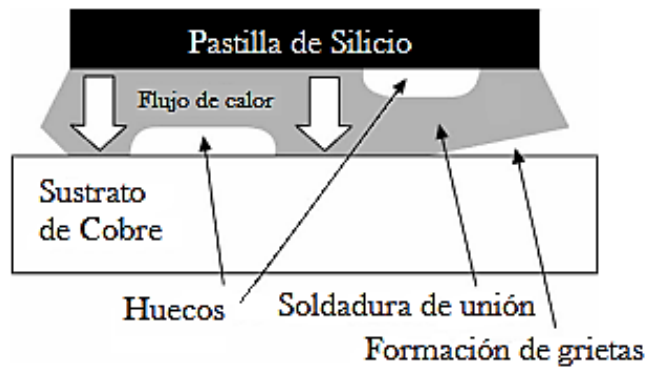


Figura 39: Roturas y formación de huecos en la soldadura de unión [27].

Estos huecos reducen el área efectiva de escape del calor por conducción desde la pastilla de silicio; por lo tanto, la pastilla aumenta su temperatura y el proceso de crecimiento de

huecos se acelera [37,42]. El recalentamiento localizado debido al incremento en la resistencia térmica por el crecimiento de los huecos en la soldadura puede terminar dañando el dispositivo [43,44].

Capítulo 4

Montajes experimentales para experiencias de degradación en MOSFET's de potencia

Al momento de estudiar los mecanismos de falla que afectan a los transistores MOSFET de potencia, se hizo mayor hincapié en cómo se observaban sus efectos en las características estáticas del transistor. Es decir, las variaciones en la corriente de saturación $I_{D,sat}$, en la resistencia $R_{DS(on)}$, en el voltaje umbral V_{t0} , etc. La forma más directa de analizar cómo se modifican estos parámetros es a partir de las curvas paramétricas y de las curvas de transferencia del dispositivo.

Los experimentos de degradación deben implementarse en cada individuo, observando los efectos inducidos a través de la evolución de las curvas características. A fines de reducir los factores externos que pueden incidir en las mediciones, o en las condiciones de los transistores, se desarrolló un montaje experimental que mantiene estables los principales factores de degradación en un dispositivo: temperatura, voltaje y corriente.

En este capítulo, se incluye una descripción de los experimentos que fueron implementados utilizando transistores IFRP350. Se presenta la versión final del montaje experimental utilizado y las pruebas que se hicieron sobre el mismo para demostrar la viabilidad de su uso.

4.1 Instrumentación

Uno de los factores principales de degradación del transistor es la temperatura de juntura T_j que trae consigo mecanismos de falla traducidos en: aumento de la resistencia $R_{DS(on)}$, disminución de la corriente $I_{D,sat}$, aumento del voltaje V_{t0} , entre otros. Otro de estos

factores es la operación bajo condiciones de conmutación con elevado $\frac{dV_{DS}}{dt}$, otro factor que conduce a un aumento en el voltaje V_{t0} y disminución de la corriente $I_{D,sat}$. Las degradaciones que se realizan al transistor MOSFET de potencia IRFP350 fueron elegidas teniendo en cuenta estos los mecanismos de falla, las exigencias a las que está sometido en la fuente de alimentación del equipo de RMN y los medios disponibles en el laboratorio para realizar las experiencias. La primera de ellas es la degradación a corriente constante, que tiene como objetivo verificar que parámetros del transistor se modifican cuando se ve sometido a un aumento de T_j durante distintos intervalos de tiempo. En segundo lugar, utilizando el mismo montaje, se realizaron pruebas de estrés por pulsos cortos de alta tensión, emulando el funcionamiento del transistor en el equipo de RMN. Finalmente, se instaló un MOSFET dentro de la fuente de alimentación del instrumento de RMN por un largo periodo de tiempo, a los fines de evaluar la existencia de algún tipo de degradación dominante. En la **Figura 40** se muestra un diagrama esquemático del circuito principal utilizado para medir las curvas paramétricas y de transferencia. En la **Figura 41** se puede observar un diagrama en bloques del montaje experimental completo donde se agregan el termómetro, los ventiladores, el circuito de refrigeración y su alimentación.

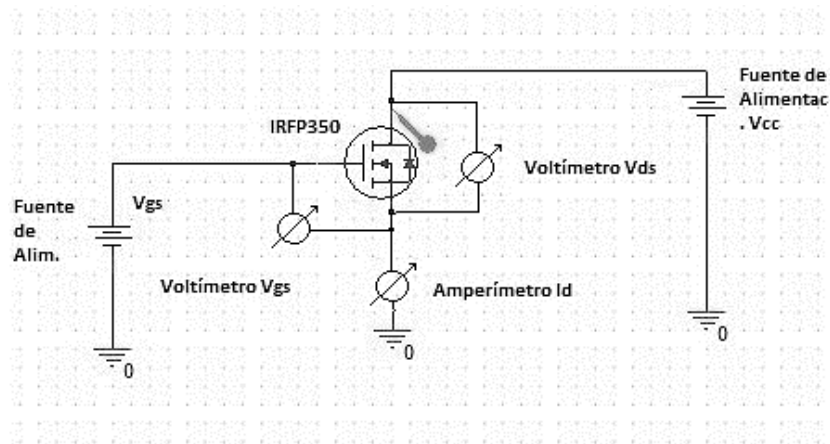


Figura 40: Diagrama esquemático del circuito principal utilizado para medir las curvas características del transistor y para realizar las degradaciones a corriente I_D constante.

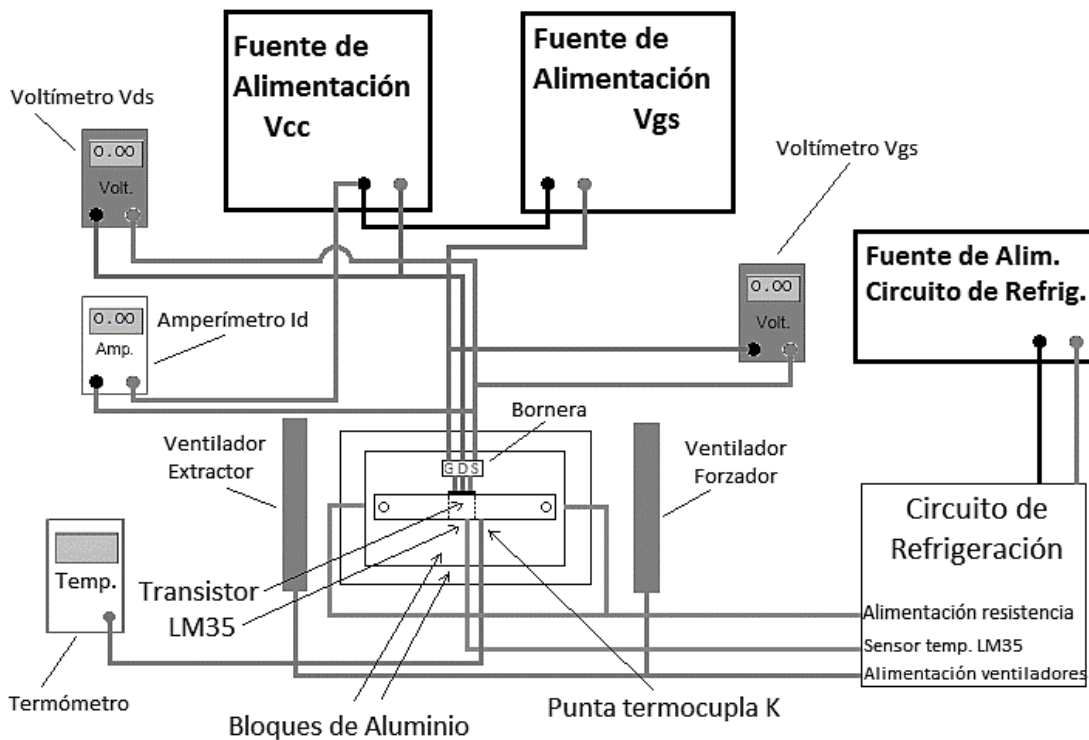


Figura 41: Diagrama en bloques del montaje experimental y las conexiones entre los distintos componentes. Este conjunto se utiliza para medir las curvas características del transistor y para realizar las degradaciones a corriente I_D constante. Las letras G, D y S que aparecen en la bornera corresponden a los contactos Gate, Drain y Source (Puerta, Drenador y Fuente, respectivamente) del transistor.

Se utilizó una Fuente de Alimentación DC Protomax HY3005D-3 como V_{GS} y una Leybold 52155 (con $I_{max} = 20 A$, $V_{máx} = 24 V$) como V_{CC} . Para alimentar la resistencia del bloque y el circuito de refrigeración se utilizó una fuente de alimentación Heathkit Modelo IP-27. Como voltímetros para medir V_{GS} y V_{DS} se utilizaron multímetros de banco digitales Metex MXD-4660A de 4 dígitos y Rigol DM3068 LKI de 6 $\frac{1}{2}$ dígitos, respectivamente. Como amperímetro para medir I_D se utilizó el multímetro Agilent U1252A. Como termómetro se utilizó un CHY503 con termocupla K.

En las experiencias para I_D constante se ubica una resistencia entre la fuente V_{CC} y la salida Drenador del MOSFET. Una resistencia de $R = (100 \pm 1) \Omega$, que sirve para limitar la corriente I_D y facilitar la lectura en el multímetro.

Los transistores MOSFET utilizados para las pruebas son 2 IRFP350 del fabricante

International Rectifier (IR) y 1 IRFP350 del fabricante SEC (Samsung). Se los denomina MOSFET nro. 2, nro. 3 a los del fabricante IR y MOSFET nro. 4 al del fabricante SEC, esta numeración fue adoptada en los experimentos a los fines de identificar cada uno de los individuos estudiados.

Con el objetivo de obtener una temperatura constante y homogénea en el encapsulado del transistor, el montaje fue implementado con bloques de aluminio de distintos tamaños, sobre los cuales se hace circular un flujo de aire forzado. A continuación, se describe brevemente el armado de estas partes del montaje.

4.1.1 Descripción del Montaje Experimental

El soporte para el transistor consta de dos bloques rectangulares de aluminio de $(162 \pm 1)mm \times (220 \pm 1)mm$ el inferior y $(103 \pm 1)mm \times (184 \pm 1)mm$ el superior. En la parte de arriba del bloque superior se ubica otro rectángulo de aluminio más pequeño de $(250 \pm 1)mm \times (170 \pm 1)mm$, en el cual se han maquinado alojamientos que contienen al transistor y a un sensor de temperatura LM35 (**Figura 42**).

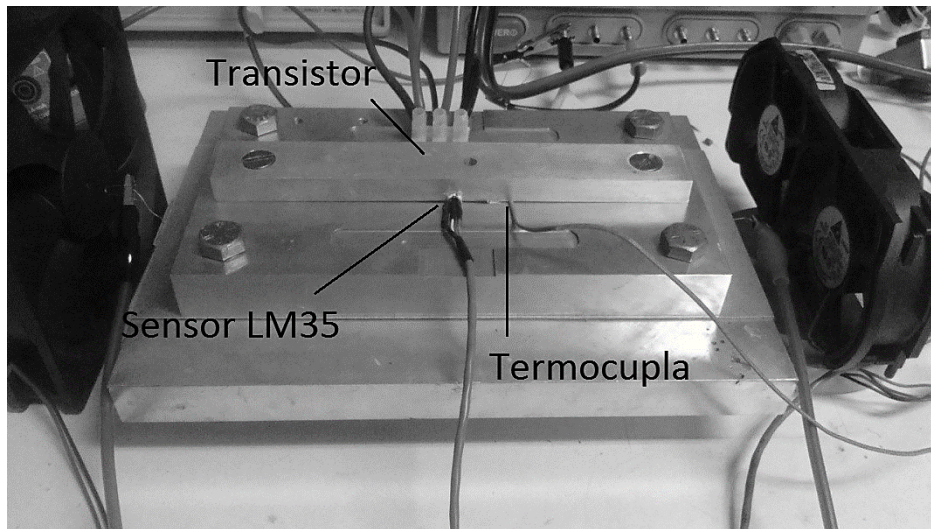


Figura 42: Imagen de los tres bloques de aluminio utilizados como soporte para el transistor en el montaje experimental. El bloque rectangular largo que contiene al MOSFET y a los sensores de temperatura va atornillado al bloque superior de aluminio.

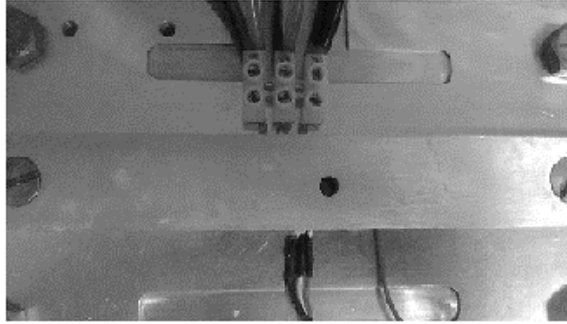


Figura 43: Vista superior del soporte, se puede observar la ubicación del transistor que tiene sus contactos conectados a una bornera.

En la **Figura 42** se puede observar como el rectángulo superior más largo se atornilla al bloque superior de aluminio, de tal forma que tanto la parte inferior del transistor, el sensor de temperatura LM35 y la termocupla quedan bien adheridos contra la superficie del bloque inferior. La parte superior del encapsulado del transistor tiene un contacto total con el bloque de aluminio que lo comprime, dado que la dimensión del alojamiento en el bloque se realizó de su mismo tamaño para asegurar una temperatura $T_C = T_{bloq}$ homogénea en todo el encapsulado. Además, para que tengan buen contacto térmico con la superficie inferior de aluminio y la superior que los comprime, se recubren los tres elementos de pasta térmica (grasa disipadora) (**Figura 44 a**).

El transistor ya ubicado en el bloque se conecta al resto del circuito mediante una bornera que va atornillada a sus contactos (Gate, Drenador y Surtidor) (**Figura 43** y **Figura 44 b**), para poder intercambiarlos fácilmente y sin dañarlos durante el proceso de soldadura. Los cables utilizados para las interconexiones entre fuentes de alimentación y multímetros se hicieron lo más cortos posibles con el objetivo de disminuir el ruido inducido durante las mediciones.

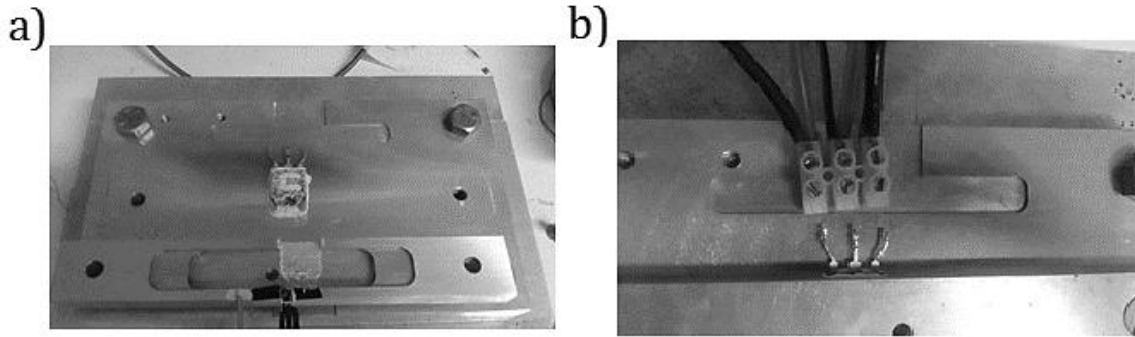


Figura 44: a) Imagen de la parte interna del bloque rectangular que contiene al MOSFET y a los sensores de temperatura. Se puede ver el alojamiento donde se ubica el transistor que se encuentra cubierto de grasa disipadora. b) Bornera plástica que conecta el transistor al resto del circuito.

Entre los bloques de aluminio superior e inferior se ubica una resistencia calefactora que cumple la función de calentar el sistema. Esta resistencia se fabricó con alambre de Nicrom²² sobre un papel mica. Se encuentra aislada de los bloques de aluminio por medio de dos placas de mica y comprimida mediante cuatro tornillos ubicados a los extremos de los bloques (**Figura 45**).

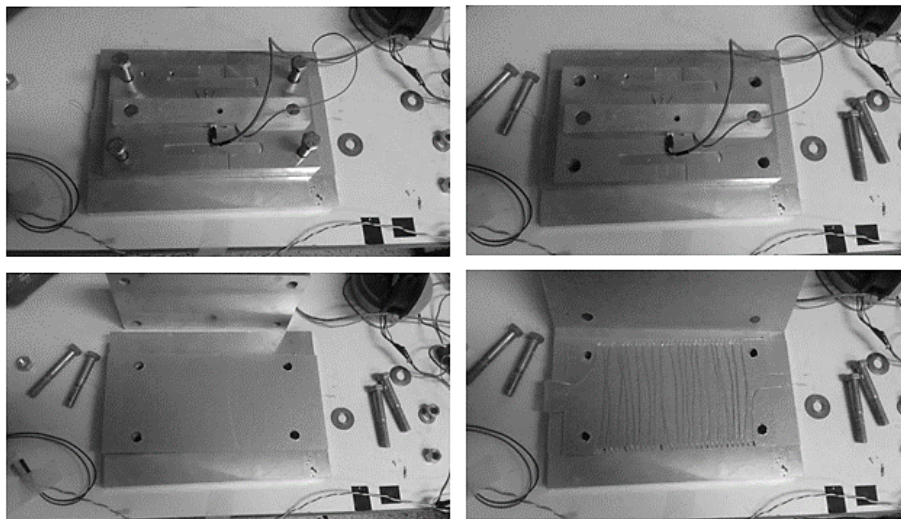


Figura 45: Imágenes consecutivas del despiece (de izquierda a derecha y de arriba para abajo) de los dos bloques de aluminio principales para observar la resistencia de Nicrom ubicada en su interior.

²²El nicromo o nicrom es una aleación compuesta de un 80% de níquel y un 20% de cromo. Es de color gris y resistente a la corrosión, con un punto de fusión cercano a los 1400 °C. Debido a su gran resistividad, resistencia a la oxidación y estabilidad a altas temperaturas, es ampliamente utilizado en elementos de calefacción eléctrica, así como en electrodomésticos y herramientas.

Para el control de la temperatura de los bloques, se diseñó un circuito de control automático de temperatura (**Figura 46**), luego de descartar las técnicas de control manual o con otros dispositivos. Su principio de funcionamiento es el siguiente: un sensor de temperatura (el LM35) va ubicado al lado del transistor, el cual da una salida de $10\text{ mV}/^{\circ}\text{C}$, éste va sensando la temperatura del bloque en conjunto con la termocupla. La salida en mV del sensor de temperatura va conectada a un amplificador operacional (TL071) que funciona como comparador (y amplificador del voltaje). La tensión de referencia para este comparador se determina con un preset (o potenciómetro multivuelta). Esta tensión se compara con la de referencia, tal que cuando son similares, del amplificador se obtiene una corriente que alimenta la base de un transistor bipolar (BC547). Para esa corriente de base, el transistor deja pasar una corriente entre colector y emisor, que va alimentar la bobina de un relé de 12 V (G2R-14-DC12). El relé tiene el común en el NC (normal cerrado) conectado a la resistencia y la fuente de 30 V y en el contacto NA (normal abierto) se encuentran los ventiladores, que consiste en un par de coolers de pc, en un extremo en configuración de forzador y extractor en el otro, para crear un flujo importante que atraviese el bloque (**Figura 47**).

La tensión de alimentación de los ventiladores la da el LM317K, un regulador de voltaje que convierte los 30 V de entrada de la fuente de alimentación a 12 V que es el voltaje que utilizan los ventiladores. El diagrama esquemático de las conexiones se puede observar en la **Figura 46**.

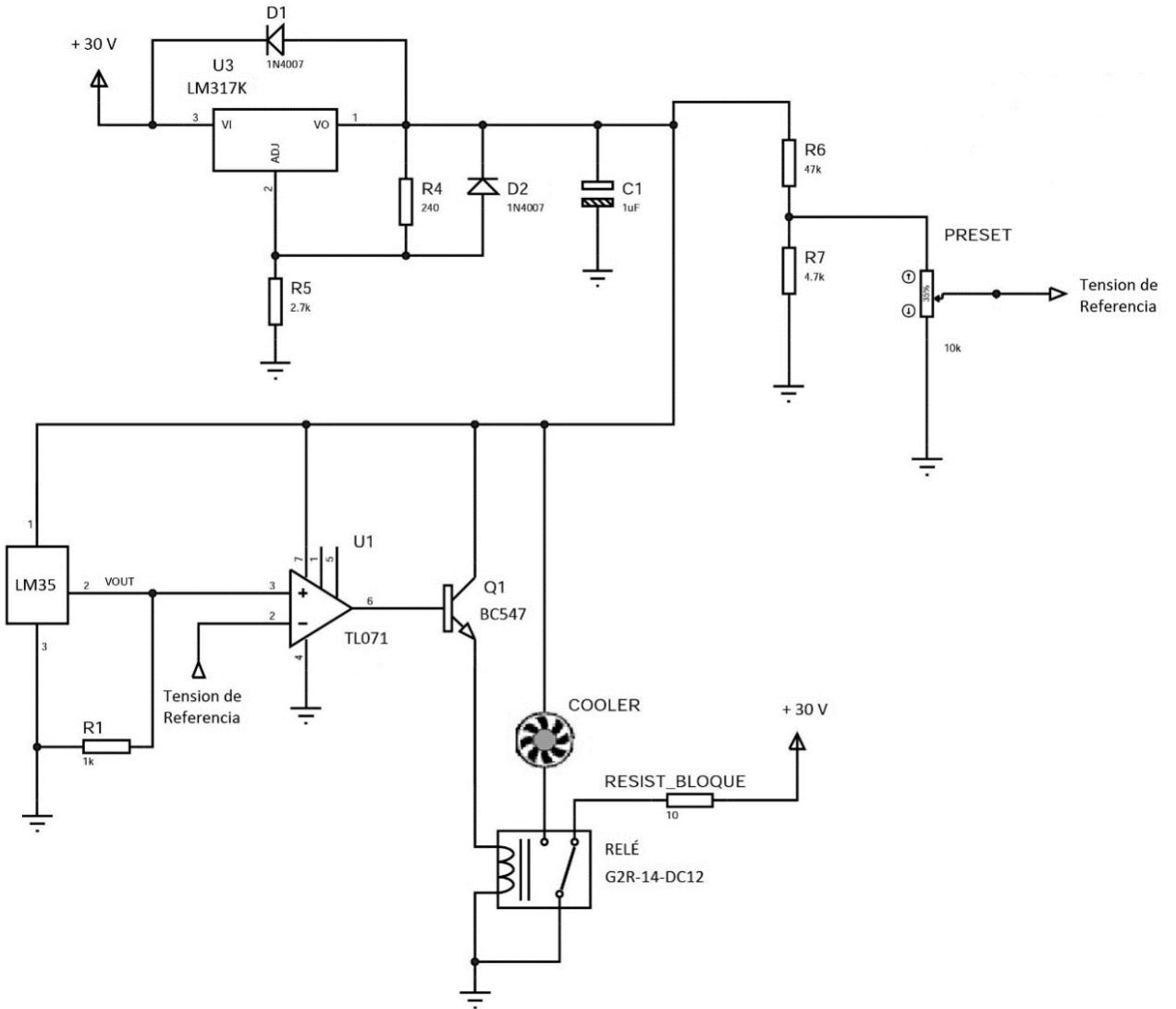


Figura 46: Diagrama esquemático del circuito de control de temperatura de los bloques de Aluminio.



Figura 47: Montaje experimental para medir las curvas características del transistor y realizar las degradaciones a corriente I_D constante. A ambos lados del bloque se pueden observar los ventiladores. El ventilador doble se encuentra a la derecha (forzador) y a la izquierda, de forma invertida, el extractor.

Al tener un sistema en el cual se dispone de la habilidad de controlar la temperatura del bloque, se realizaron pruebas para llegar a una temperatura que luego será utilizada a lo largo de todas las experiencias. Estas pruebas consistieron en medir con el bloque a temperatura ambiente las curvas paramétricas (o características) del transistor y ver cuál era la temperatura final a la que se elevaba el bloque al tener la máxima corriente circulando. Se ubicaba la termocupla justo debajo del disipador del transistor para medir exactamente que temperatura alcanzaba. La máxima obtenida fue de $35,0\text{ }^{\circ}\text{C}$.

Al llegar a esta temperatura el sistema la mantiene dentro de un rango de $\pm 0,2\text{ }^{\circ}\text{C}$, encendiendo los ventiladores para $35,2\text{ }^{\circ}\text{C}$ o la resistencia para $34,8\text{ }^{\circ}\text{C}$. De esta forma se establecen las distintas temperaturas a utilizar en las experiencias.

Al utilizar el sistema de refrigeración, que mantiene el bloque a $(35,0 \pm 0,2\text{ }^{\circ}\text{C})$, se obtuvieron los gráficos que se muestran en las **Figura 48** y **Figura 49**. Tanto para el MOSFET nro.2, como para el nro.3, se realizaron 3 mediciones de sus curvas paramétricas. Las mediciones 1 y 2 de forma sucesiva, una después de otra dejando pasar unas horas en el mismo día, y la medición 3 se realizó al día siguiente. Se puede observar que los valores para

las tres mediciones son iguales para las mismas V_{DS} y V_{GS} .

Por lo tanto, al lograr replicar las mismas curvas en distintas mediciones con nuestro dispositivo experimental, lo consideramos un dispositivo estable para pasar a las pruebas siguientes que son aplicar las degradaciones a los dispositivos.

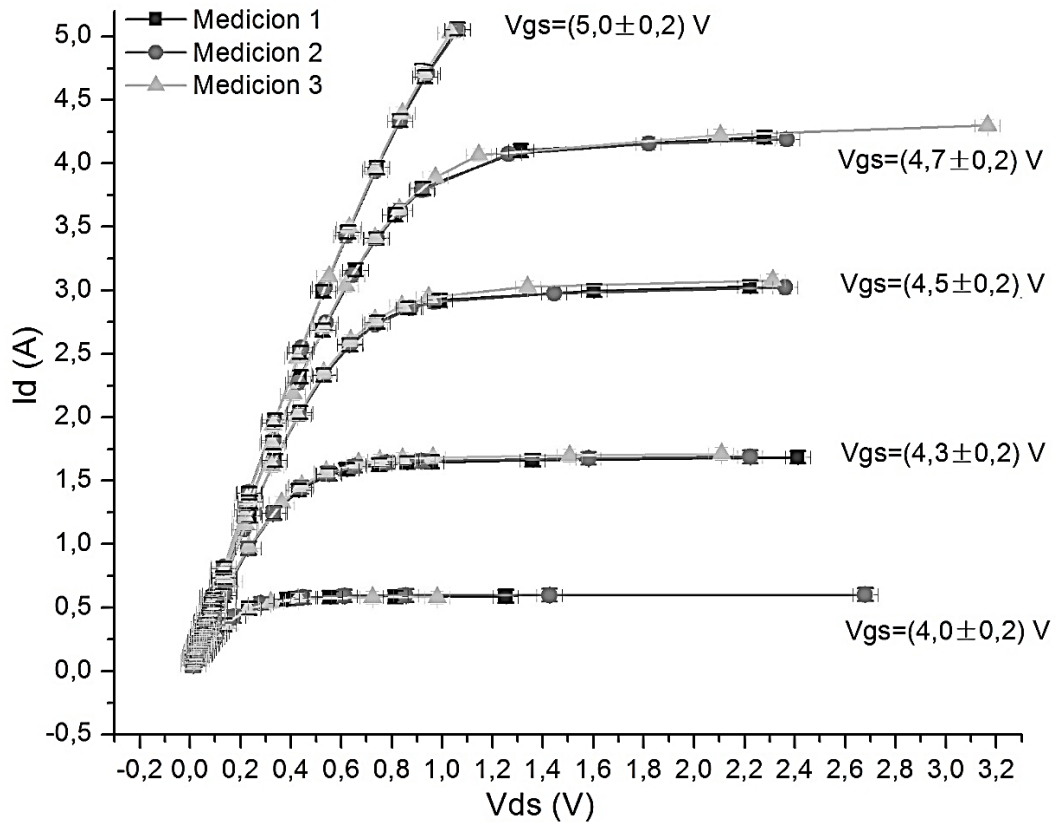


Figura 48: Curvas paramétricas medidas para MOSFET nro. 2²³ utilizando el circuito de refrigeración para mantener la temperatura constante en el transistor. Las mediciones 1 y 2 se realizaron de forma consecutiva en un mismo día y la medición 3 al día siguiente, sin mover el transistor del montaje.

²³ Numeración adoptada en los experimentos a los fines de identificar cada uno de los transistores estudiados.

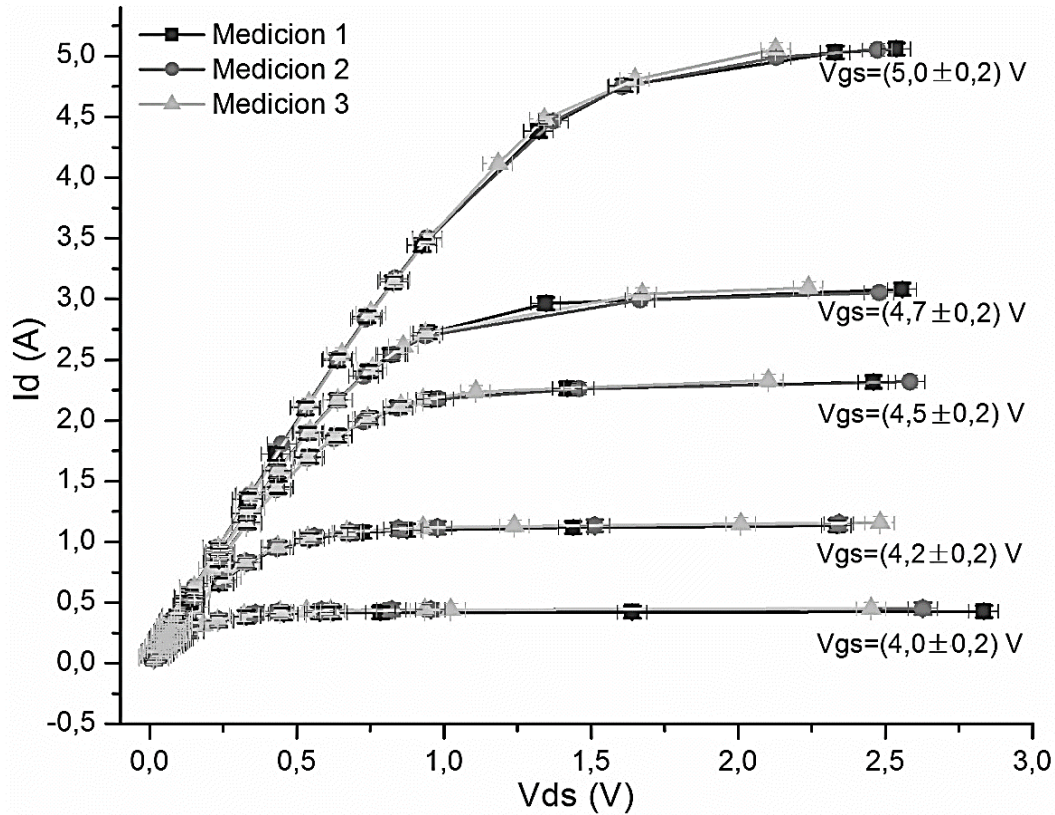


Figura 49: Curvas paramétricas medidas para el MOSFET nro.3²⁴ utilizando el circuito de refrigeración para mantener la temperatura constante en el transistor. Las mediciones 1 y 2 se realizaron de forma consecutiva en un mismo día y la medición 3 al día siguiente, sin mover el transistor del montaje.

4.2 Experimentos de degradación

Como se comentó anteriormente, para generar degradación al transistor MOSFET IRFP350 las 3 experiencias a realizar consisten en:

- 1) Degradación a corriente constante I_D
- 2) Degradación por picos de alta tensión V_{DS}

Y una tercera experiencia, que tenía como objetivo caracterizar las degradaciones propias del equipo de RMN con CC:

- 3) Degradación de un transistor ubicado en el equipo de RMN por un periodo de 2

²⁴ Numeración adoptada en los experimentos a los fines de identificar cada uno de los transistores estudiados.

meses.

Las siguientes mediciones de prueba se realizan para establecer a que temperaturas la configuración se mantiene estable.

4.2.1 Degradación a corriente I_D constante

En esta experiencia se analizan las degradaciones inducidas por corrientes intermedias en función del tiempo manteniendo baja la temperatura de junta T_J e intentando conservar minimizados los efectos de posibles degradaciones por efectos termoelásticos. Por otro lado, se trabajó con corrientes elevadas, permitiendo la operación a una temperatura de junta superior. En este caso se intentaron observar los efectos superpuestos de posibles degradaciones por temperaturas elevadas y fenómenos termoelásticos.

Las experiencias realizadas para determinar estas dos corrientes fueron las siguientes: la ecuación para la máxima potencia que el dispositivo puede disipar, se toma como una aproximación con la cual poder asociar la I_D con la T_J [52]. Esta ecuación está basada en la resistencia térmica entre la junta y la cápsula: $R_{\theta JC}$ y la temperatura de la cápsula T_C de la siguiente forma:

$$P_D = \frac{T_{J(\max)} - T_C}{R_{\theta JC}} = I_D^2 \cdot R_{DS(on)}$$

la cual nos dice que el máximo calor que puede ser disipado, $\frac{T_{J(\max)} - T_C}{R_{\theta JC}}$, equivale al máximo calor permitido generado por la potencia disipada en la conducción: $I_D^2 \cdot R_{DS(on)}$.

Despejando I_D , se obtiene la ecuación (1):

$$I_D = \sqrt{\frac{T_{J(\max)} - T_C}{R_{\theta JC}} \cdot \frac{1}{R_{DS(on)}}}. \quad (1)$$

Con el objetivo de obtener valores aproximados de corrientes I_D . Se toma T_J desde 40 °C a 80 °C, junto con los valores de $R_{\theta JC}$ y $R_{DS(on)}$ obtenidos de la hoja de datos del dispositivo y con $T_C=35$ °C. Estos valores se presentan en la **Tabla 1**.

Temperatura de juntura T_J [°C]	Corriente drenador I_D [A]
(40 ± 1) °C	$(5,0 \pm 0,5)$ A
(45 ± 1) °C	$(7,0 \pm 0,5)$ A
(50 ± 1) °C	$(9,0 \pm 0,5)$ A
(55 ± 1) °C	$(10,0 \pm 0,5)$ A
(60 ± 1) °C	$(11,0 \pm 0,5)$ A
(70 ± 1) °C	$(13,0 \pm 0,5)$ A
(80 ± 1) °C	$(15,0 \pm 0,5)$ A

Tabla 1: Valores de corriente I_D en función de la temperatura de juntura T_J .

Las mediciones de prueba para esta experiencia tenían como objetivo obtener una corriente máxima I_D para la cual la temperatura del bloque se pudiera mantener constante en $T_C = (35,0 \pm 0,2)$ °C cualquiera sea su T_J . Estas pruebas se realizaron por cortos intervalos de tiempo: (5 ± 1) min, (10 ± 1) min, (15 ± 1) min. En la **Tabla 2** se muestran los resultados obtenidos.

Corriente drenador I_D	Intervalo de tiempo t	Reporte de la temperatura del bloque
$(5,0 \pm 0,5)$ A	(5 ± 1) min	Temperatura constante en $(35,0 \pm 0,2)$ °C
	(10 ± 1) min	Ídem
	(15 ± 1) min	Ídem

$(7,0 \pm 0,5) A$	$(5 \pm 1) \text{ min}$	Temperatura constante en $(35,0 \pm 0,2) ^\circ\text{C}$
	$(10 \pm 1) \text{ min}$	Ídem
	$(15 \pm 1) \text{ min}$	Ídem
$(9,0 \pm 0,5) A$	$(5 \pm 1) \text{ min}$	Durante las tres pruebas los ventiladores se mantienen encendidos, sobre-enfriando al bloque hasta $(34,6 \pm 0,2) ^\circ\text{C}$.
	$(10 \pm 1) \text{ min}$	
	$(15 \pm 1) \text{ min}$	
$(10,0 \pm 0,5) A$	$(5 \pm 1) \text{ min}$	A pesar de que se mantienen los ventiladores encendidos durante las tres pruebas, la temperatura asciende de $(35,0 \pm 0,2) ^\circ\text{C}$ a $(36,5 \pm 0,2) ^\circ\text{C}$.
	$(10 \pm 1) \text{ min}$	
	$(15 \pm 1) \text{ min}$	
$(11,0 \pm 0,5) A$	$(5 \pm 1) \text{ min}$	Los ventiladores se mantienen encendidos durante todas las pruebas, sin embargo, la temperatura asciende de $(35,0 \pm 0,2) ^\circ\text{C}$ a $(38,0 \pm 0,2) ^\circ\text{C}$.
	$(10 \pm 1) \text{ min}$	
	$(15 \pm 1) \text{ min}$	

Tabla 2: Resultados obtenidos de las pruebas para encontrar la máxima T_j para la cual el bloque se pudiera mantener a $35 ^\circ\text{C}$.

Como la corriente máxima para la cual se pudo mantener los $(35,0 \pm 0,2) ^\circ\text{C}$ del bloque constantes es de $I_D \cong 7 A$, y la temperatura de juntura $T_j = 45 ^\circ\text{C}$ es, dentro de todo, baja; se realiza una última medición de mayor tiempo ($t = 60 \text{ min}$) en la cual se confirma la estabilidad en la temperatura de los bloques con el transistor sometido a esta corriente.

Para la experiencia con valores altos de T_j se elige la $I_D \cong 13 A$. Se configura el sistema de refrigeración para que a más de $35 ^\circ\text{C}$ se enciendan los ventiladores y se deja al transistor con la corriente $I_D = 13 A$ por más de 30 min . Los ventiladores se mantienen encendidos durante toda la prueba, la temperatura del bloque sube hasta $70 ^\circ\text{C}$ y se estabiliza. Por lo tanto, para esta experiencia se decide utilizar el bloque a $T_c = (75 \pm 1) ^\circ\text{C}$. Entonces, con $I_D = (13,0 \pm 0,5) A$ y $T_c = (75 \pm 1) ^\circ\text{C}$ utilizando la ecuación (1), obtenemos $T_j = (108 \pm 1) ^\circ\text{C}$.

Por lo tanto, las dos experiencias a corriente constante se realizarán con $I_D = (7,0 \pm 0,5) A$ [$T_J = (45 \pm 1) ^\circ C$] e $I_D = (13,0 \pm 0,5) A$ [$T_J = (108 \pm 1) ^\circ C$] variando el tiempo de degradación.

4.2.2 Degradación por Pulsos cortos de Alta Tensión

El objetivo detrás de este ensayo es imitar, en un experimento de banco, la degradación que sufren los transistores al momento de conmutar la I_D con cargas inductivas. La idea original era sacarlo de su zona segura de operación dándole pulsos cuadrados al gate del transistor generando así una V_{DS} tal que, cuando $I_D = 0 A$, la bobina genere un pico alta tensión de aproximadamente $400 V$. Este pico de alta tensión se produce en el flanco de bajada de la I_D , la bobina lo produce debido a su inductancia, oponiéndose al cambio brusco de corriente y generando una corriente opuesta que deriva en este pico de alta tensión. El transistor no posee el tipo de protección que suele utilizarse en estos casos²⁵. Utilizando los elementos que se disponían en el laboratorio (Fuentes de alimentación, multímetros, etc.), potenciómetros y un electroimán con núcleo de aire, se armó la experiencia que permite aplicar pulsos de $250 V$. Un diagrama esquemático del montaje experimental se puede observar en la **Figura 50**.

²⁵Los supresores (Snubber, en inglés) son frecuentemente usados en sistemas eléctricos con cargas inductivas donde la interrupción repentina de flujos de corriente lleva a un aumento pronunciado de voltaje a través del dispositivo conmutador de la corriente. Este aumento de voltaje, aparte de constituir una fuente de interferencia electromagnética en otros circuitos, puede ser destructiva para el dispositivo conmutador si el voltaje generado sobrepasa el voltaje máximo para el cual se diseñó. El circuito supresor provee una ruta alternativa de descarga que le permite al elemento inductivo descargarse de manera controlada.

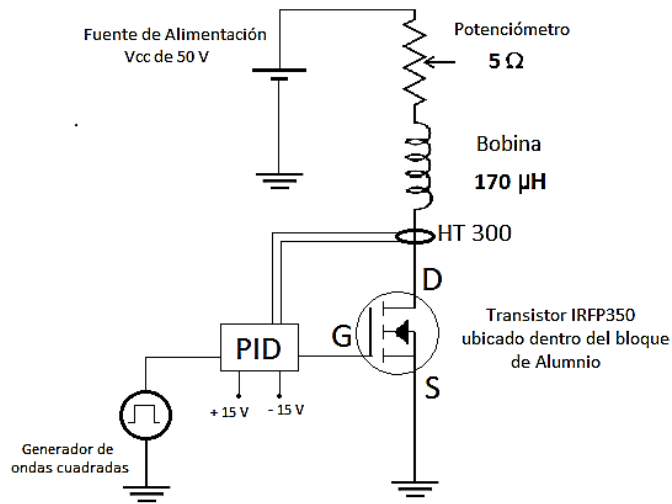


Figura 50: Diagrama esquemático del set-up experimental a ser utilizado para la degradación con pulsos de alta tensión.

Dos fuentes de alimentación (Leybold 52155, de $V_{m\acute{a}x} = 24 V$) se pusieron en serie para llegar aproximadamente a una tensión $V_{cc} = 50 V$ que alimenta la bobina de $170 \mu H$, los potenciómetros (de 10Ω , $P_{m\acute{a}x} = 140 W$ y $I_{m\acute{a}x} = 3,7 A$ cada una) que en paralelo juntos sumaban 5Ω y el transistor IRFP350 que estaba ubicado en su bloque de aluminio mantenido a $T_{bloq} = (35 \pm 1) ^\circ C$. Un PID²⁶ que utilizaba un sensor de corriente (HT300) como referencia para examinar constantemente la I_D del circuito, servía como sistema de control de corriente. Un generador de ondas cuadradas (Agilent 33220A LXI) se encontraba ubicado en serie con el PID que alimentaba al gate del transistor. Para alimentar al PID se utilizó una fuente partida del laboratorio (DC HY3005D-3 Protomax) con $15 V$. El osciloscopio (Tektronix TDS2001C de dos canales) tenía el CH1 midiendo el voltaje V_{GS} y el CH2 midiendo el voltaje V_{DS} (**Figura 51**).

²⁶Un controlador PID es un mecanismo de control por realimentación ampliamente usado en sistemas de control. Este calcula la desviación o error entre un valor medido y un valor deseado.

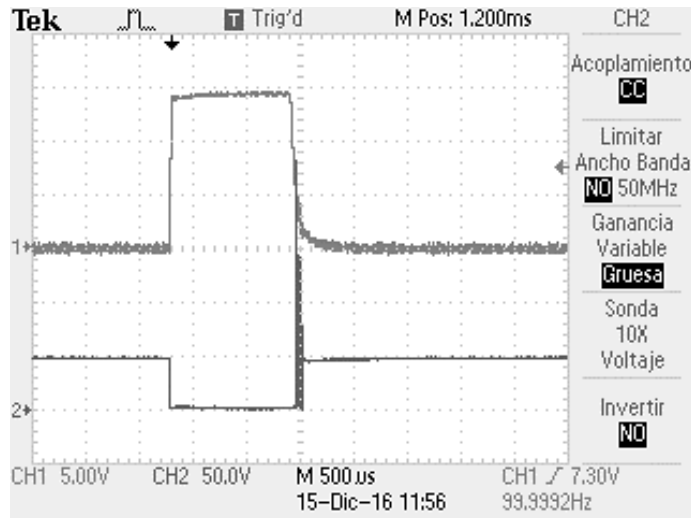


Figura 51: Imagen de los dos canales del osciloscopio Tektronix TDS2001C, el CH1 midiendo el voltaje V_{GS} (15 V) y el CH2 midiendo el voltaje V_{DS} (50 V).

Una imagen del set-up experimental utilizado para realizar las degradaciones se muestra en la **Figura 52**. Se indican algunas partes importantes del circuito que aparecen en el diagrama de la **Figura 50**.

Se realizaron mediciones de prueba con el MOSFET nro.4, de $t = (5 \pm 1) \text{ min}$, con pulsos de separación de 100 ms y de $t = (60 \pm 1) \text{ min}$ con pulsos de separación de 10 ms para probar el funcionamiento del sistema de control de temperatura. Como se dijo anteriormente, al degradar con un ciclo útil muy corto, maximizando la cantidad de transitorios, no hubo problema en mantener la temperatura del bloque a $(35,0 \pm 0,2) \text{ }^\circ\text{C}$ con los ventiladores encendidos todo el tiempo que duró la degradación.

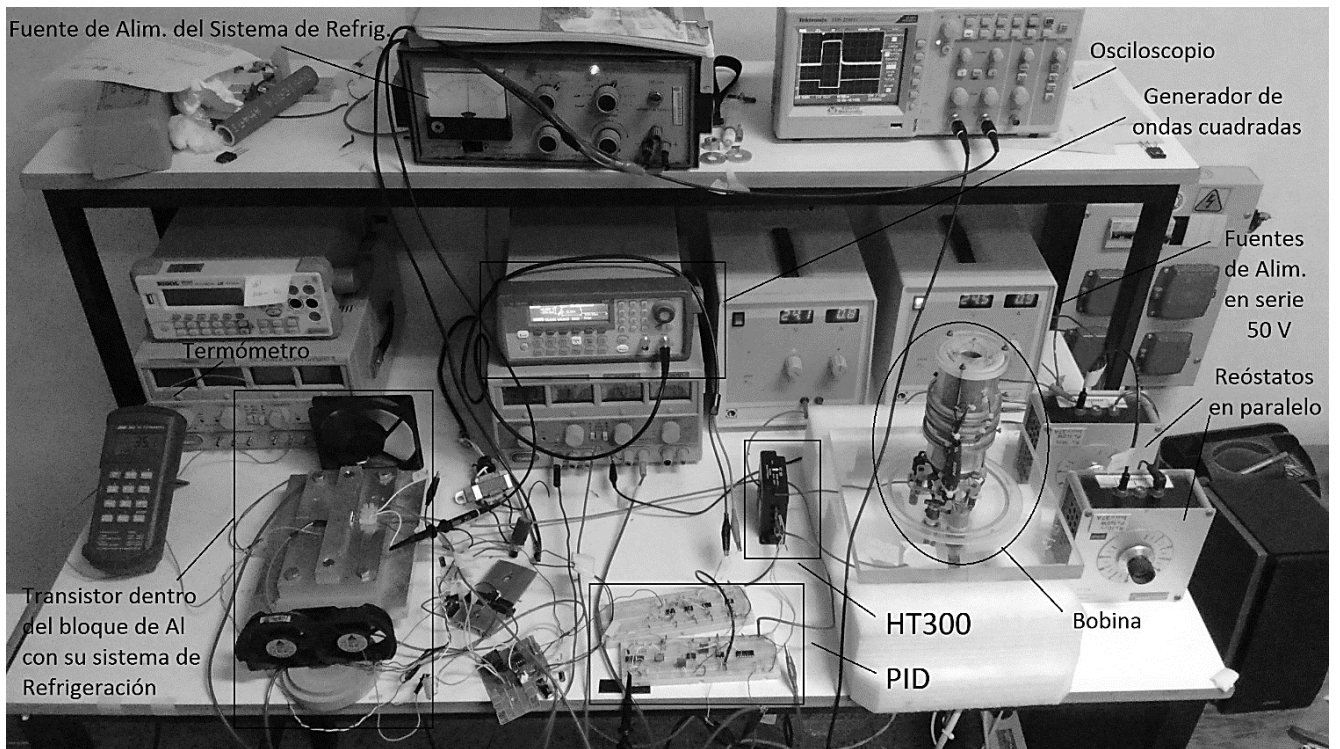


Figura 52: Montaje experimental para realizar las degradaciones con picos de alto voltaje.

4.2.3 Degradación de un transistor ubicado en el Equipo de RMN: objetivos

La cuarta experiencia tenía como objetivo caracterizar las degradaciones propias del equipo realizadas sobre el transistor.

A un MOSFET nro.4, se midieron sus curvas paramétricas y de transferencia. Luego se extrajo un transistor IRFP350 del banco de MOSFET del equipo de RMN y se ubicó el transistor SEC. Aproximadamente 2 meses después, se lo retiró del equipo y se midieron nuevamente sus curvas paramétricas y de transferencia con el objeto de compararlas para ver si se había generado alguna degradación. En la **Figura 53** se puede observar una imagen de la posición del transistor en el banco de MOSFET del equipo de RMN con CC del LaRTE.

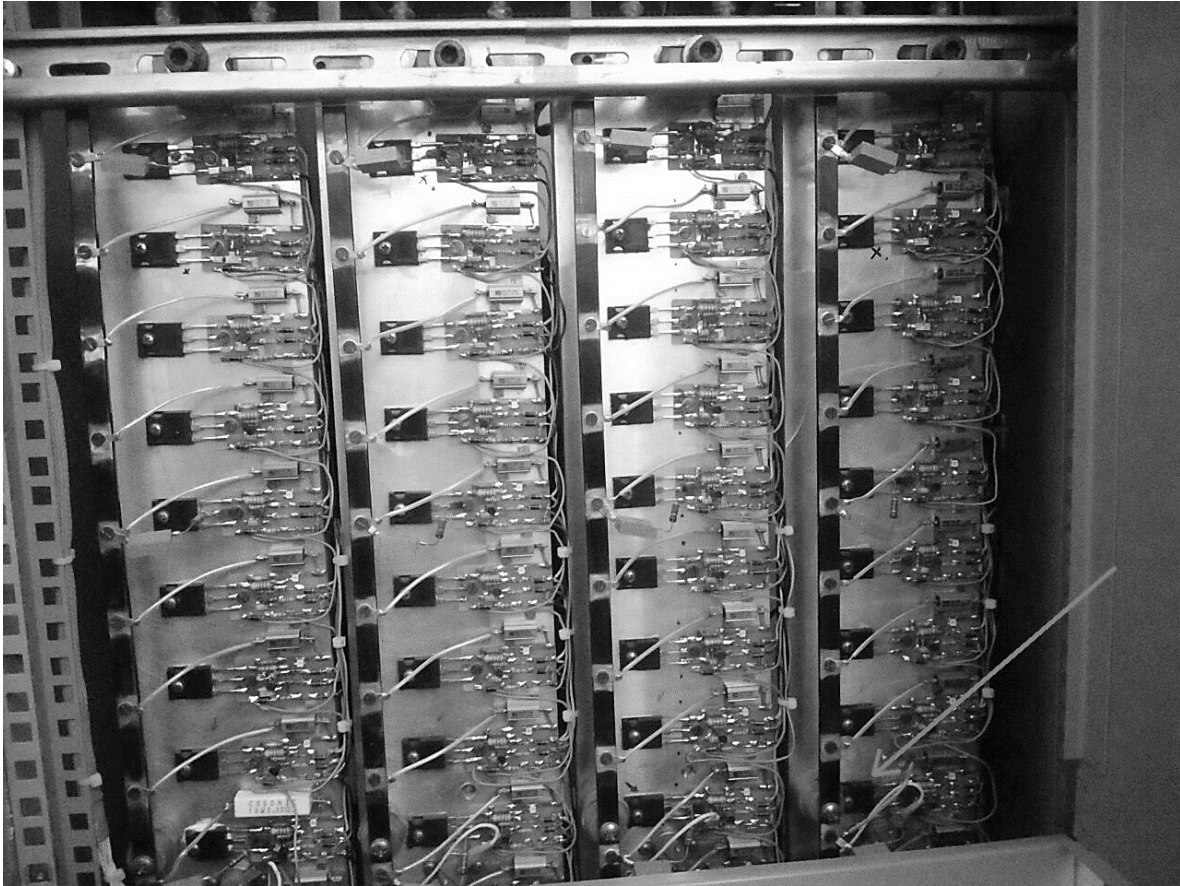


Figura 53: Imagen del banco de MOSFET del equipo de RMN con CC del LaRTE. La flecha gris señala donde se alojó el transistor SEC nro.4 durante los 2 meses que duró la degradación.

Las mediciones de prueba realizadas para cada una de las experiencias anteriores nos proveen dispositivos estables y experiencias concretas con los cuales poder pasar al siguiente paso que consiste en realizar las degradaciones de transistores nuevos y poder caracterizarlas apropiadamente. No se utilizaron los mismos transistores para las experiencias de degradación definitivas puesto que no se podía garantizar no haber generado alguna degradación durante las pruebas.

Capítulo 5

Resultados

En este capítulo se exponen los resultados obtenidos de las cuatro experiencias de degradación realizadas sobre cuatro transistores de potencia IRFP350 del fabricante SEC (Samsung Electronics Company). Se los denomina MOSFET nro. 1-4, esta numeración fue adoptada en los experimentos a los fines de identificar cada uno de los individuos estudiados.

5.1 Degradación a corriente I_D constante

Las mediciones se realizaron con valor $T_{bloq} = (35,0 \pm 0,2) ^\circ\text{C}$ para la experiencia con $I_D = (7,0 \pm 0,1) \text{ A}$ y $T_{bloq} = (75,0 \pm 0,5) ^\circ\text{C}$ para la experiencia con $I_D = (13,0 \pm 0,1) \text{ A}$.

5.1.1 Degradación a corriente $I_D = 7 \text{ A}$

Se miden las curvas paramétricas y las de transferencia para el MOSFET nro.1 utilizando 3 valores para las paramétricas: $V_{GS} = (4,0 \pm 0,2) \text{ V}$, $(4,4 \pm 0,2) \text{ V}$, $(4,6 \pm 0,2) \text{ V}$ y 3 para las de transferencia: $V_{DS} = (4,0 \pm 0,2) \text{ V}$, $(5,0 \pm 0,2) \text{ V}$ y $(7,0 \pm 0,2) \text{ V}$.

Los tiempos de degradación a $I_D = (7,0 \pm 0,1) \text{ A}$ son de $t = (60 \pm 1) \text{ min}$ [1h], $t = (180 \pm 1) \text{ min}$ [3h] y $t = (360 \pm 1) \text{ min}$ [6h]. Luego de cada periodo de degradación se miden nuevamente las curvas paramétricas y de transferencia para luego compararlas con las originales y observar si hubo alguna degradación. Los resultados obtenidos de estas mediciones se pueden observar en las **Figuras 54** y **58**, ambas se realizaron con $T_{bloq} = (35,0 \pm 0,2) ^\circ\text{C}$.

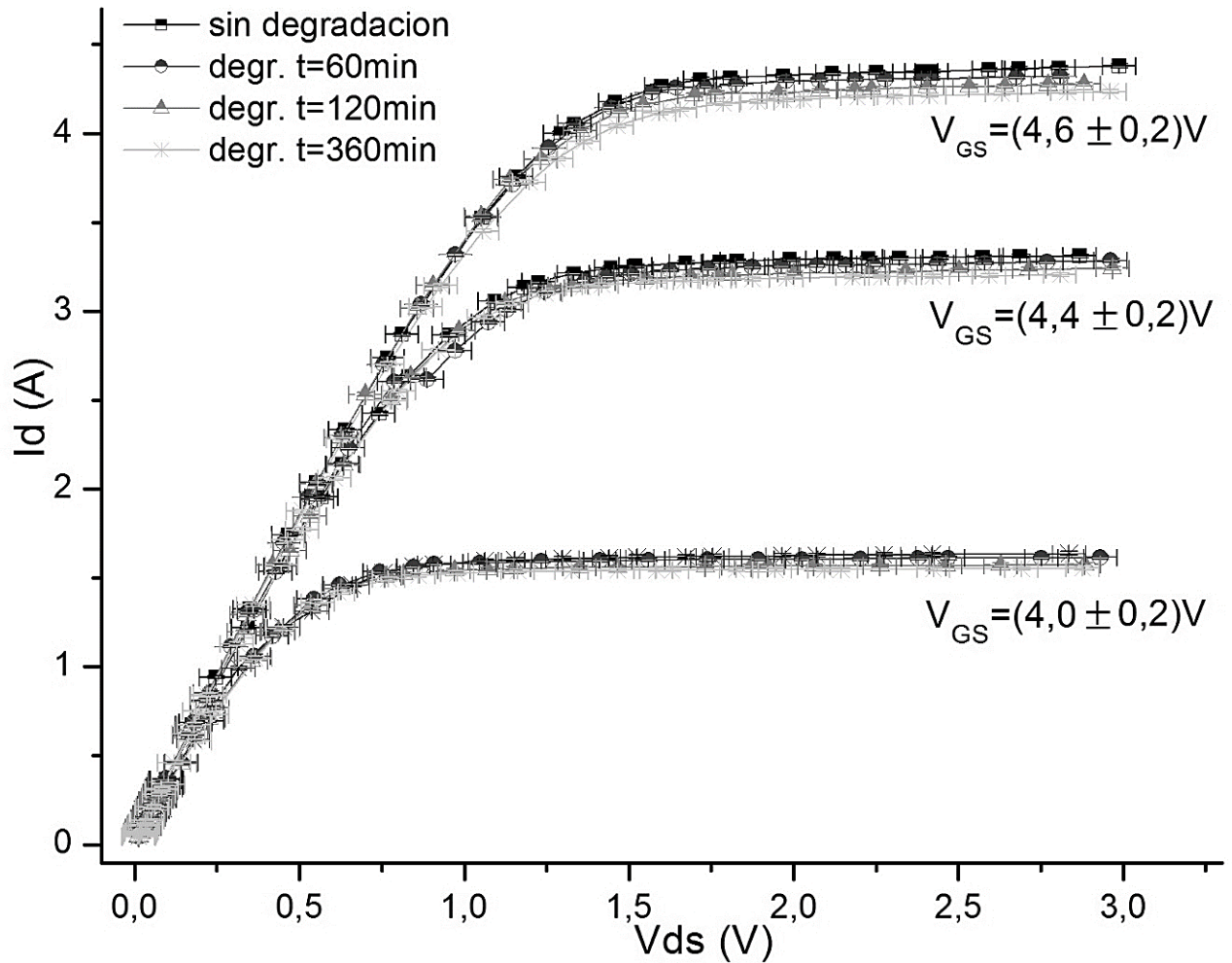


Figura 54: Curvas paramétricas del transistor IRFP350 SEC nro.1, para los valores $V_{GS} = (4,0 \pm 0,2)V$, $(4,4 \pm 0,2)V$ y $(4,6 \pm 0,2)V$ obtenidas para tiempos de degradación de 1 h, 3 h y 6 h a corriente constante $I_D = (7,0 \pm 0,1)A$. Cada una de estas curvas fueron medidas a una temperatura $T_{bloq} = (35,0 \pm 0,2)^\circ C$. Se observan variaciones los valores para $V_{GS} = (4,6 \pm 0,2)V$ y $(4,4 \pm 0,2)V$.

A los fines de observar con mayor claridad se presentan por separado las curvas paramétricas de $V_{GS} = (4,0 \pm 0,2)V$, $(4,4 \pm 0,2)V$ y $(4,6 \pm 0,2)V$ en las **Figuras 55, 56** y **57**, respectivamente.

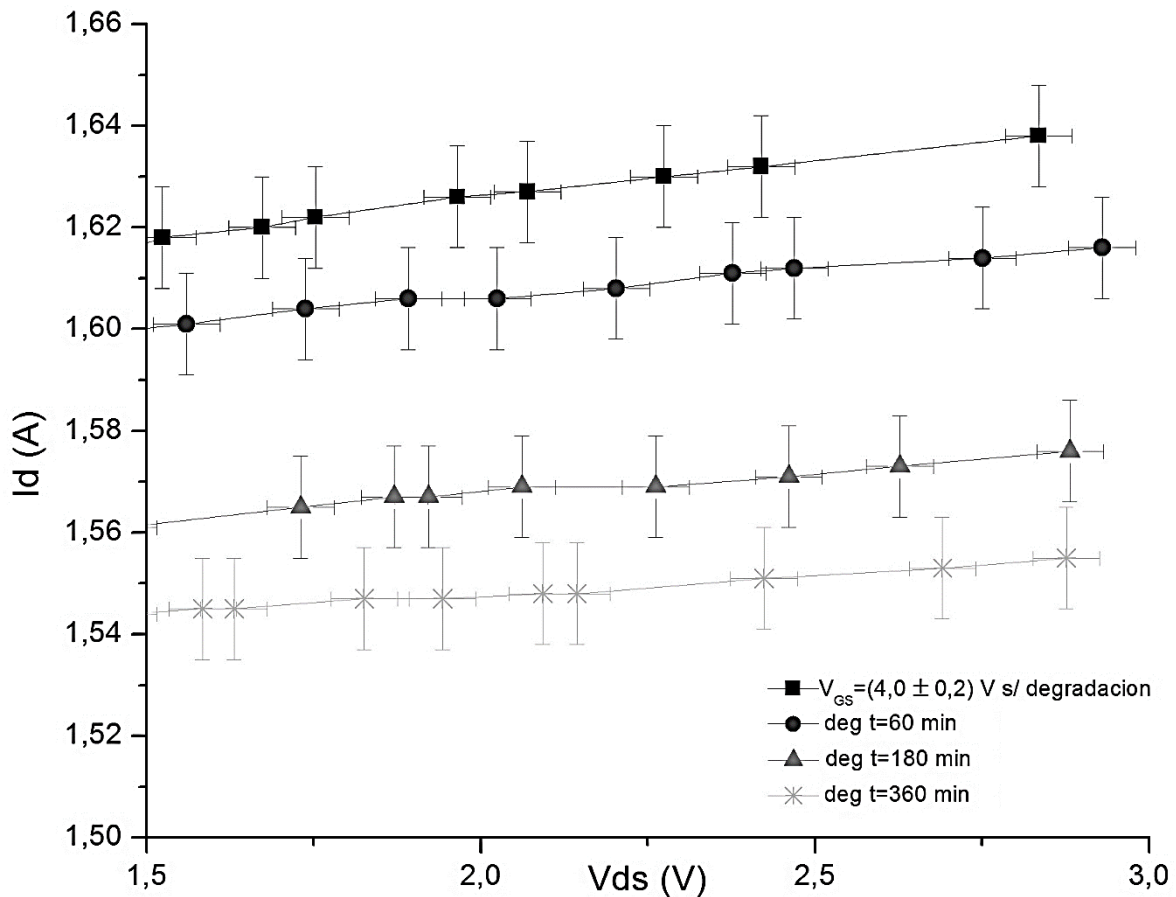


Figura 55: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2)$ V obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (7,0 \pm 0,1)$ A. Se muestran los resultados para V_{DS} entre [1,5; 3,0] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

En la **Figura 55**, se observa de la figura que las curvas medidas para los diferentes tiempos de degradación son distinguibles dentro de los errores experimentales. La variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,08 \pm 0,05)$ A. El valor porcentual de desviación respecto de la curva no degradada es del -3% . En cambio, para la **Figura 56** se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,11 \pm 0,05)$ A. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -3% .

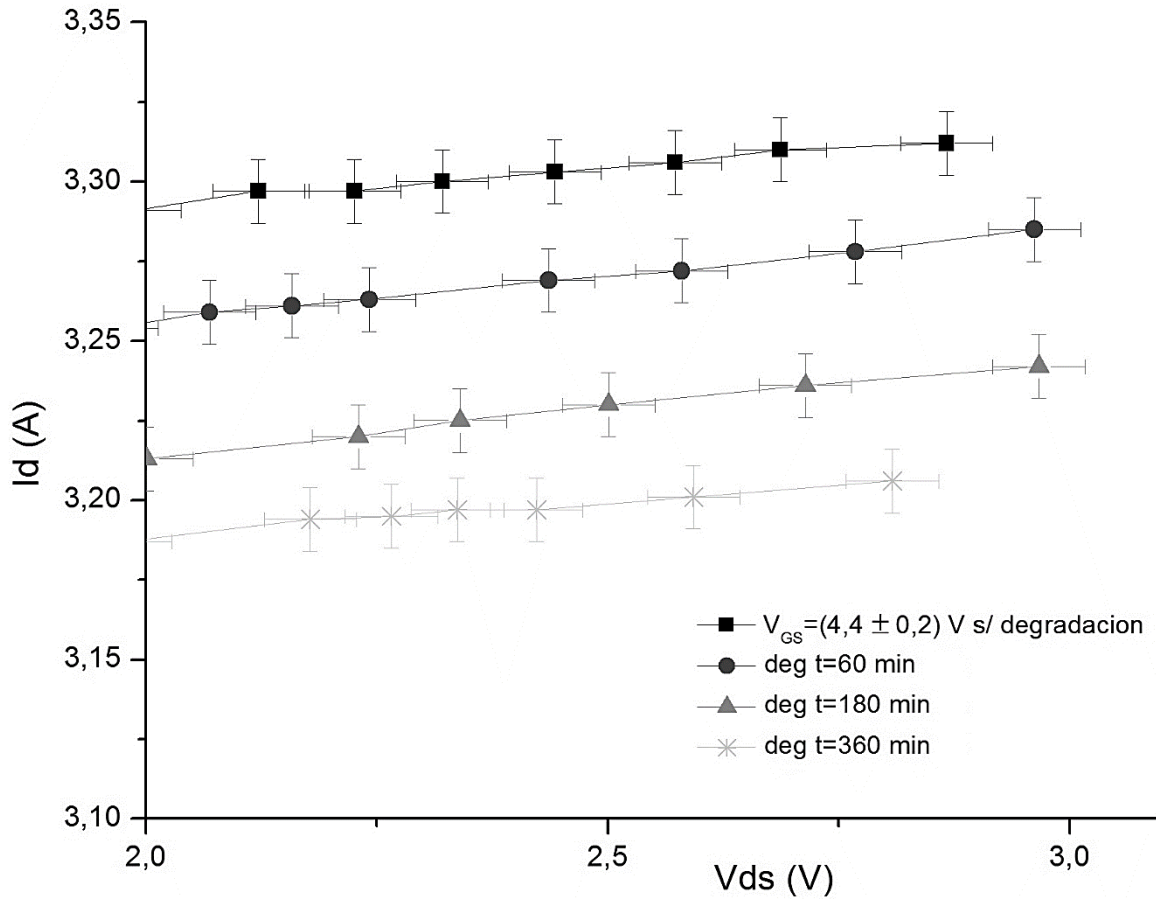


Figura 56: Gráfico de las curvas paramétricas para $V_{GS} = (4,4 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (7,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} entre [2,0; 3,1] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

Para la **Figura 57**, se puede observar que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,14 \pm 0,05)$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -4% .

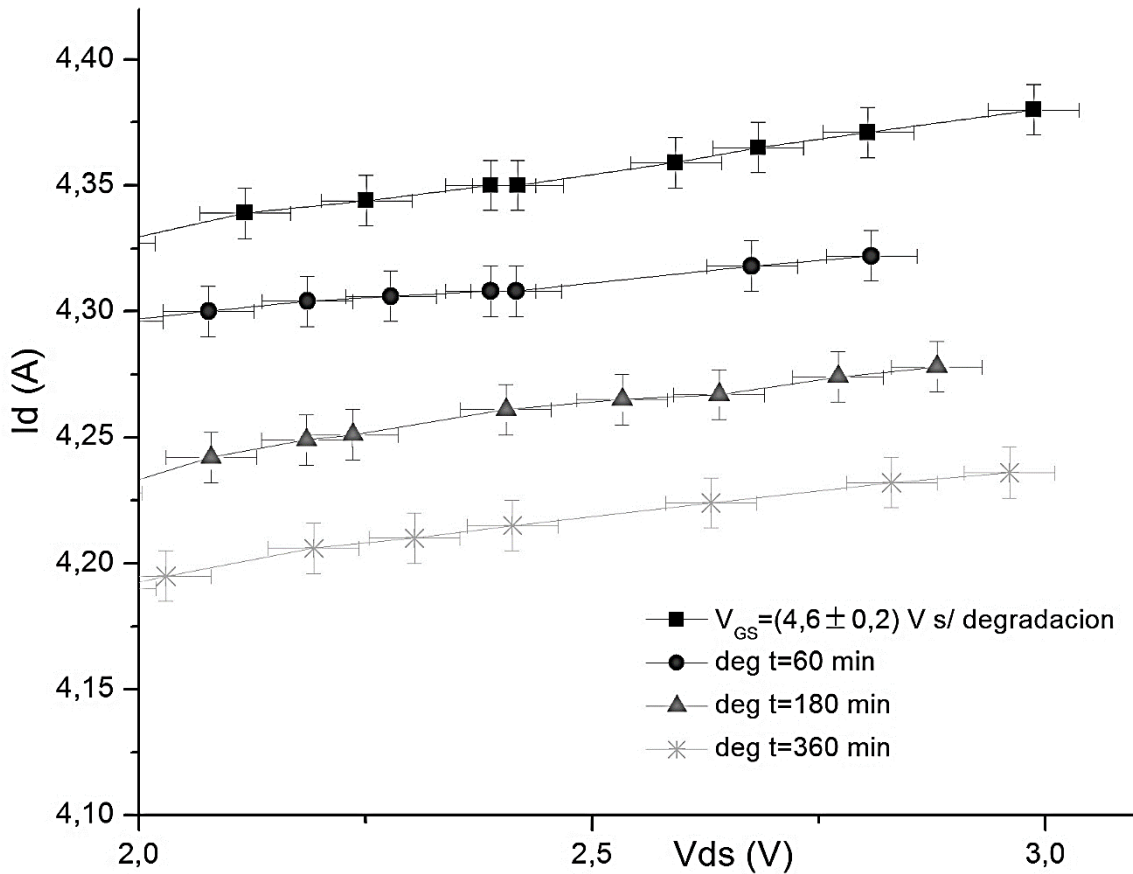


Figura 57: Gráfico de las curvas paramétricas para $V_{GS} = (4,6 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (7,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} entre [2,0; 3,1] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

Las variaciones porcentuales²⁷ entre una y otra curva nos indica que tanto para los valores de $V_{GS} = (4,0 \pm 0,2) V$ y $V_{GS} = (4,4 \pm 0,2) V$ el valor de la corriente $I_{D,sat}$ disminuyó en un -3% respecto a su valor original previo a la degradación. Para $V_{GS} = (4,6 \pm 0,2) V$ se tiene una disminución mayor puesto que el valor es del -4% .

²⁷ Se calcula a partir de la fórmula: $\left[\frac{(\text{valor presente}) - (\text{valor pasado})}{\text{valor pasado}} \right] \cdot 100(\%)$.

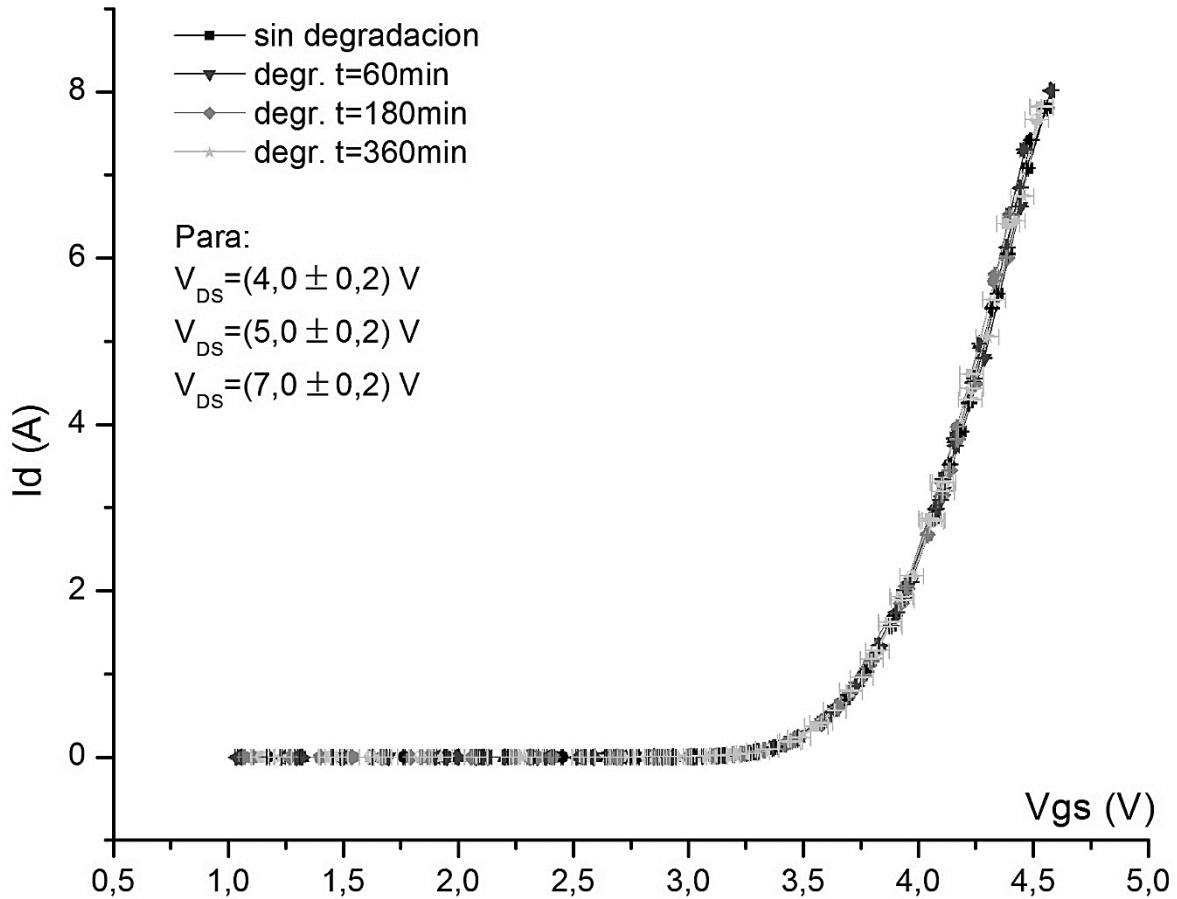


Figura 58: Curvas de transferencia para el transistor IRFP350 SEC nro. 1, para los valores $V_{DS} = (4,0 \pm 0,2) V$, $(5,0 \pm 0,2) V$ y $(7,0 \pm 0,2) V$ obtenidas para tiempos de degradación de 1 h, 3 h y 6 h a corriente constante $I_D = (7,0 \pm 0,1) A$. No se observan variaciones en las curvas antes y después de las degradaciones. Cada una de estas curvas fueron medidas a una temperatura $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

En la **Figura 59** graficamos únicamente los valores para las curvas paramétricas obtenidas con $V_{GS} = (4,6 \pm 0,2) V$. Se calcula el valor porcentual de los valores obtenidos para la $R_{DS(on)}$ de la curva original y la curva luego de la degradación por $t = (360 \pm 1) min$ a partir de los valores obtenidos luego del ajuste de los puntos en la zona óhmica de la curva. Lo hacemos únicamente para estos valores porque es en los que más se nota la variación en la resistencia $R_{DS(on)}$ luego de las degradaciones.

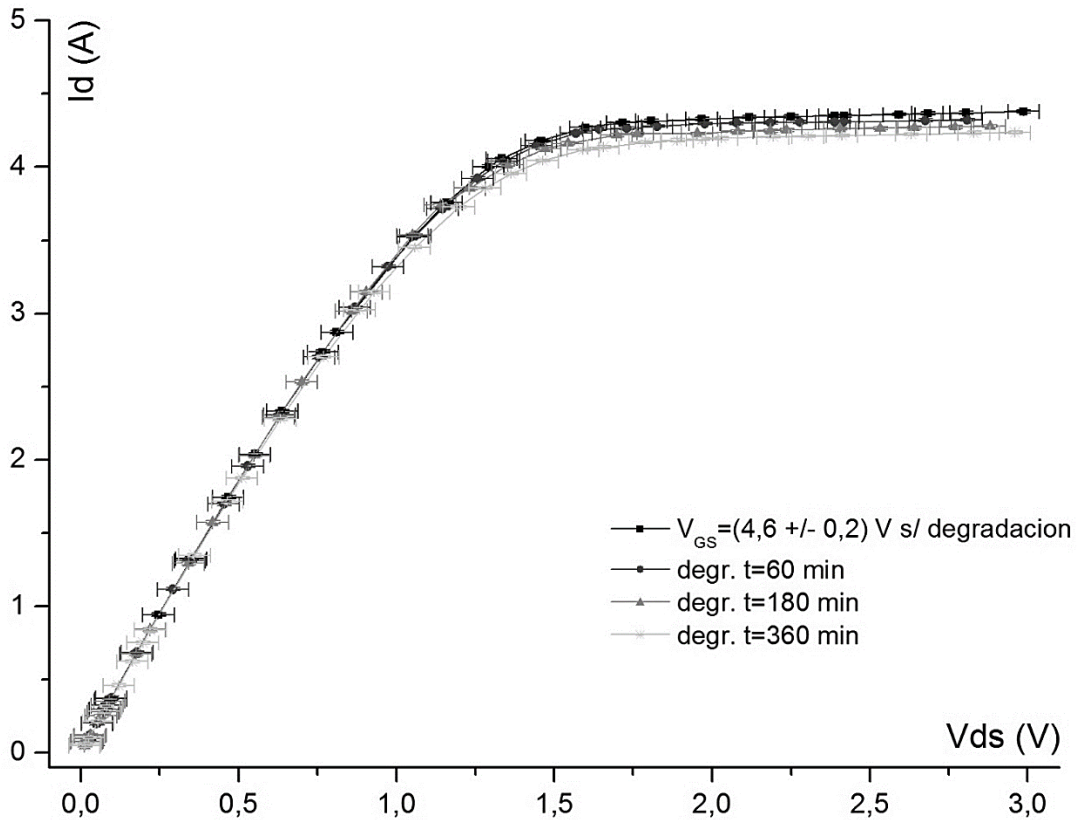


Figura 59: Gráfico de las curvas paramétricas para $V_{GS} = (4,6 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (7,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa de la figura como varía la $R_{DS(on)}$ luego de cada degradación. A partir de los valores obtenidos del ajuste lineal se calcula un aumento del 2% en la resistencia.

5.1.2 Degradación a corriente $I_D = 13 A$

Para esta experiencia se utiliza otro transistor nuevo. Se miden las curvas paramétricas y de transferencia del MOSFET SEC nro.2 utilizando los valores: $V_{GS} = (4,0 \pm 0,2) V$, $(4,4 \pm 0,2) V$ y $(4,6 \pm 0,2) V$ para las paramétricas y $V_{DS} = (4,0 \pm 0,2) V$, $(5,0 \pm 0,2) V$ y $(7,0 \pm 0,2) V$ para las de transferencia.

Los tiempos de degradación a $I_D = (13,0 \pm 0,1) A$ son de $t = (60 \pm 1)min$ [1h], $t = (180 \pm 1) min$ [3h] y $t = (360 \pm 1)min$ [6h]. Finalizado el periodo de estrés sobre el transistor, se miden las curvas paramétricas y de transferencia con el objetivo de

compararlas con las originales y ver si se produjo alguna degradación. Los resultados obtenidos de estas mediciones se pueden observar en las **Figuras 60 y 64**.

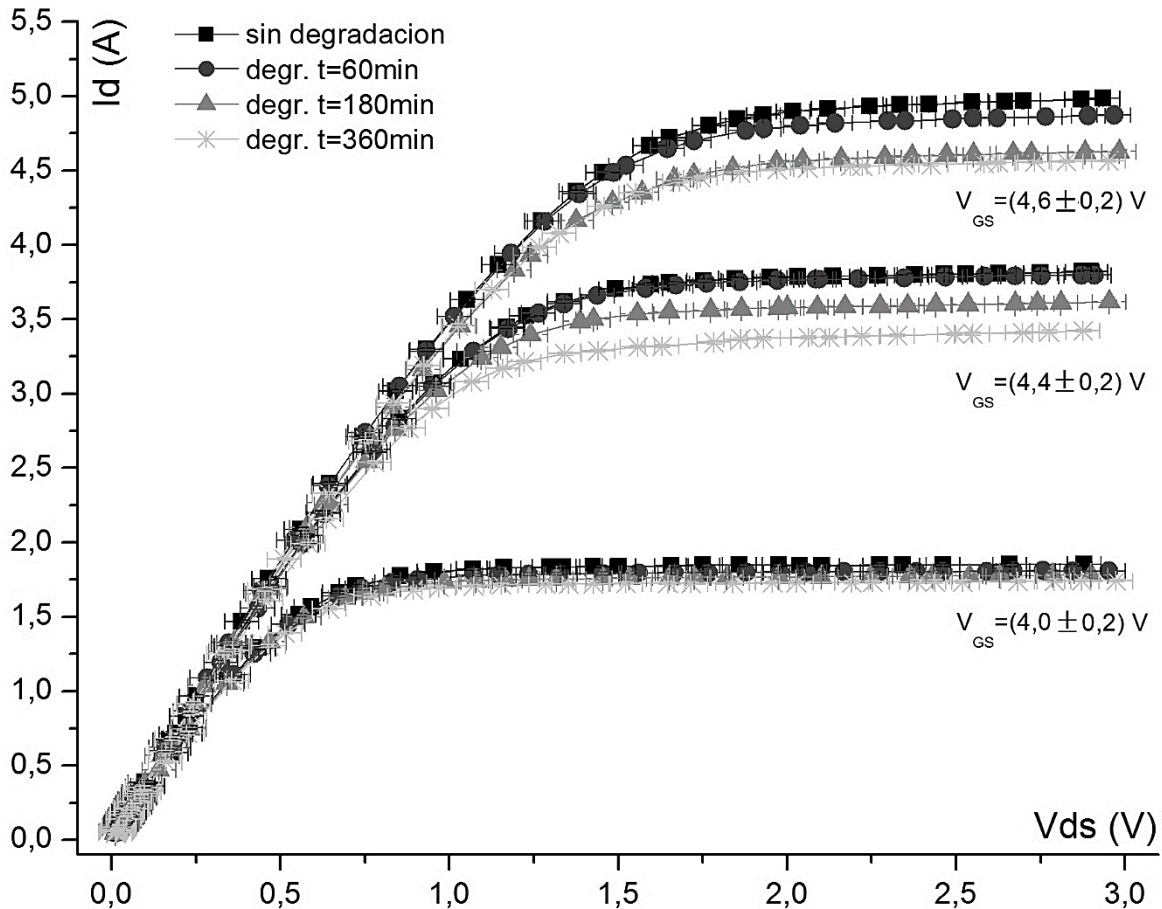


Figura 60: Curvas paramétricas del transistor IRFP350 SEC nro.2, para los valores $V_{GS} = (4,0 \pm 0,2) V$, $(4,4 \pm 0,2) V$ y $(4,6 \pm 0,2) V$ obtenidas para tiempos de degradación de 1 h, 3 h y 6 h a corriente constante $I_D = (13,0 \pm 0,1) A$. Cada una de estas curvas fueron medidas a una temperatura $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

A los fines de observar con mayor claridad se presentan por separado las curvas paramétricas de: $V_{GS} = (4,0 \pm 0,2) V$, $(4,4 \pm 0,2) V$ y $(4,6 \pm 0,2) V$ en las **Figuras 61, 62 y 63**, respectivamente, seleccionadas en un intervalo particular de V_{DS} entre $[1,5; 3,2] V$ que pertenece a la región de saturación del transistor. En las **Figuras 65, 66 y 67** se selecciona un intervalo más extenso de V_{DS} , entre $[0,5; 3,2] V$ para poder apreciar la variación en la resistencia $R_{DS(on)}$ luego de cada degradación.

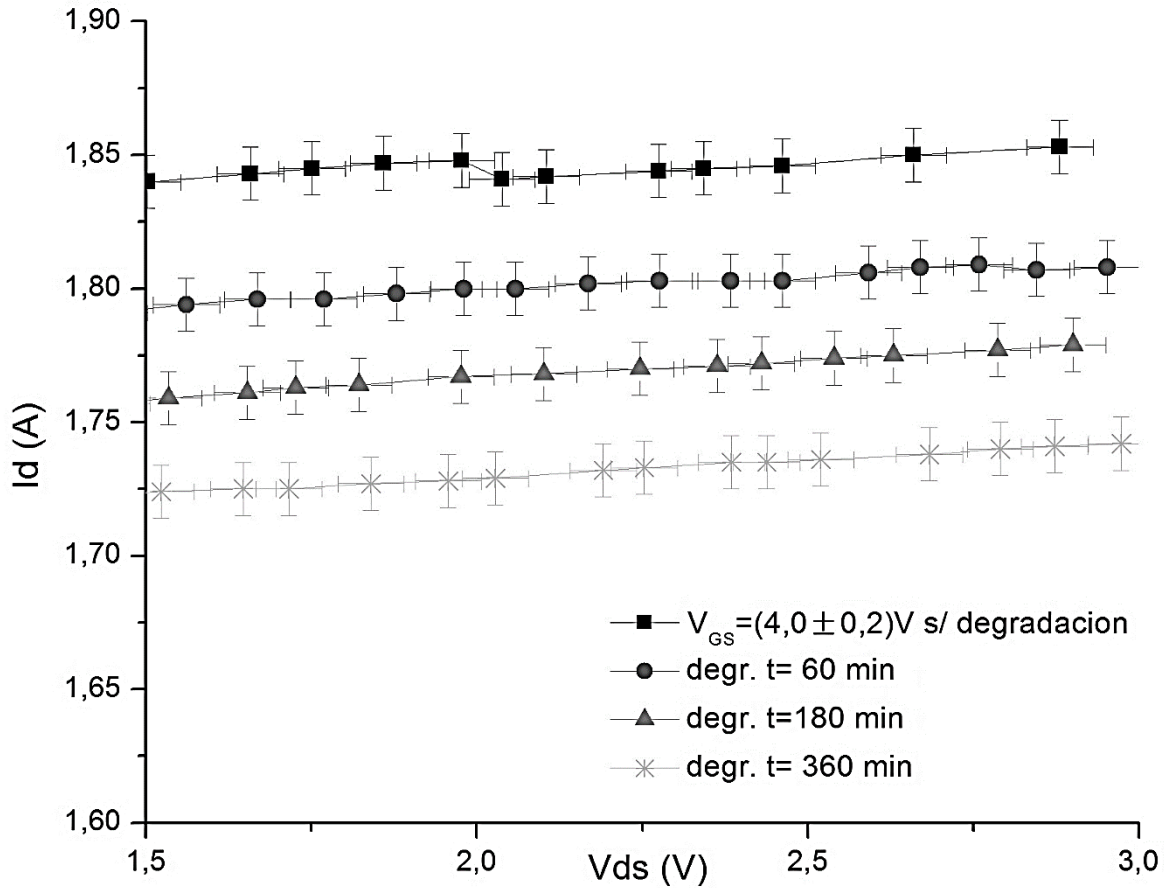


Figura 61: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2)V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1)A$. Se muestran los resultados para V_{DS} entre [1,5; 3,0] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

En la **Figura 61**, se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,12 \pm 0,05)A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -6% . También, para la **Figura 62** se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,40 \pm 0,05)A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -11% .

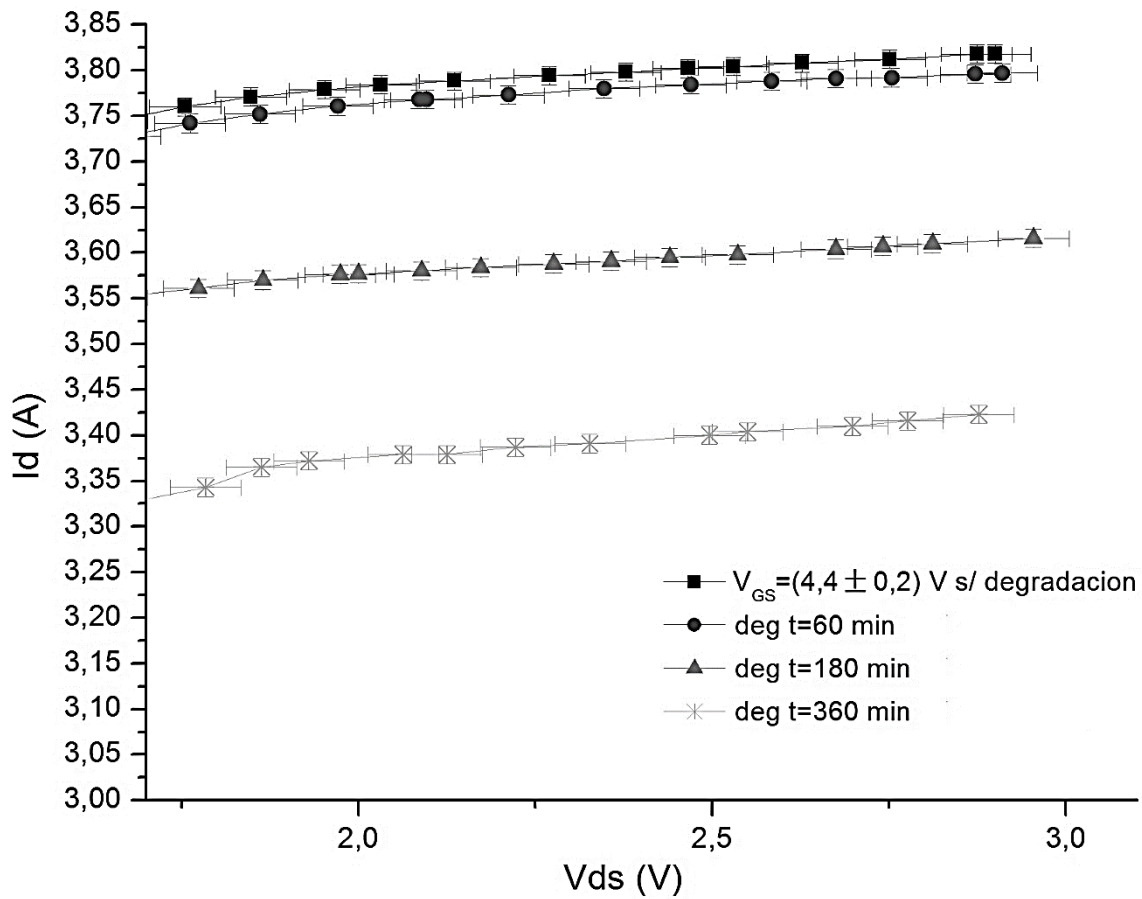


Figura 62: Gráfico de las curvas paramétricas para $V_{GS} = (4,4 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} entre [1,5; 3,2] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

En la **Figura 63**, se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,44 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -9% .

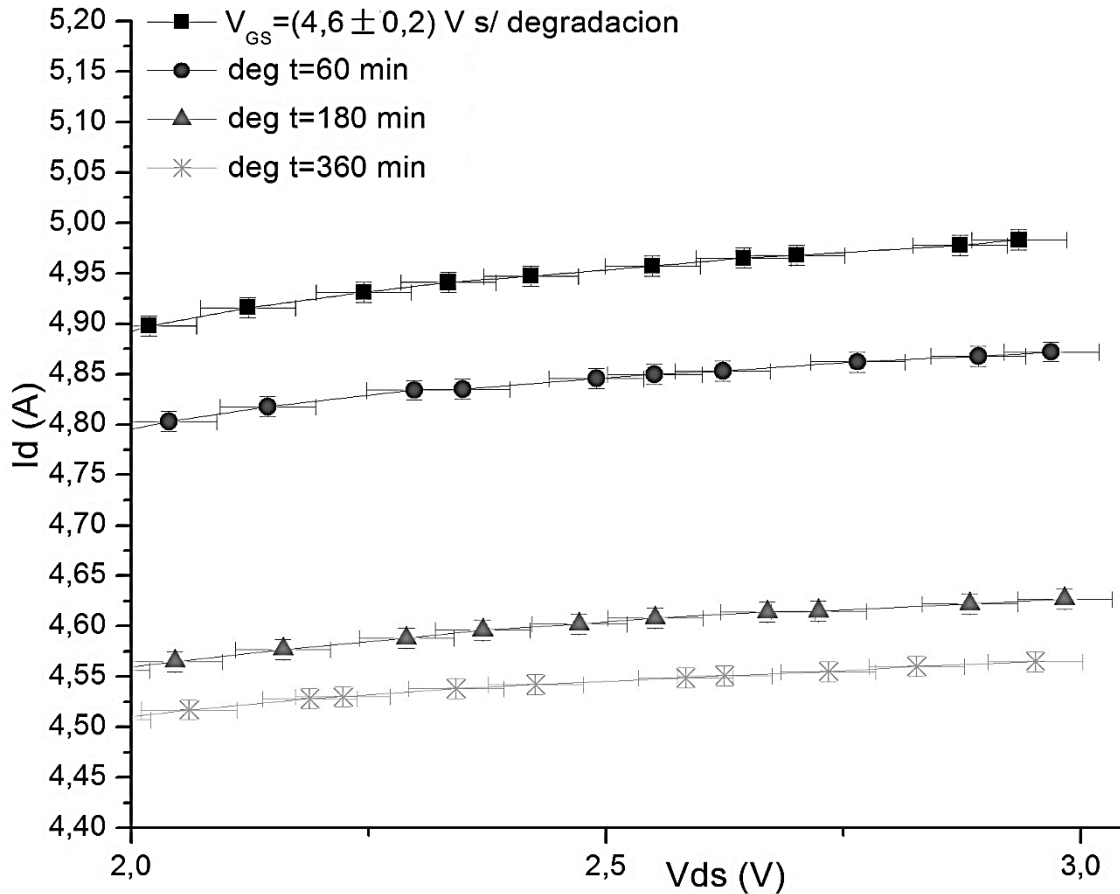


Figura 63: Gráfico de las curvas paramétricas para $V_{GS} = (4,6 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} entre [1,5; 3,2] V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

Las variaciones porcentuales entre la curva original y la curva luego de realizar todas las degradaciones, nos indican que para los valores de: $V_{GS} = (4,0 \pm 0,2) V$ y $V_{GS} = (4,6 \pm 0,2) V$ el valor de la corriente $I_{D,sat}$ disminuyó en un -6% y un -9% respectivamente respecto a su valor original previo a la degradación. Para $V_{GS} = (4,4 \pm 0,2) V$ se tiene una disminución mayor puesto que el valor es del -11% .

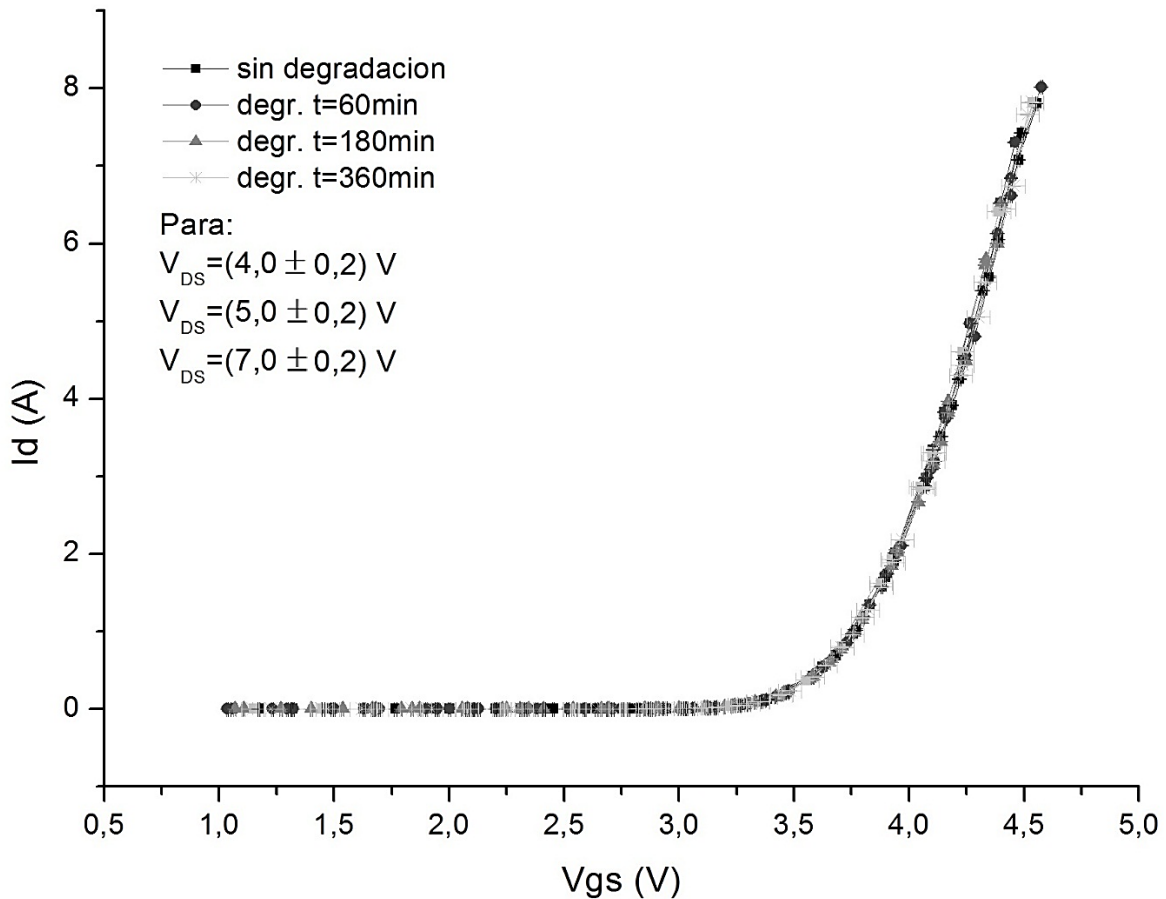


Figura 64: Curvas de transferencia para el transistor IRFP350 SEC nro. 2, para los valores $V_{DS} = (4,0 \pm 0,2) V$, $(5,0 \pm 0,2) V$ y $(7,0 \pm 0,2) V$ obtenidas para tiempos de degradación de 1 h, 3 h y 6 h a corriente constante $I_D = (13,0 \pm 0,1) A$. No se observan variaciones en las curvas antes y después de las degradaciones.

En las **Figuras 65, 66 y 67**, graficamos los valores para las curvas paramétricas de los tres valores de V_{GS} utilizados. Se calcula el valor porcentual a partir de los valores obtenidos para la $R_{DS(on)}$ de la curva original y la curva luego de la degradación por $t = (360 \pm 1) min$ a partir de los valores obtenidos luego del ajuste de los puntos en la zona óhmica de la curva. Lo hacemos únicamente para estos valores porque es en los que más se nota la variación en la resistencia $R_{DS(on)}$ luego de las degradaciones.

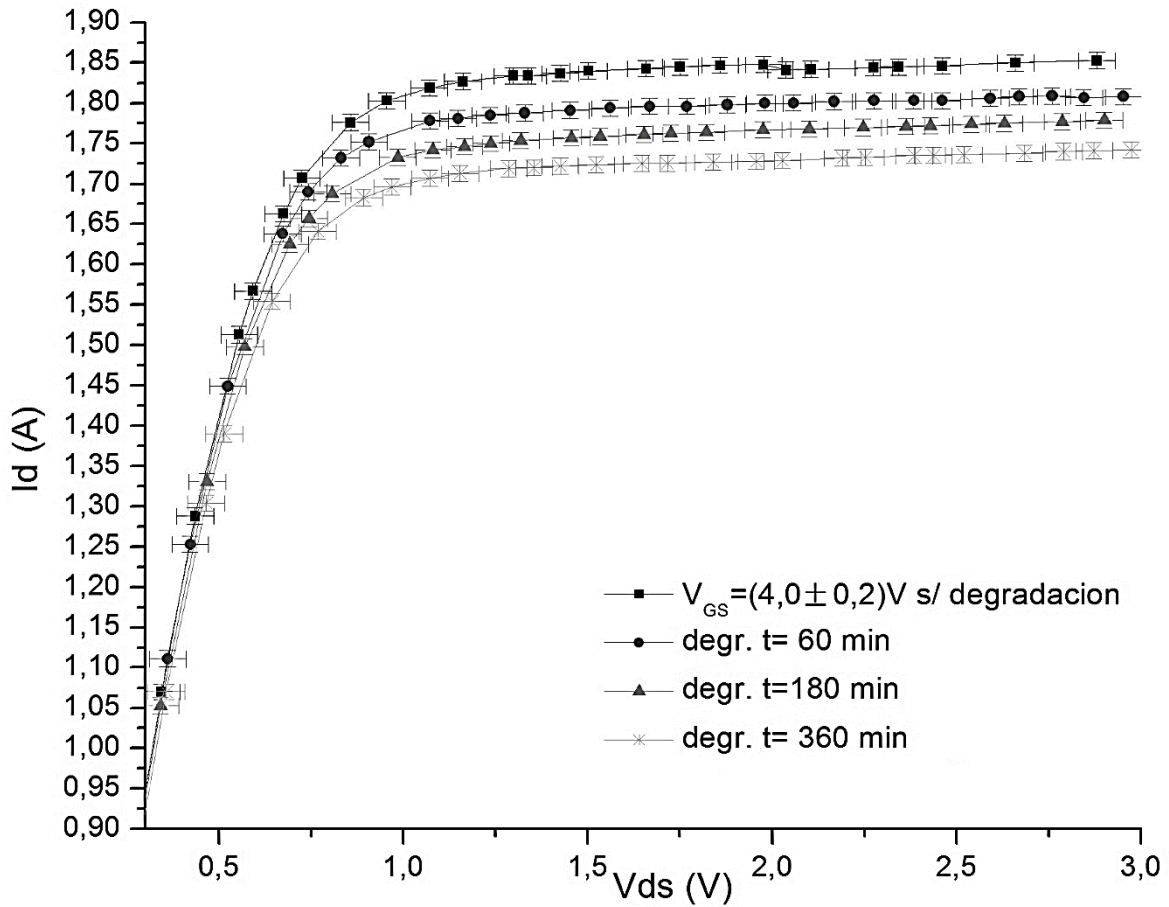


Figura 65: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1) A$.

En la **Figura 65**, se muestran los resultados para V_{DS} entre $[0,3; 3,0] V$ dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa de la figura como varía la $R_{DS(on)}$ luego de cada degradación. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia es del 7%.

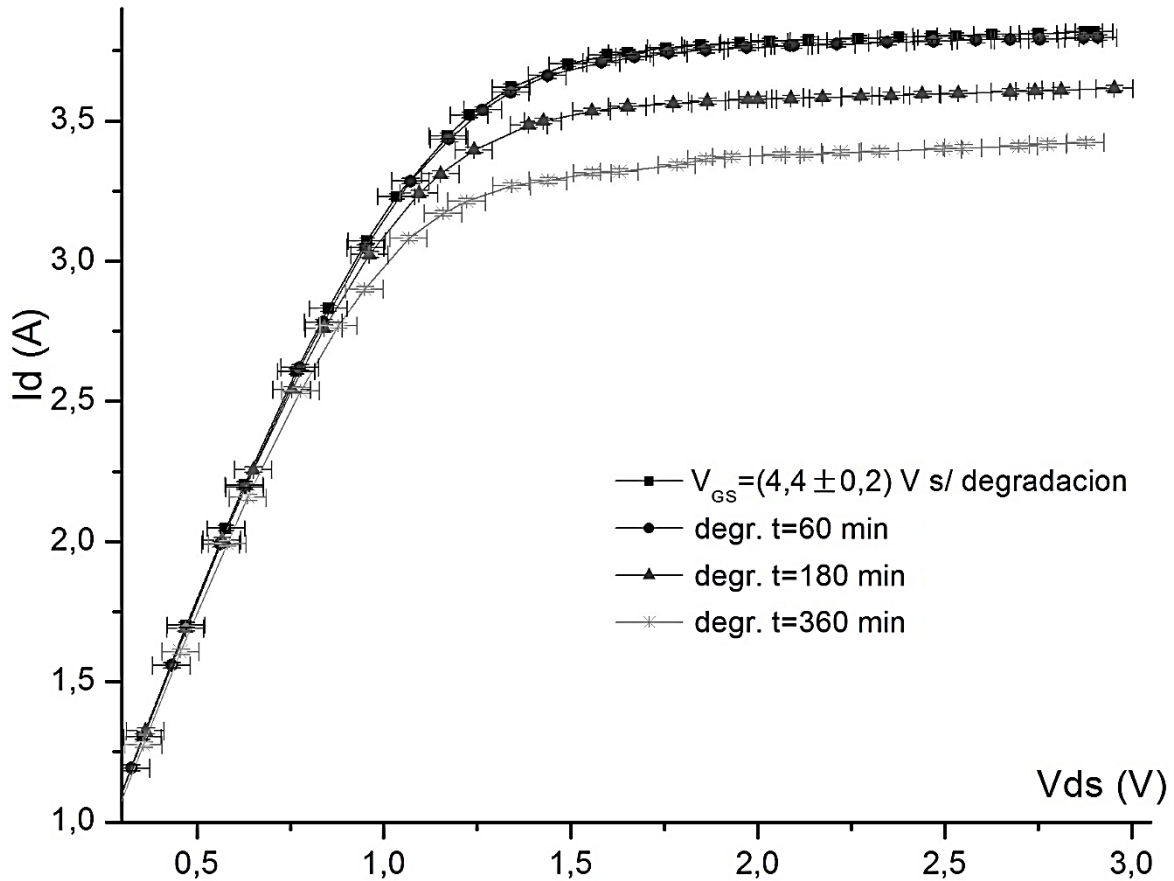


Figura 66: Gráfico de las curvas paramétricas para $V_{GS} = (4,4 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1) A$.

En la **Figura 66**, se muestran los resultados para V_{DS} entre $[0,3; 3,1] V$ dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa de la figura como varía la $R_{DS(on)}$ luego de cada degradación. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia es del 9%. Mientras que en la **Figura 67**, se observa como varía la $R_{DS(on)}$ luego de cada degradación. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia es del 20%.

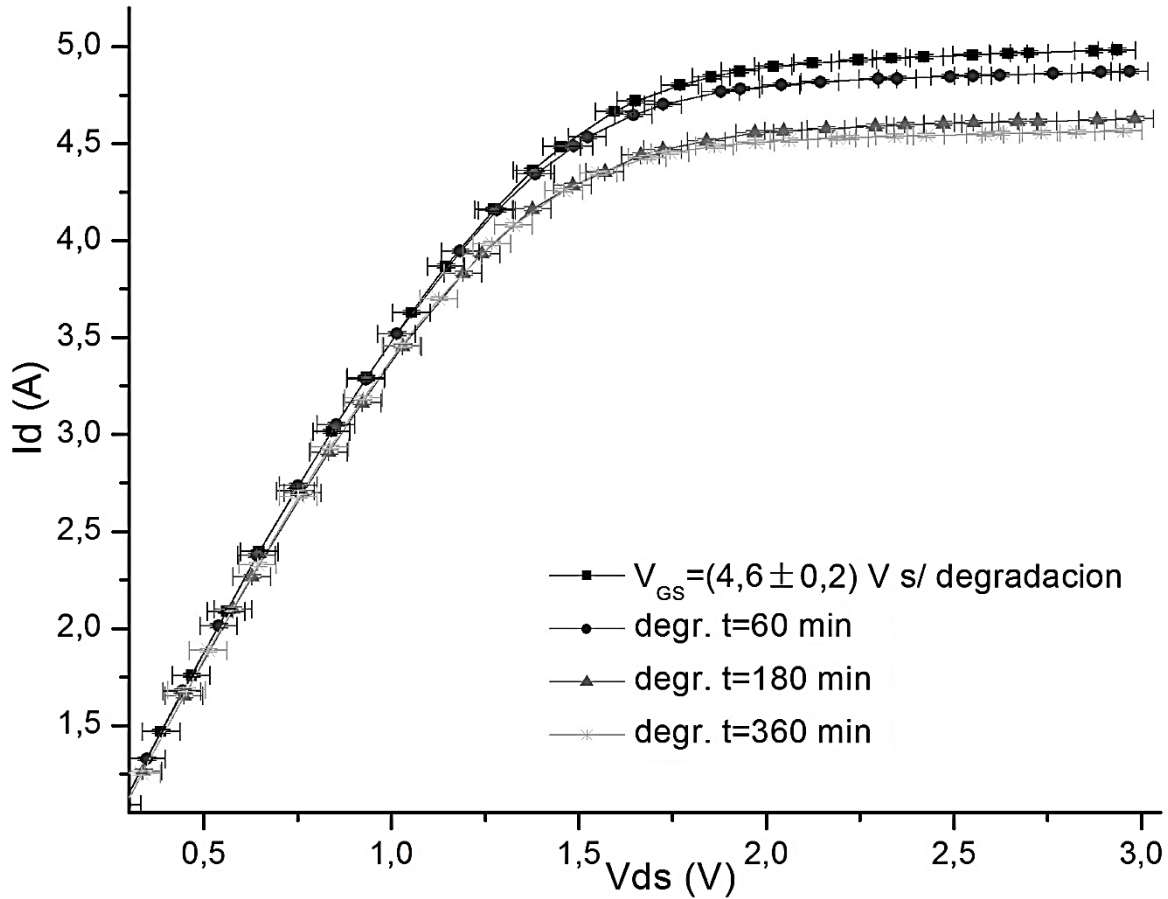


Figura 67: Gráfico de las curvas paramétricas para $V_{GS} = (4,6 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 3h y 6h a corriente constante $I_D = (13,0 \pm 0,1) A$. Se muestran los resultados para V_{DS} entre $[0,3; 3,3] V$ dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

5.2 Degradación por picos de tensión V_{DS} en régimen pulsado

Se trazaron las curvas paramétricas y las de transferencia del MOSFET nro.3 utilizando los valores:

- $V_{GS} = (4,0 \pm 0,2) V / (4,3 \pm 0,2) V / (4,5 \pm 0,2) V / (4,7 \pm 0,2) V / (5,0 \pm 0,2) V$ para las curvas paramétricas;
- $V_{DS} = (3,0 \pm 0,2) V / (3,5 \pm 0,2) V / (4,0 \pm 0,2) V / (5,0 \pm 0,2) V / (7,0 \pm 0,2) V / (10,0 \pm 0,2) V$ para las curvas de transferencia

Se realizaron 3 degradaciones con pulsos para distintos tiempos: $t = (60 \pm 1) \text{ min}$ [1h], $t = (120 \pm 1) \text{ min}$ [2h] y $t = (240 \pm 1) \text{ min}$ [4h], con separación entre los pulsos de 10 ms y ancho de pulso de 1 ms. En la **Figura 68** se pueden observar dos imágenes en distintas escalas de los picos generados por la bobina al conmutar la corriente. De acuerdo a las mediciones realizadas los picos de tensión entre drenador y surtidor llegaban a $(230 \pm 20) \text{ V}$ durante $50 \mu\text{s}$.

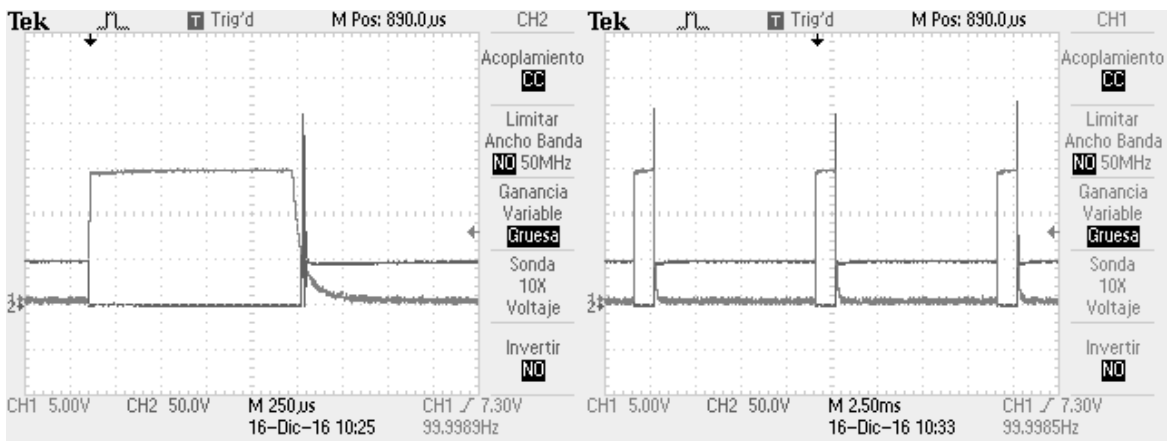


Figura 68: Imágenes del osciloscopio de los voltajes V_{DS} (CH2 – color Azul) y V_{GS} (CH1 – color Naranja)

Pasado el tiempo de degradación del dispositivo, se rearmaba el circuito de la **Figura 47**, conectando nuevamente únicamente las fuentes de alimentación y los multímetros, y se medían las curvas paramétricas y de transferencia con el objetivo de compararlas con las originales para ver si se había ocasionado alguna degradación en el dispositivo.

Los gráficos obtenidos a partir de estas mediciones se pueden observar en la **Figura 69** y **70**.

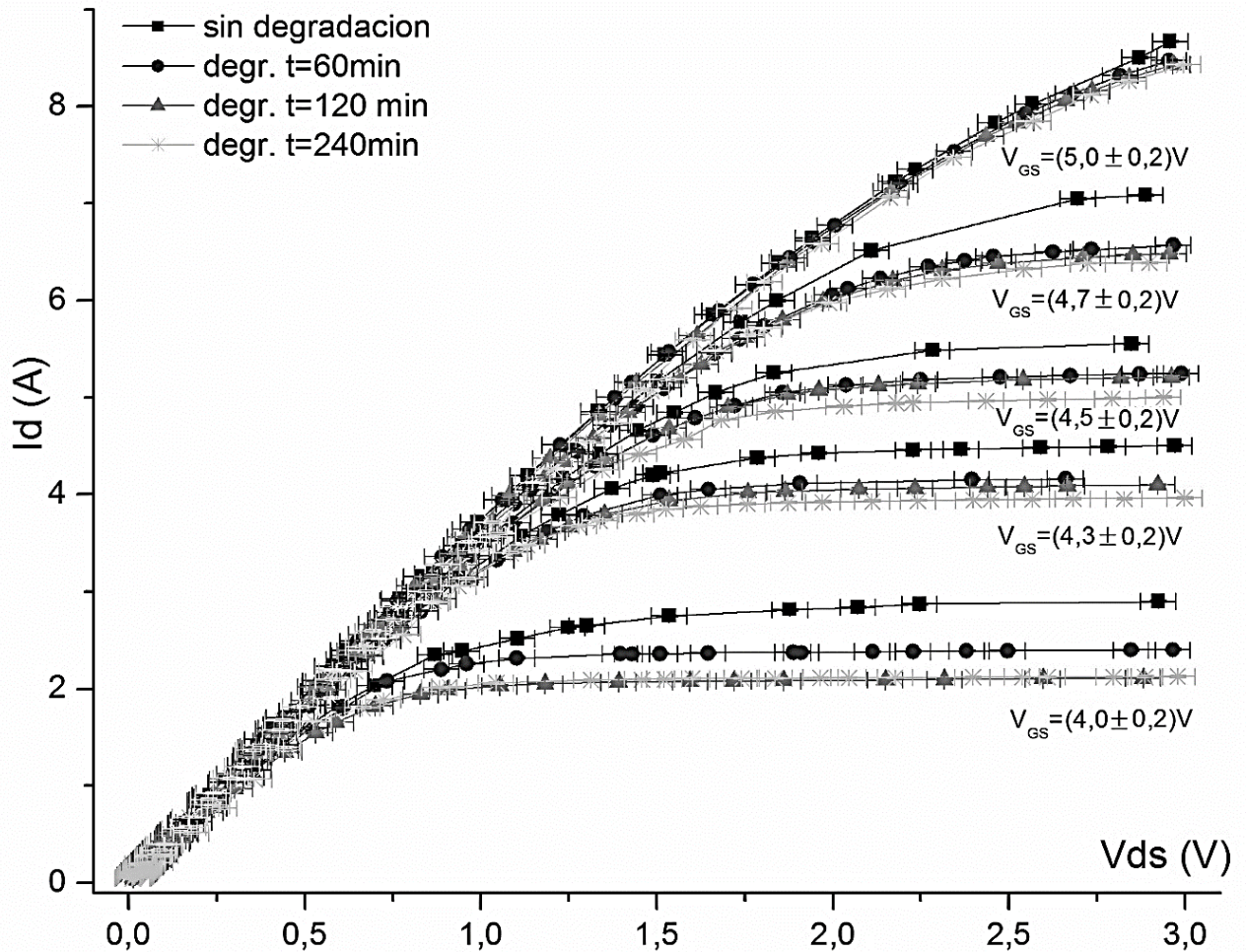


Figura 69: Comparación entre las curvas paramétricas del transistor MOSFET nro.3, para los voltajes $V_{GS} = (4,0 \pm 0,2)V, (4,3 \pm 0,2)V, (4,5 \pm 0,2)V, (4,7 \pm 0,2)V$ y $(5,0 \pm 0,2)V$ para distintos tiempos: 1h, 2h y 4h con el MOSFET nro.3 sometido a transitorios de $(230 \pm 20)V$ con una duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2)^{\circ}C$.

En la **Figura 69**, se puede observar como para la mayor parte de las curvas la degradación más relevante ocurre en los primeros 60 min y luego los valores de corriente $I_{D,sat}$ tienden a un valor constante. Mientras que para la **Figura 70**, no se observan cambios en la curva de transferencia antes y después de las degradaciones.

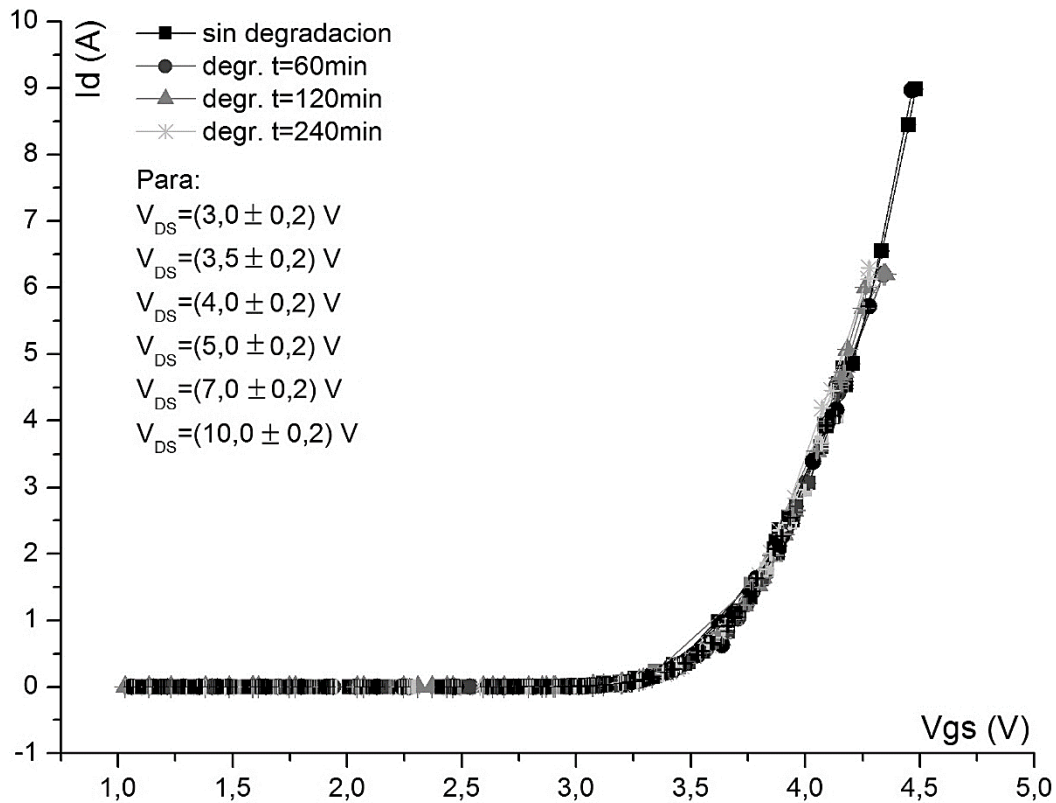


Figura 70: Comparación entre las curvas de transferencia del transistor MOSFET nro.3, para los voltajes $V_{DS} = (3,0 \pm 0,2) V / (3,5 \pm 0,2) V / (4,0 \pm 0,2) V / (5,0 \pm 0,2) V / (7,0 \pm 0,2) V / (10,0 \pm 0,2) V$ para distintos tiempos: 1h, 2h y 4h con el MOSFET nro. 3 sometido a transitorios de $(230 \pm 20) V$ con una duración de $50 \mu s$ cada 10 ms. La temperatura para la cual se realizaban las mediciones era $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

A los fines de observar con mayor claridad se presentan por separado las curvas paramétricas de $V_{GS} = (4,0 \pm 0,2) V, (4,3 \pm 0,2) V, (4,5 \pm 0,2) V, (4,7 \pm 0,2) V$ y $(5,0 \pm 0,2) V$ en las **Figuras 71,72, 73,74 y 75** respectivamente, seleccionadas en un intervalo particular de V_{DS} entre $[1,5; 3,2] V$ que pertenece a la región de saturación del transistor y ampliadas verticalmente para poder observar las diferencias entre una y otra medición.

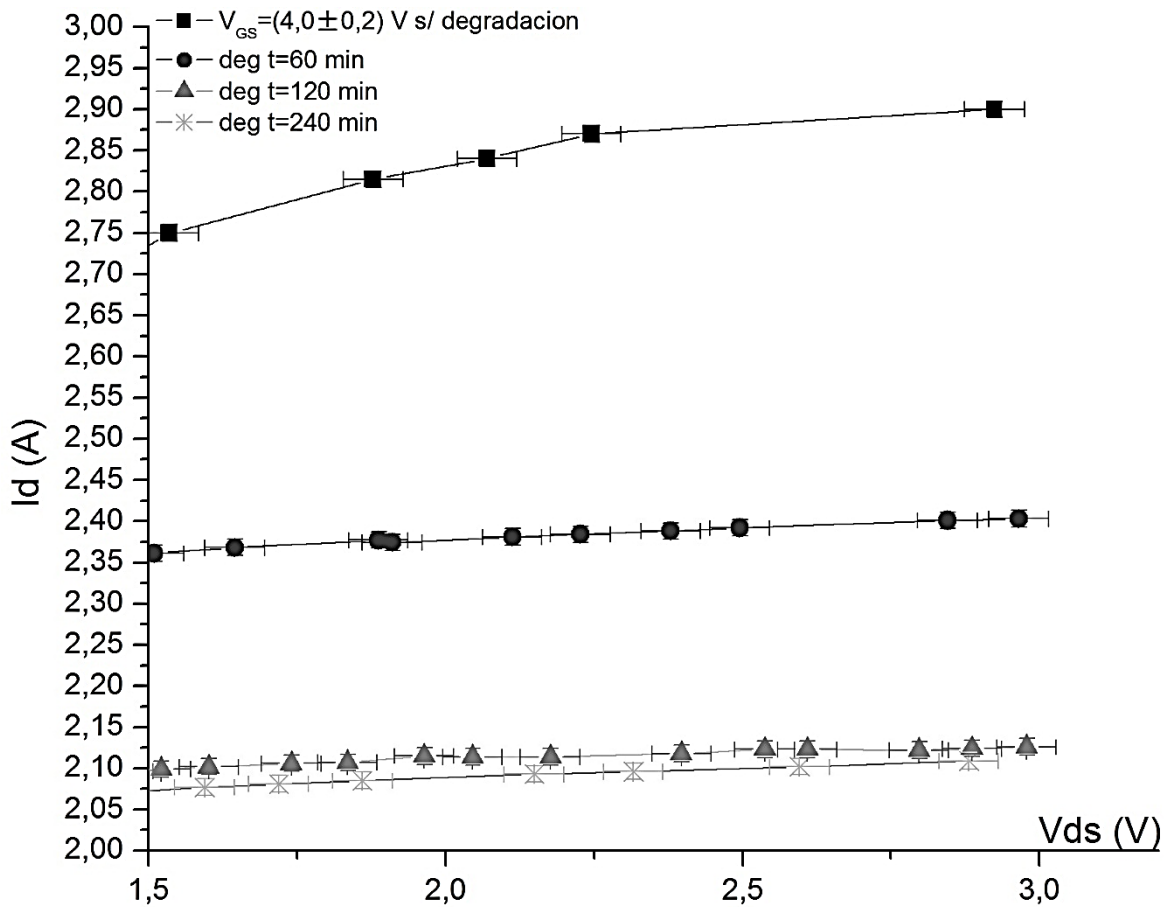


Figura 71: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h, donde el MOSFET nro.3 estaba sometido a transitorios de $(230 \pm 20) V$ con una duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

En la **Figura 71**, se muestran los resultados para V_{DS} entre $[1,5; 3,2] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Aquí se nota con claridad que la degradación más relevante ocurre en los primeros 60 min. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,76 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -27% .

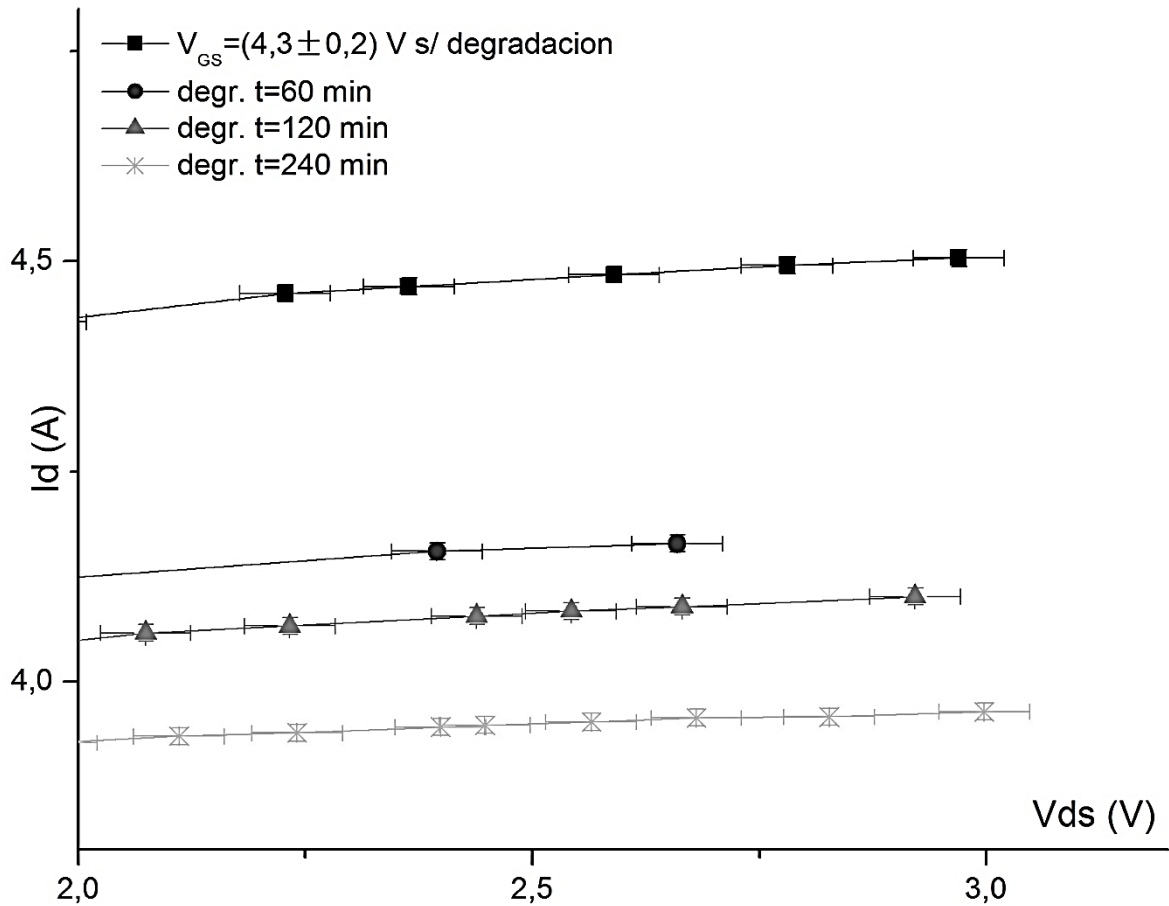


Figura 72: Gráfico de las curvas paramétricas para $V_{GS} = (4,3 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h del MOSFET nro.3 sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

En la **Figura 72**, se muestran los resultados para V_{DS} entre $[1,5; 3,2] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Este es otro gráfico para el cual se nota con claridad que la degradación más relevante ocurre en los primeros 60 min. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,60 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -13% .

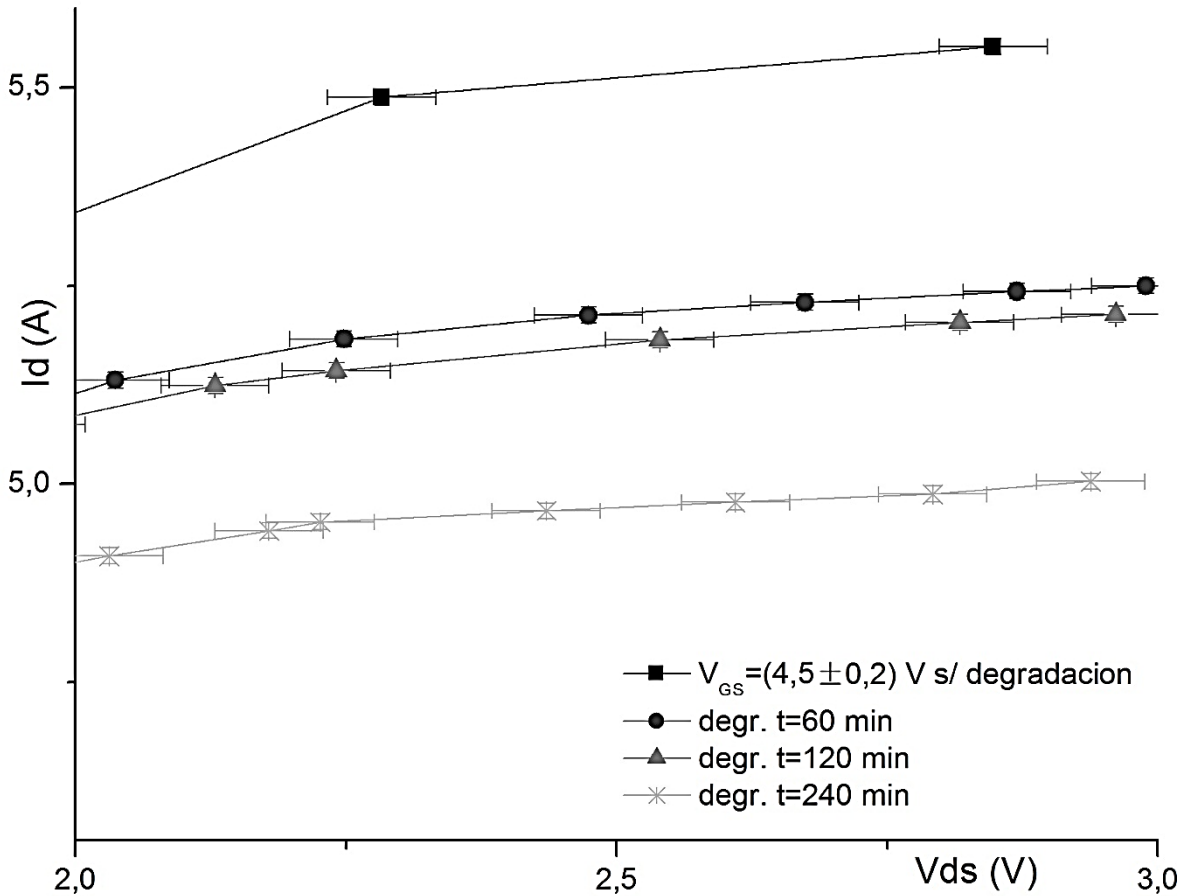


Figura 73: Gráfico de las curvas paramétricas para $V_{GS} = (4,5 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4hs donde el MOSFET nro. 3 estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2) ^\circ C$.

En la **Figura 73**, se muestran los resultados para V_{DS} entre $[1,5; 3,0] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Aquí se nota con claridad que la degradación más relevante ocurre en los primeros 60 min y luego en los últimos 180 min. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,54 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -10% .

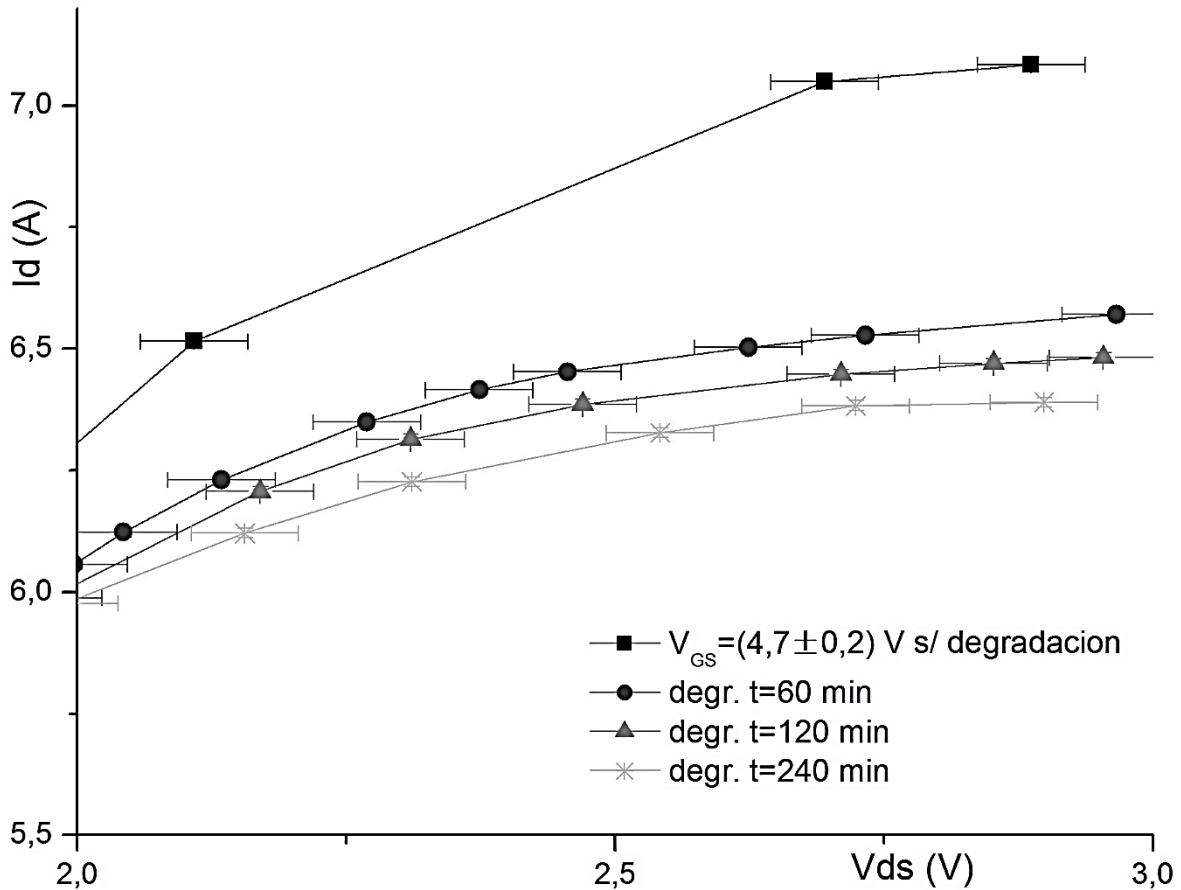


Figura 74: Gráfico de las curvas paramétricas para $V_{GS} = (4,7 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h con el transistor sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2)^\circ C$.

En la **Figura 74**, se muestran los resultados para V_{DS} entre $[1,5; 3,0] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Aquí nuevamente se nota con claridad que la degradación más relevante ocurre en los primeros 60 min y luego los valores para la corriente $I_{D,sat}$ no sufren variaciones significativas, pero son distinguibles dentro del error experimental. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,65 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -9% .

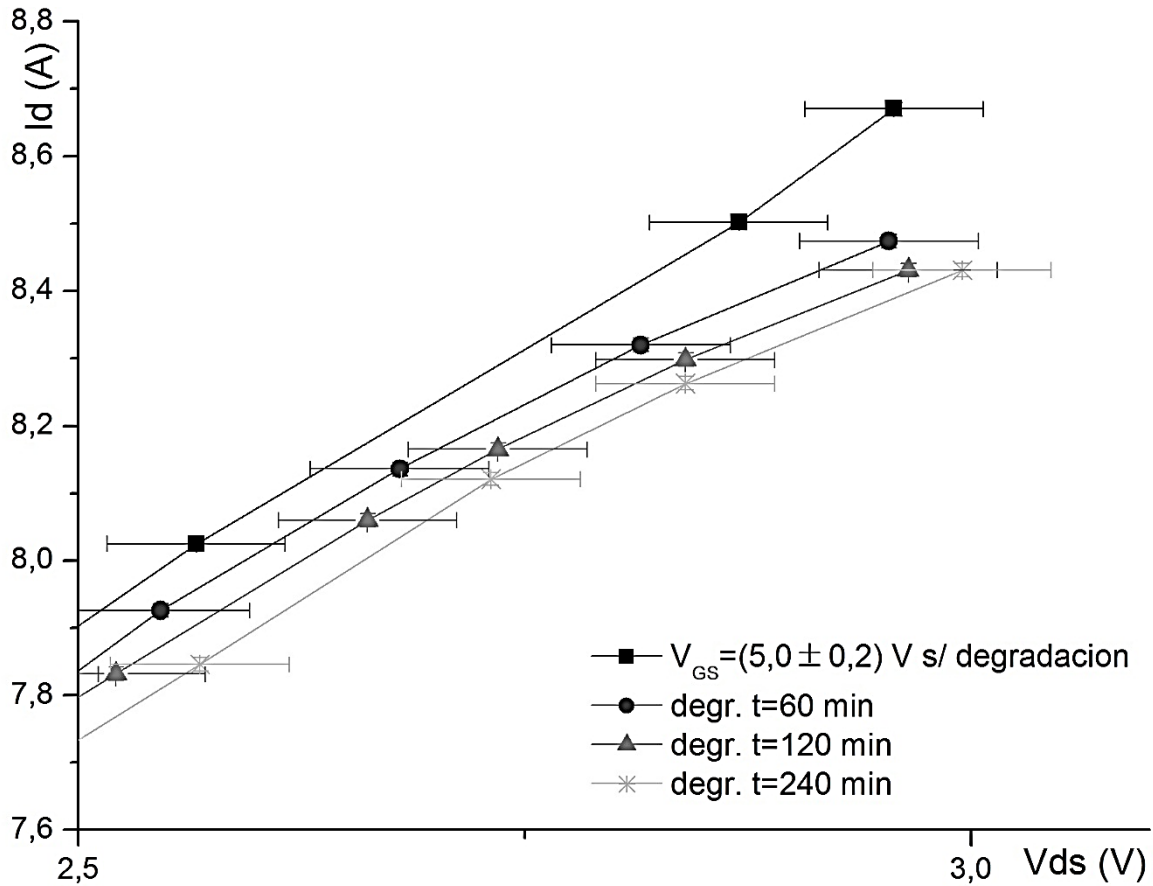


Figura 75: Gráfico de las curvas paramétricas para $V_{GS} = (5,0 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h donde el transistor estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2) ^\circ C$. Se muestran los resultados para V_{DS} entre $[2,5; 3,1] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Aquí no se nota una variación considerable entre las distintas rectas, las diferencias entre unas y otras caen dentro del error experimental. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,20 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -2% .

Las variaciones porcentuales entre la curva original y la curva luego de realizar todas las degradaciones nos indican que entre los valores de $V_{GS} = (4,0 \pm 0,2) V$ y $V_{GS} = (5,0 \pm 0,2) V$ el valor de la diferencia entre las corrientes $I_{D,sat}$ va aumentando desde un -27% hasta -2% . Para $V_{GS} = (4,0 \pm 0,2) V$, se tiene la disminución mayor puesto que el valor es del -27% mientras que para la curva más alta $V_{GS} = (5,0 \pm 0,2) V$ tendré una disminución del -2% .

En las **Figuras 76, 77, 78 y 79**, graficamos los valores para las curvas paramétricas de los cuatro primeros valores de V_{GS} utilizados: $V_{GS} = (4,0 \pm 0,2) V$, $(4,3 \pm 0,2)V$, $(4,5 \pm 0,2) V$, $(4,7 \pm 0,2) V$. Se calcula el valor porcentual a partir de los valores obtenidos para la $R_{DS(on)}$ de la curva original, la curva luego de la degradación por $t = (60 \pm 1)min$ y por $t = (240 \pm 1)min$ a partir de los valores obtenidos luego del ajuste de los puntos en la zona óhmica de la curva. Se realiza únicamente sobre estos valores porque es en los que más se nota la variación en la resistencia $R_{DS(on)}$ luego de las degradaciones.

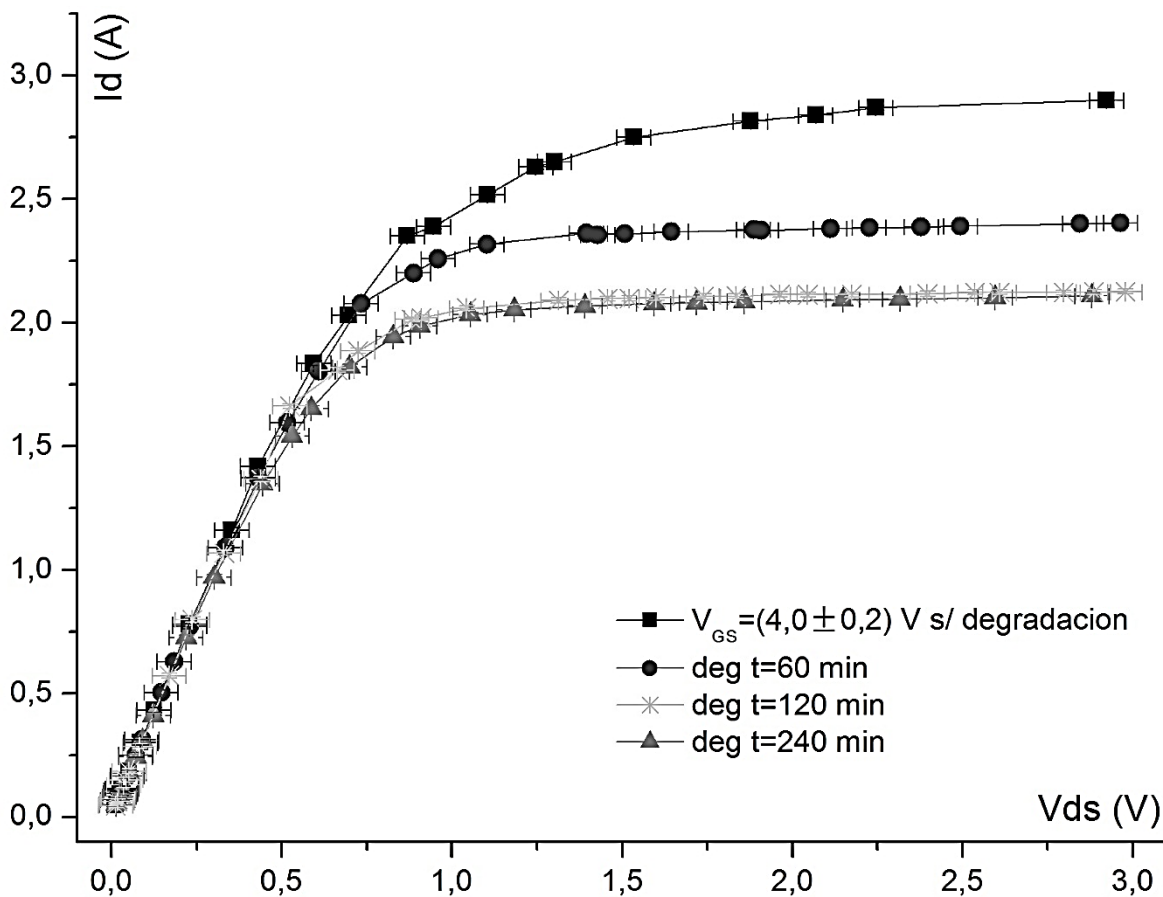


Figura 76: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h donde el transistor estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

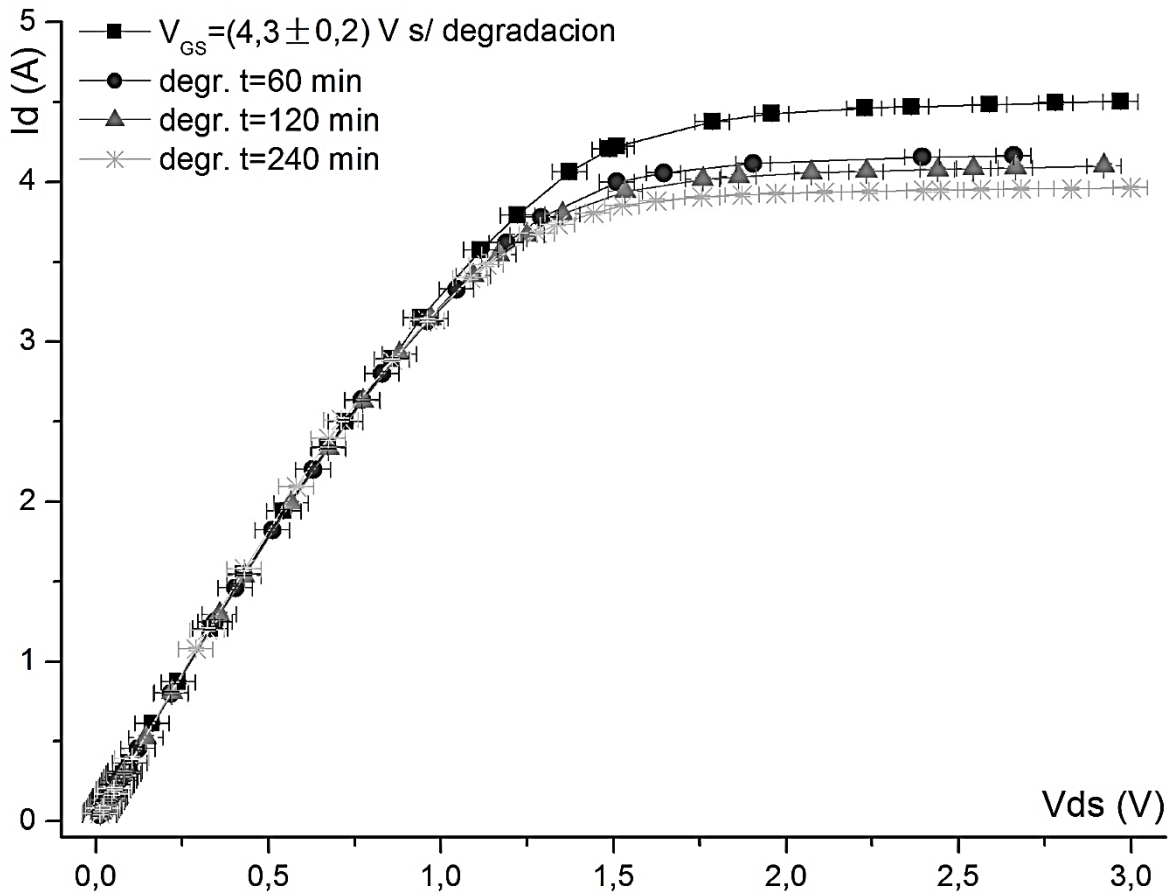


Figura 77: Gráfico de las curvas paramétricas para $V_{GS} = (4,3 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h donde el transistor estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$.

En la **Figura 76**, se observa como varía la $R_{DS(on)}$ luego de cada degradación, un aumento considerable en los primeros 60 min y luego otro menor para los 60 min restantes. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ en los primeros 60 min es del 6%. Luego de la degradación por 120 min, respecto al valor original tendré un aumento del 26%. Mientras que en la **Figura 77**, se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa de la figura como varía la $R_{DS(on)}$ luego de cada degradación, un aumento considerable en los primeros 60 min y luego mantiene su

valor. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ en los primeros 60 min es del 9%.

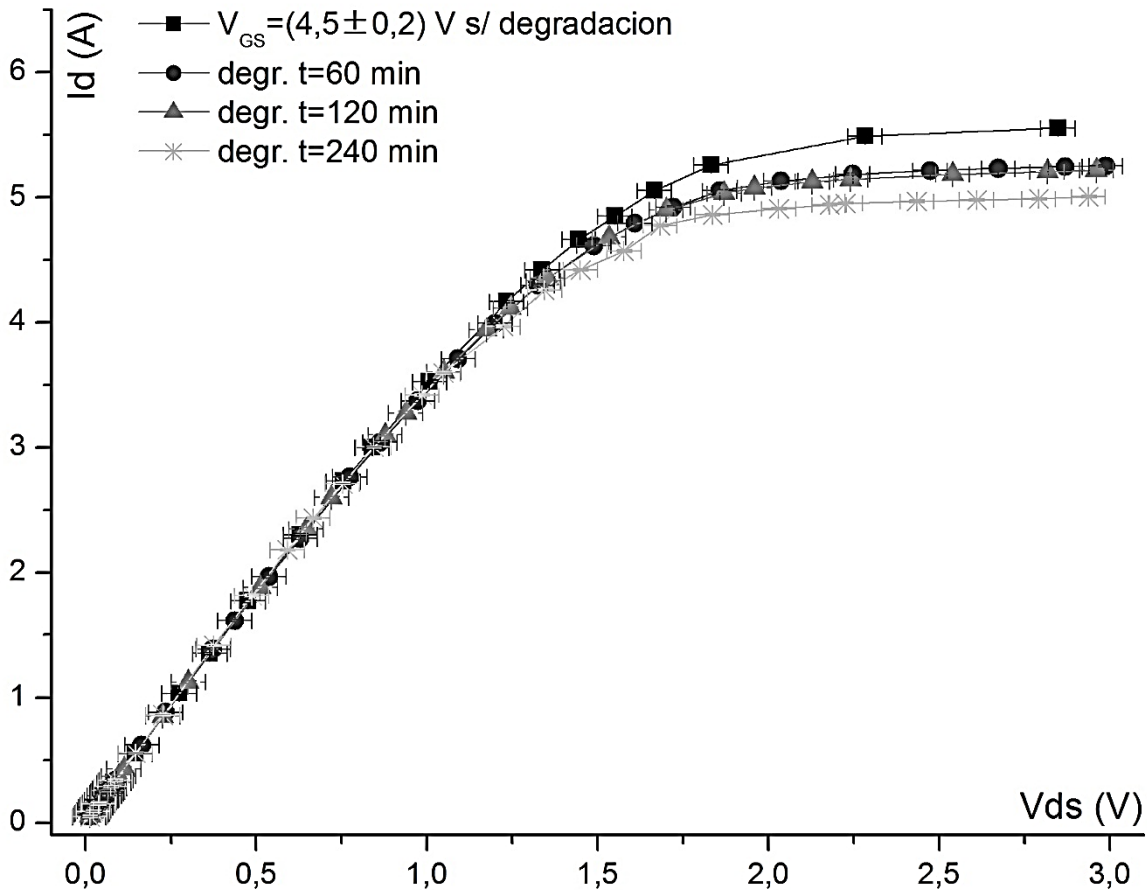


Figura 78: Gráfico de las curvas paramétricas para $V_{GS} = (4,5 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h donde el transistor estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

En la **Figura 78**, se observa como varía la $R_{DS(on)}$ luego de cada degradación, un aumento considerable en los primeros 60 min, se mantiene constante luego de 60 min y aumenta nuevamente en los 240 min restantes. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ en los primeros 60 min es del 5%. Luego de la última degradación por 240 min, del valor original tendré un aumento del 15%.

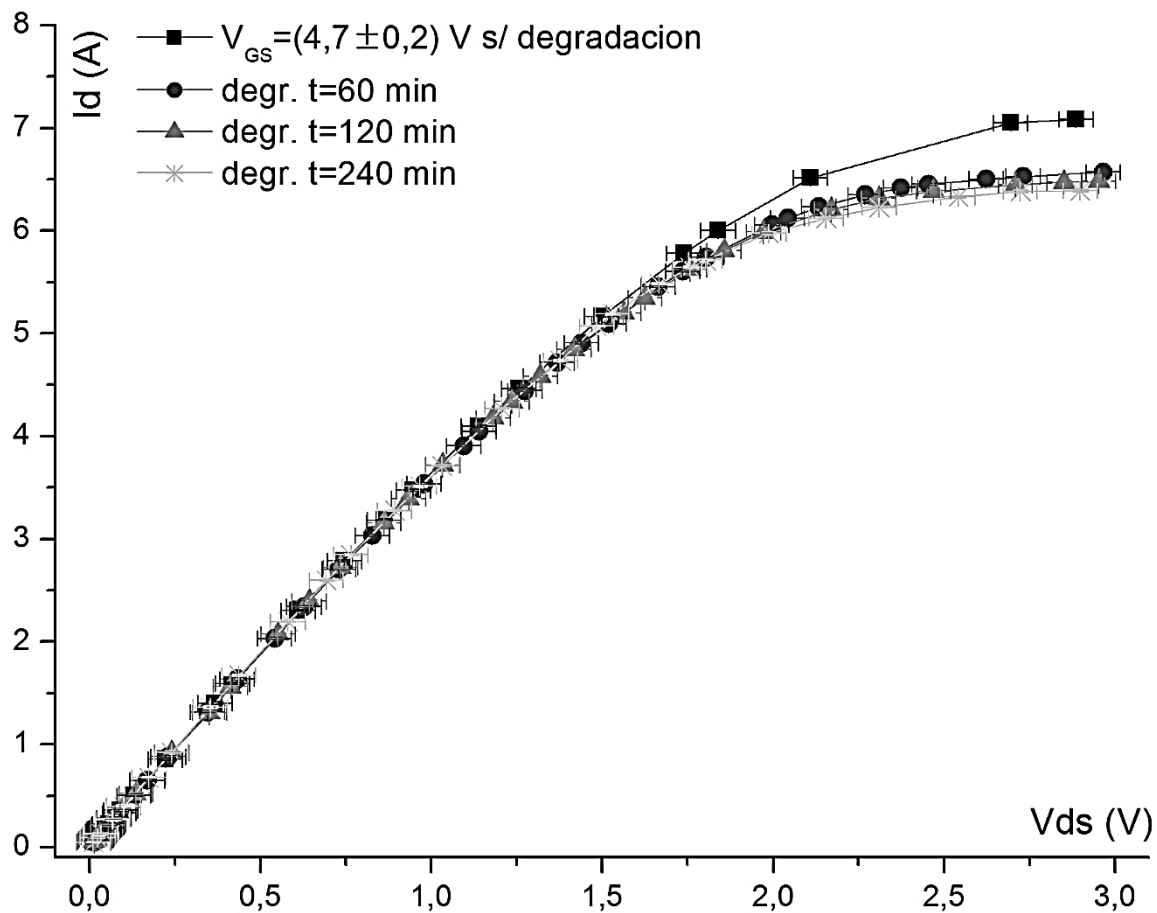


Figura 79: Gráfico de las curvas paramétricas para $V_{GS} = (4,7 \pm 0,2) V$ obtenidas para los tiempos de degradación de 1h, 2h y 4h donde el transistor estaba sometido a transitorios de $(230 \pm 20) V$ con duración de $50 \mu s$ cada $10 ms$. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

Para la **Figura 79**, se observa como varía la $R_{DS(on)}$ luego de cada degradación, un aumento considerable en los primeros 60 min y luego mantiene su valor constante. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ en los primeros 60 min es del 9%.

En la parte final del capítulo se exponen de forma ordenada (**Tabla 4**) los valores porcentuales obtenidos para cada variación de la resistencia $R_{DS(on)}$ respecto a su valor original luego de las degradaciones.

5.3 Degradación del transistor ubicado en la fuente de alimentación del equipo de RMN por el transcurso de 2 meses

Los gráficos obtenidos para las mediciones de las curvas paramétricas y de transferencia antes y después de la degradación se pueden observar en la **Figuras 80 y 81**.

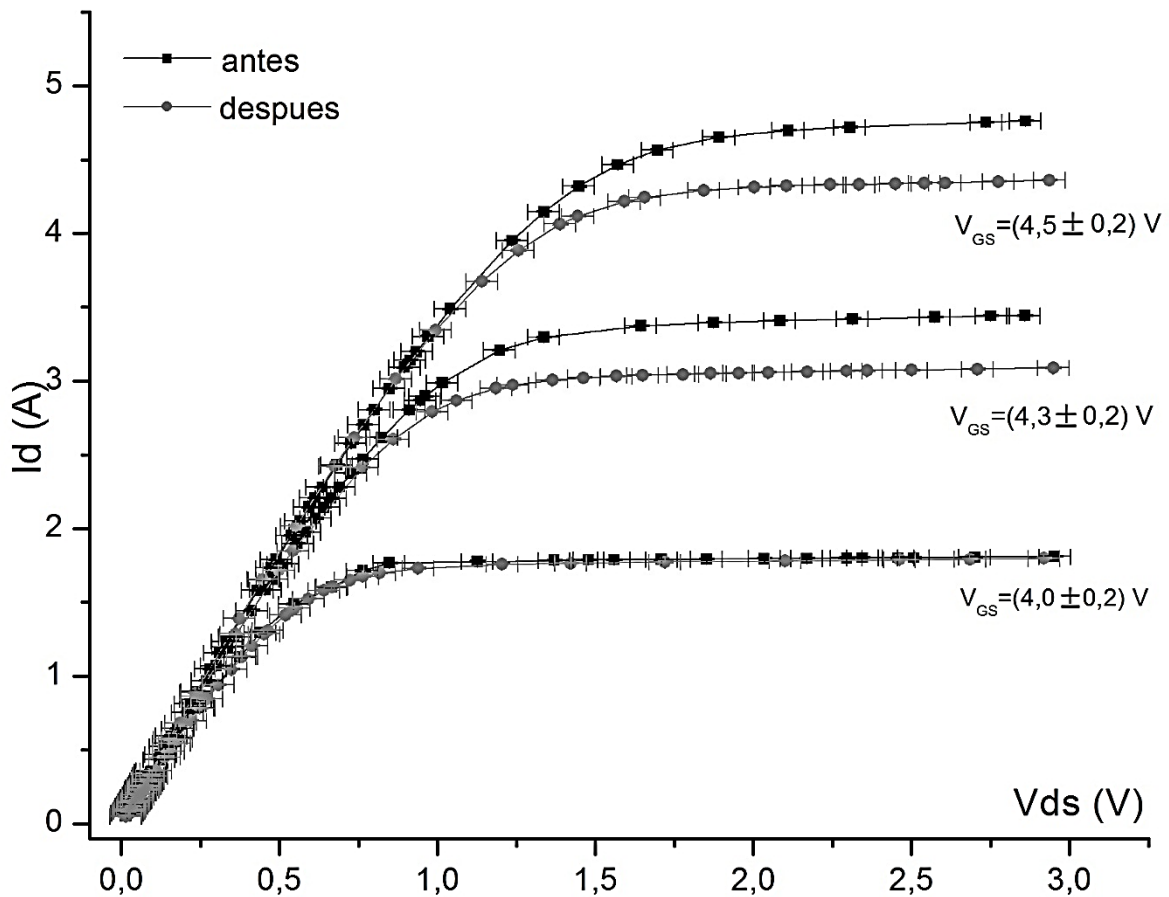


Figura 80: Curvas paramétricas del transistor IRFP350 SEC nro. 4 con $V_{GS} = (4,0 \pm 0,2) V$, $(4,3 \pm 0,2) V$, $(4,5 \pm 0,2) V$, antes y después de estar los dos meses en la fuente de alimentación del equipo de RMN. Se observa una disminución considerable en la I_D antes y después de la degradación para las dos curvas de mayor voltaje. Las curvas fueron medidas con una temperatura $T_{bloq} = (35,0 \pm 0,2)^\circ C$.

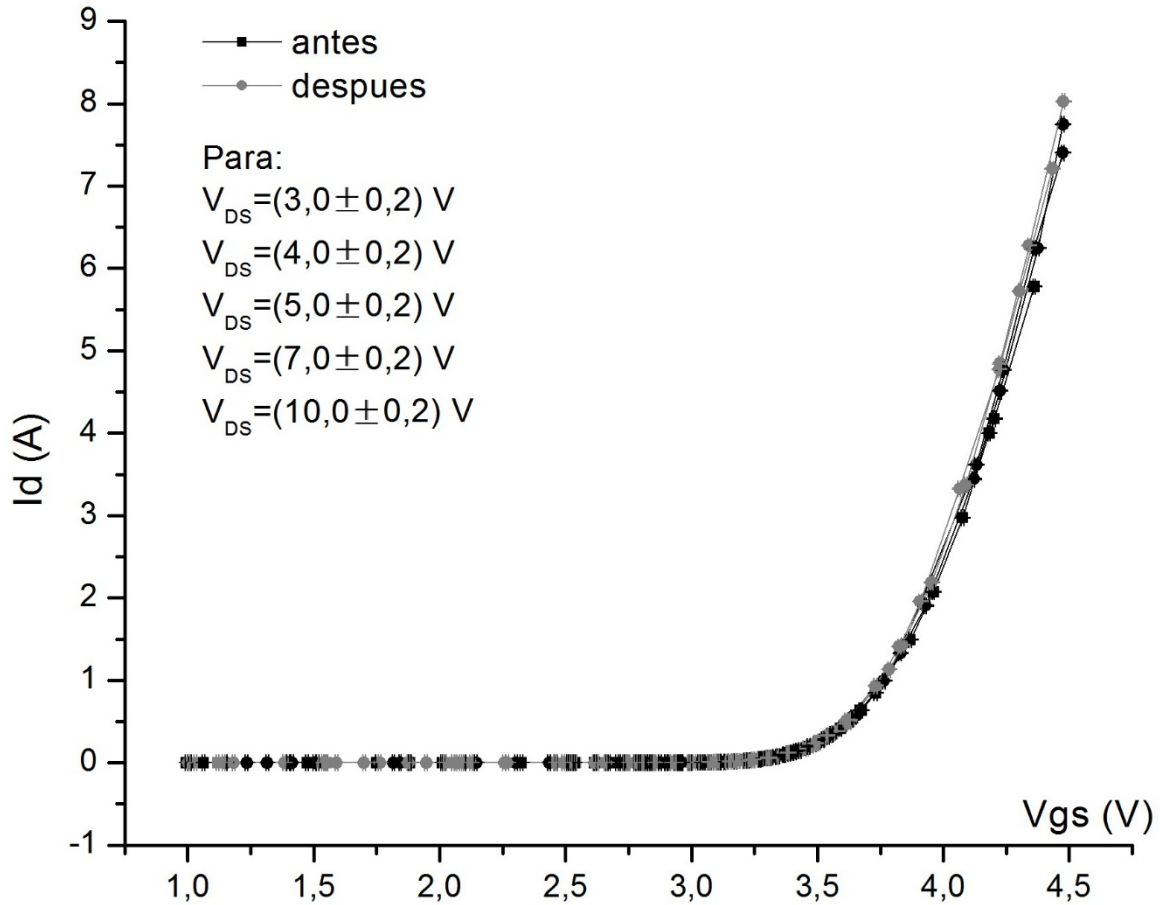


Figura 81: Comparación entre las curvas de transferencia del transistor IRFP350 nro. 4 antes y después de los dos meses de degradación en la fuente de alimentación del equipo de RMN. No se observa ninguna variación en la curva luego de la degradación. Las curvas fueron medidas con una temperatura $T_{bloq} = (35,0 \pm 0,2)^\circ\text{C}$.

A continuación, se muestran por separado las curvas paramétricas $(4,0 \pm 0,2) \text{ V}$, $(4,3 \pm 0,2) \text{ V}$ y $(4,5 \pm 0,2) \text{ V}$ en las **Figuras 82**, **83** y **84**. Se acorta el intervalo V_{DS} aproximadamente entre los puntos $[1,5; 3,2] \text{ V}$ y se amplía la escala vertical para visualizar la disminución en los valores de corriente de saturación I_D entre antes y después de las degradaciones.

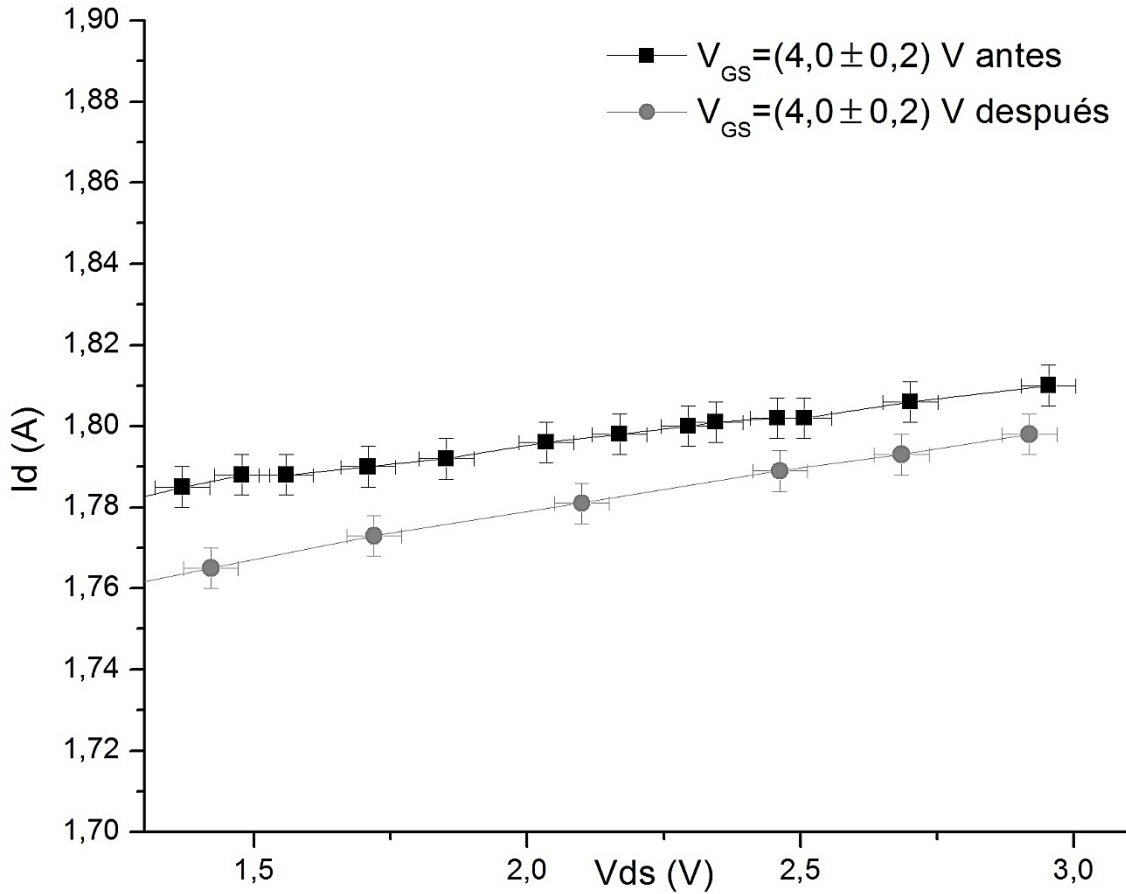


Figura 82: Gráfico de las curvas paramétricas para $V_{GS} = (4,0 \pm 0,2) V$ obtenidas antes y después de la degradación dos meses en el equipo de RMN. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2)^\circ C$.

En la **Figura 82**, se muestran los resultados para V_{DS} entre $[1,3; 3,1] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa una pequeña variación entre las curvas, pero puede considerarse indistinguible puesto que cae dentro del error experimental. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,02 \pm 0,01)A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -1% .

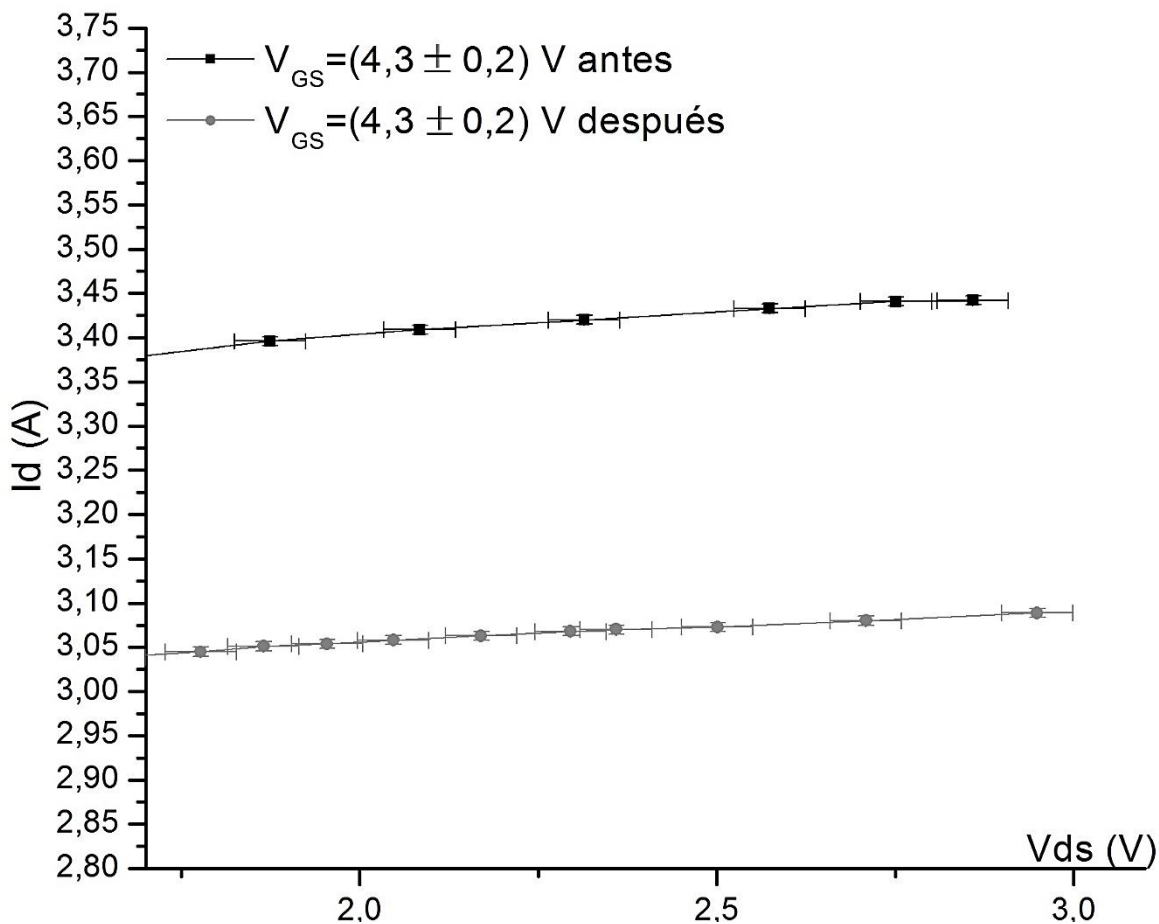


Figura 83: Gráfico de las curvas paramétricas para $V_{GS} = (4,3 \pm 0,2)$ V obtenidas antes y después de la degradación dos meses en el equipo de RMN. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2)^\circ\text{C}$.

En la **Figura 83**, se muestran los resultados para V_{DS} entre $[1,7; 3,1]$ V dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones. Se observa una variación considerable de $\cong 0,30$ A entre la curva con degradación y la curva correspondiente al transistor nuevo. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,35 \pm 0,05)$ A. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -10% .

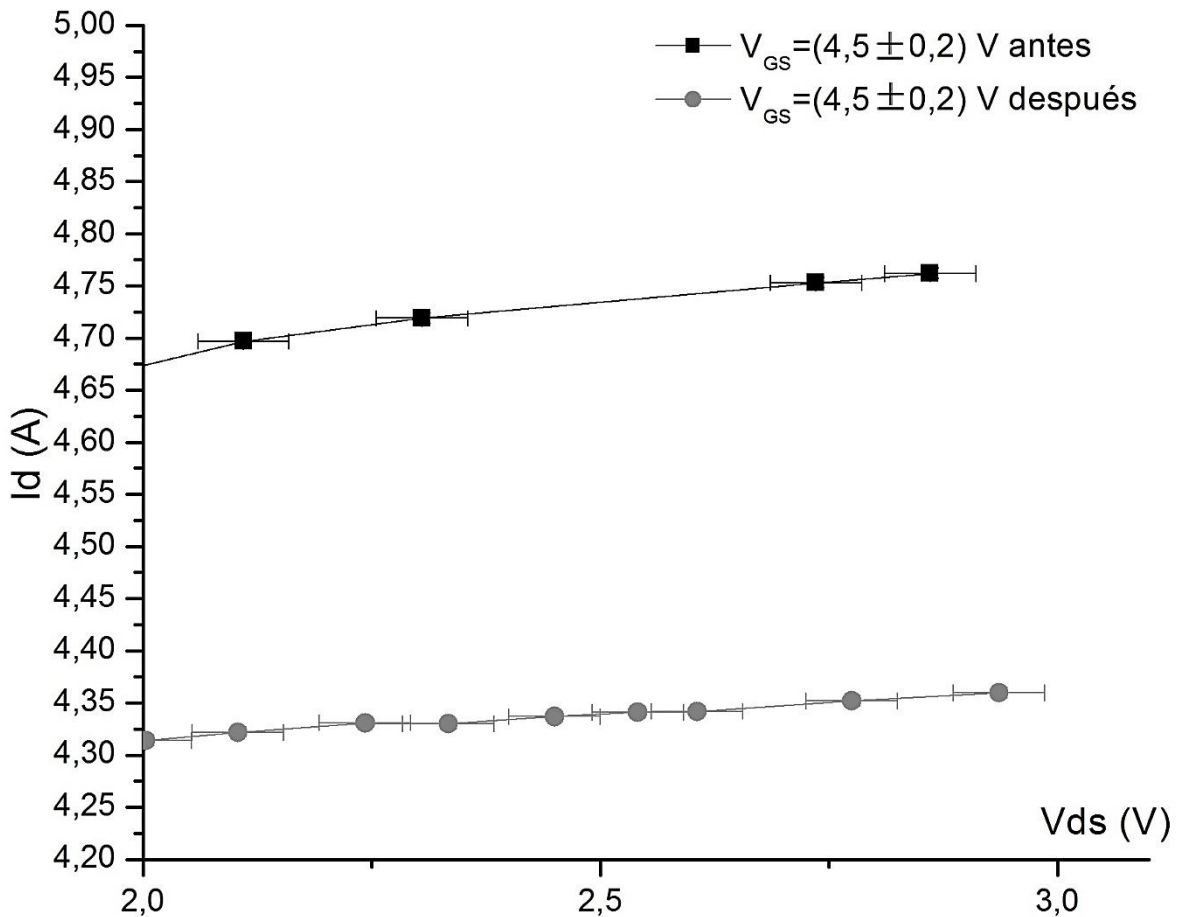


Figura 84: Gráfico de las curvas paramétricas para $V_{GS} = (4,5 \pm 0,2) V$ obtenidas antes y después de la degradación dos meses en el equipo de RMN. La temperatura para la cual se realizaron las mediciones de las curvas fue de $T_{bloq} = (35,0 \pm 0,2) ^\circ C$. Se muestran los resultados para V_{DS} entre $[2,0; 3,1] V$ dentro de la región de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

En la **Figura 84**, se observa una variación considerable de $\cong (0,35 \pm 0,05) A$ entre la curva después de la degradación y la curva correspondiente al transistor antes de la degradación. Para esta figura se observa que la variación de la corriente de saturación entre el valor máximo y el mínimo es de $\Delta I_{D,sat} \cong (0,40 \pm 0,05) A$. Se toman las corrientes I_D para un valor fijo de V_{DS} . El valor porcentual de desviación respecto de la curva no degradada es del -8% .

Las variaciones porcentuales entre la curva original y la curva luego de realizar todas las degradaciones nos indican que la mayor variación es para el valor de $V_{GS} = (4,3 \pm 0,2) V$ donde el valor de la corriente $I_{D,sat}$ disminuye un -10% respecto de su valor original.

Mientras que para $V_{GS} = (4,0 \pm 0,2) V$, la disminución es prácticamente nula, un -1% . Y para $V_{GS} = (4,5 \pm 0,2) V$ del -8% .

En las **Figuras 85** y **86**, se grafican las curvas paramétricas de los valores de V_{GS} utilizados: $(4,3 \pm 0,2)V$ y $(4,5 \pm 0,2) V$. Se calcula el valor porcentual de la degradación a partir de los valores obtenidos para la $R_{DS(on)}$ original y la degradada. Estos valores se obtienen ajustando linealmente los puntos en la región óhmica (región lineal) de las curvas. Se realiza únicamente sobre estos valores porque es en los que más se nota la variación en la resistencia $R_{DS(on)}$ luego de las degradaciones.

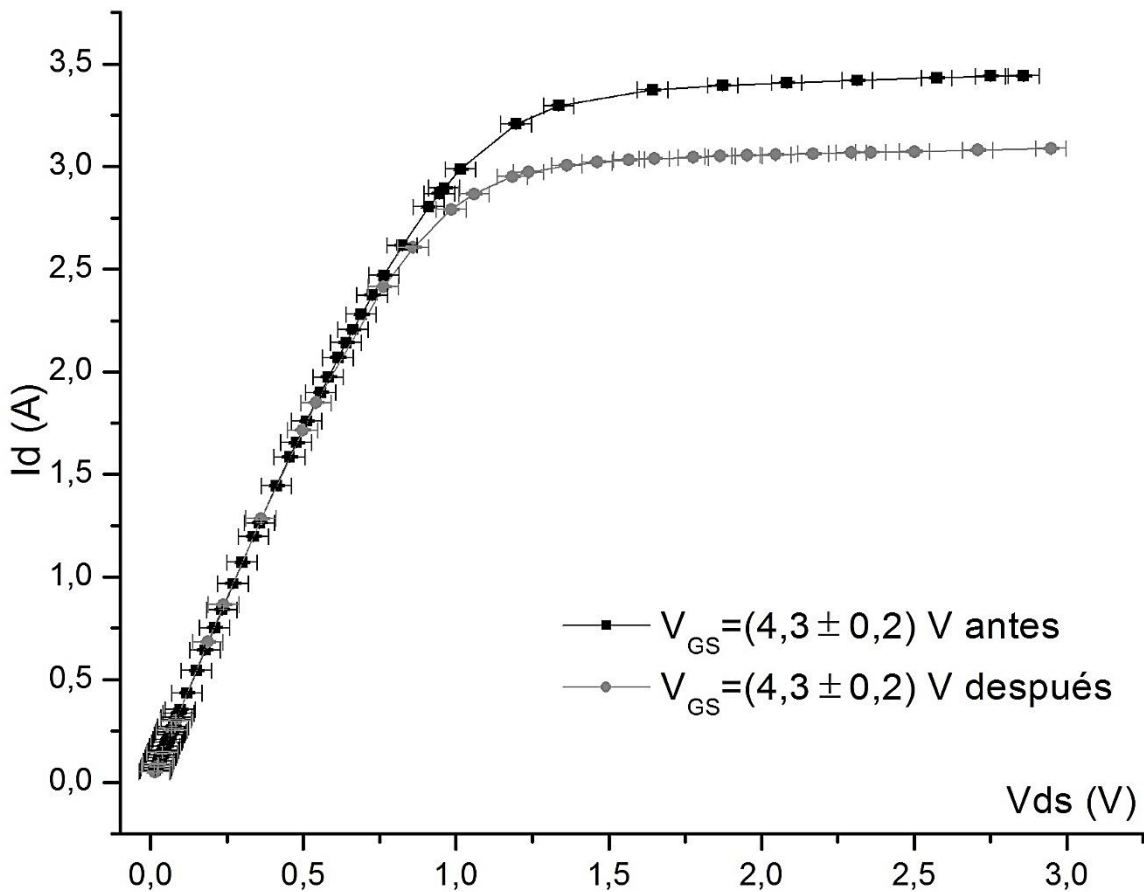


Figura 85: Gráfico de las curvas paramétricas para $V_{GS} = (4,3 \pm 0,2) V$ medidas antes y después de la degradación por 2 meses. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones

En la **Figura 85**, se observa como varía la $R_{DS(on)}$ luego de la degradación. A partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ es del 8%. También en la **Figura 86**, se observa como varía la $R_{DS(on)}$ luego de la degradación. Para este caso, partir de los valores obtenidos del ajuste de la curva se obtiene que el valor porcentual del aumento en la resistencia a $R_{DS(on)}$ es del 13%.

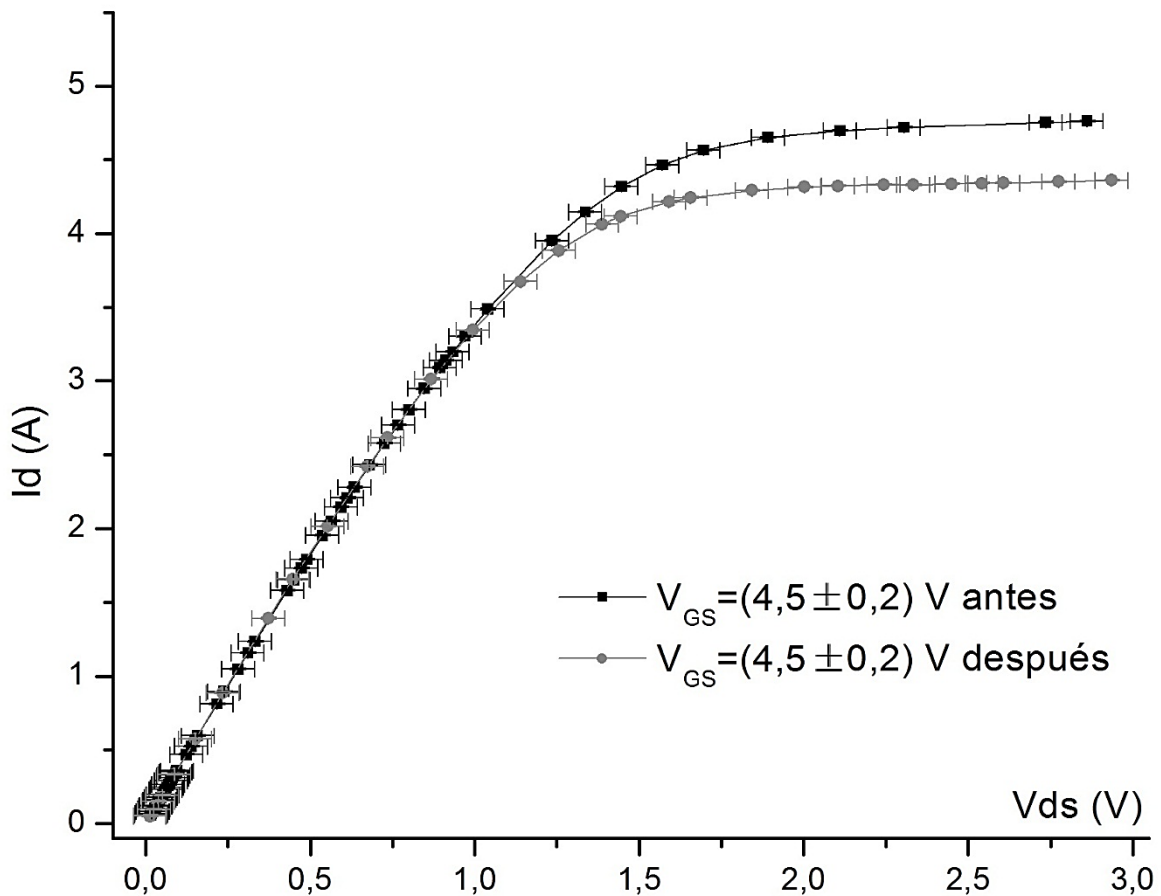


Figura 86: Gráfico de las curvas paramétricas para $V_{GS} = (4,5 \pm 0,2) V$ medidas antes y después de la degradación por 2 meses. Se muestran los resultados para V_{DS} dentro de la región óhmica y de saturación, ampliando al máximo la escala vertical para que se puedan distinguir las variaciones entre las mediciones.

Comentarios finales del capítulo

A partir del análisis de la variación porcentual de los valores de la $I_{D,sat}$ antes y después de la degradación en las curvas paramétricas de los transistores, se presentan los datos obtenidos en la **Tabla 3**.

Experiencia de degradación	Valor de curva paramétrica V_{GS}	Variación porcentual de la $I_{D,sat}$
A corriente constante $I_D = (7,0 \pm 0,1) A$	$(4,0 \pm 0,2) V$	-3%
	$(4,4 \pm 0,2) V$	-3%
	$(4,6 \pm 0,2) V$	-4%
A corriente constante $I_D = (13,0 \pm 0,1) A$	$(4,0 \pm 0,2) V$	-6%
	$(4,4 \pm 0,2) V$	-11%
	$(4,6 \pm 0,2) V$	-9%
Degradación por picos de tensión V_{DS} en régimen pulsado	$(4,0 \pm 0,2) V$	-27%
	$(4,3 \pm 0,2) V$	-13%
	$(4,5 \pm 0,2) V$	-10%
	$(4,7 \pm 0,2) V$	-9%
	$(5,0 \pm 0,2) V$	-2%
Degradación del transistor por 2 meses en el equipo de RMN	$(4,0 \pm 0,2) V$	-1%
	$(4,3 \pm 0,2) V$	-10%
	$(4,5 \pm 0,2) V$	-8%

Tabla 3: Valores de variación porcentual de la corriente drenador en saturación para las distintas experiencias realizadas.

Del ajuste lineal de los valores de I_D vs. V_{DS} en la región óhmica (o lineal) de las curvas paramétricas antes y después de la degradación, se obtuvieron los valores de $R_{DS(on)}$. A partir de estos datos se calculó la variación porcentual de este parámetro luego de la degradación. Los datos obtenidos se presentan en la **Tabla 4**.

Tipo de degradación	Voltaje V_{GS}	Valores de $R_{DS(on)}$ antes (A) y después(D) de la degradación		Valor porcentual
Transistor por 2 meses en el equipo de RMN	$(4,3 \pm 0,2) V$	s/ degradación	$(0,408 \pm 0,003)\Omega$	Aumento del 8 %
		Luego de 2 meses	$(0,442 \pm 0,003)\Omega$	
	$(4,5 \pm 0,2) V$	s/ degradación	$(0,390 \pm 0,003)\Omega$	Aumento del 13 %
		Luego de 2 meses	$(0,444 \pm 0,003)\Omega$	
Transistor con corriente I_D continua de $(13,0 \pm 0,1)A$	$(4,0 \pm 0,2)V$	s/ degradación	$(0,55 \pm 0,01)\Omega$	Aumento del 7 %
		$(360 \pm 1)min$	$(0,59 \pm 0,01)\Omega$	
	$(4,4 \pm 0,2)V$	s/ degradación	$(0,366 \pm 0,004)\Omega$	Aumento del 9 %
		$(360 \pm 1)min$	$(0,401 \pm 0,004)\Omega$	
	$(4,6 \pm 0,2)V$	s/ degradación	$(0,369 \pm 0,001)\Omega$	Aumento del 20%
		$(360 \pm 1)min$	$(0,446 \pm 0,001)\Omega$	
Degradación por picos de tensión V_{DS} en régimen pulsado	$(4,0 \pm 0,2)V$	s/ degradación	$(0,34 \pm 0,02)\Omega$	
		$(60 \pm 1)min$	$(0,36 \pm 0,02)\Omega$	Aumento del 2% respecto al valor s/degr.
		$(180 \pm 1)min$	$(0,43 \pm 0,02)\Omega$	Aumento del 26% respecto al valor s/degr.
	$(4,3 \pm 0,2)V$	s/ degradación	$(0,34 \pm 0,01)\Omega$	Aumento del 9%
		$(60 \pm 1)min$	$(0,37 \pm 0,01)\Omega$	
	$(4,5 \pm 0,2)V$	s/ degradación	$(0,34 \pm 0,01)\Omega$	
		$(60 \pm 1)min$	$(0,36 \pm 0,01)\Omega$	Aumento del 5% respecto al valor s/degr.
		$(240 \pm 1)min$	$(0,39 \pm 0,01)\Omega$	Aumento del 15% respecto al valor s/degr.
	$(4,7 \pm 0,2)V$	s/ degradación	$(0,33 \pm 0,01)\Omega$	Aumento del 9%
		$(60 \pm 1)min$	$(0,36 \pm 0,01)\Omega$	
Transistor con corriente I_D continua de $(7,0 \pm 0,1)A$	$(4,6 \pm 0,2)V$	s/ degradación	$(0,34 \pm 0,01)\Omega$	Aumento del 2%
		$(360 \pm 1)min$	$(0,35 \pm 0,01)\Omega$	

Tabla 4: Valores de variación porcentual de la resistencia $R_{DS(on)}$ para las distintas experiencias realizadas.

En la **Tabla 3** se puede observar que la experiencia para la cual se genera una mayor degradación en la $I_{D,sat}$ ocurre con régimen pulsado. Esta disminución en la corriente se corresponde con el aumento en la resistencia $R_{DS(on)}$ en la misma experiencia (**Tabla 4**). Para el transistor degradado en el equipo de RMN, se puede observar una disminución en $I_{D,sat}$ y un aumento en $R_{DS(on)}$ comparables a las obtenidas en la experiencia de banco para $V_{GS} = (4,3 \pm 0,2) V$ y $V_{GS} = (4,5 \pm 0,2)$. En el caso de las experiencias a corriente constante, la mayor disminución en la corriente drenador y un correspondiente incremento en la resistencia se puede observar en la experiencia con I_D constante utilizando $(13,0 \pm 0,1)A$. A diferencia de la operación con $(7,0 \pm 0,1)A$ donde la degradación observada es mínima.

Capítulo 6

Análisis de los Resultados

En este capítulo se desarrolla el análisis de los datos obtenidos a partir de degradaciones realizadas sobre los transistores IRFP350 del fabricante SEC. Las variaciones predominantes que se han observado en todos los experimentos es la disminución en la corriente de saturación $I_{D,sat}$ y un respectivo aumento en la resistencia $R_{DS(on)}$. No se puede establecer un parámetro de comparación entre las curvas paramétricas para los MOSFET nro. 1, 2, 3 y 4 previas a las degradaciones (curvas originales), puesto que, en todos los casos salvo dos excepciones, la diferencia entre los valores iniciales para un mismo valor de V_{GS} se excede en un 10 % . Por lo tanto, se analizan los efectos de cada degradación en cada transistor por separado comparando entre sí únicamente algunos factores externos de operación. En la **Figura 87** se muestra un gráfico comparativo entre las distintas curvas originales.

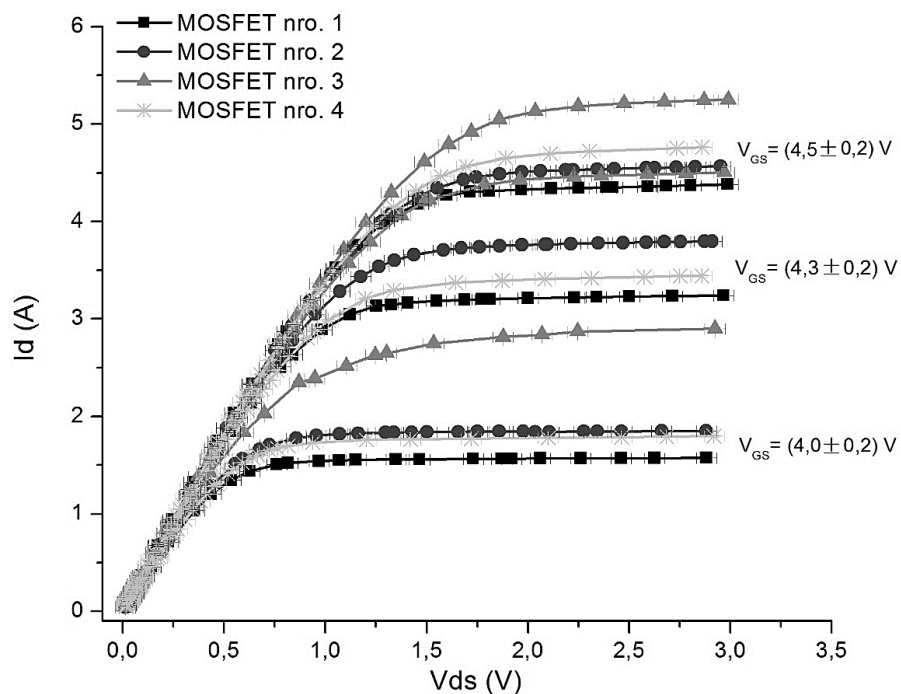


Figura 87: Gráfico comparativo de las curvas paramétricas originales para cada uno de los 4 transistores MOSFET utilizados. Se puede observar como únicamente para los valores de $V_{GS} = (4,0 \pm 0,2) V$ y $V_{GS} = (4,4 \pm 0,2) V$ se pueden establecer semejanzas, pero sin embargo la diferencia que tienen entre sí las curvas originales posee porcentajes de variación mayores al 10% y por lo tanto se procede a analizar por separado los efectos de las degradaciones en cada individuo.

Un recuento del valor porcentual de la disminución observada en la $I_{D,sat}$ en cada una de las experiencias se muestra en la **Tabla 3**. Luego de cada experiencia, se pueden remarcar algunas variaciones considerables en este parámetro:

- Para la degradación a corriente constante $I_D = (7,0 \pm 0,1) A$, las disminuciones observadas en la $I_{D,sat}$ comparando el valor original respecto al valor obtenido luego de los $(360 \pm 1) min$ de cada degradación para los tres valores de V_{GS} utilizados, corresponde respectivamente al 3%, 3% y 4%. Para el primer valor de V_{GS} , las variaciones se encuentran enmascaradas dentro del error experimental (**Figura 55**), para los dos siguientes valores las variaciones son distinguibles dentro del error experimental pero su variación es relativamente baja.
- Para la degradación a corriente constante $I_D = (13,0 \pm 0,1) A$, las disminuciones observadas en la $I_{D,sat}$ comparando el valor original respecto al valor obtenido luego de los $(360 \pm 1) min$ de cada degradación para los tres valores de V_{GS} utilizados, corresponde respectivamente al 6%, 11% y 9%. Para el primer valor de V_{GS} , la variación es distinguible dentro del error experimental (**Figura 61**), pero no resulta tan llamativa respecto a las observadas para los valores mayores de V_{GS} (**Figuras 62 y 63**).
- Para la degradación por picos de tensión V_{DS} en régimen pulsado, las disminuciones observadas en la $I_{D,sat}$ comparando el valor original respecto al valor obtenido luego de los $(240 \pm 1) min$ de cada degradación para los tres primeros valores de V_{GS} utilizados, corresponde respectivamente al 27%, 13% y 10% y para los 2 valores mayores de V_{GS} , un 9% y 2% respectivamente. Para el primer valor de V_{GS} , la variación porcentual es superior a cualquiera de las otras (**Figura 71**), y va disminuyendo para los siguientes valores de V_{GS} . Para este primer caso se observa que la mayor disminución ocurre en los primeros $(60 \pm 1) min$ del transistor sometido a esta degradación. Esta misma observación se puede aplicar para la **Figura 72 y 74**, pero no así para las **Figuras 73 y 75**. Es notable observar como la disminución en el valor de $I_{D,sat}$ solo afecta a los valores pequeños de V_{GS} y no a los valores superiores.

- Para la degradación del transistor ubicado en el equipo, las disminuciones observadas en la $I_{D,sat}$ comparando el valor original respecto al valor obtenido luego de las (240 ± 1) *hs* de degradación para los tres valores de V_{GS} utilizados, corresponde respectivamente al 1%, 10% y 8%. Para el primer valor de V_{GS} , la variación es indistinguible dentro del error experimental (**Figura 82**), las variaciones mayores ocurren para las curvas con V_{GS} superior (**Figuras 83 y 84**).

A partir de este análisis, y de los resultados observados que resultan más llamativos es posible argumentar lo siguiente:

- Si bien no se observan degradaciones en las curvas de transferencia en ninguno de los experimentos realizados, si se han encontrado variaciones que demuestran la degradación del dispositivo en condiciones similares al régimen en el cual es operado el equipo. Este es un resultado consistente con el hecho de que se tuvo especial cuidado de no usar tensiones V_{GS} superiores al límite establecido por el fabricante. Esta es una diferencia importante respecto de otros resultados reportados en la literatura [47], que postulan a los daños en el óxido de la compuerta como principal influyente en las degradaciones observadas en V_{t0} .
- En las curvas paramétricas para la experiencia pulsada se observa una disminución considerable de la corriente $I_{D,sat}$ en la primera hora de uso y para los valores menores de V_{GS} . Luego tiende a un valor aproximadamente constante para los siguientes intervalos de degradación. Lo contrario ocurre para las degradaciones con corriente constante. No parece ser crítico, en los experimentos en el banco los picos de $(230 \pm 20)V$. Atribuir las degradaciones a efectos generados por picos de sobre tensión quedan descartados puesto que se operó el equipo cuidando no salir fuera del SOA tanto para la tensión en la compuerta (V_{GS}) como en la tensión drenador-fuente (V_{DS}). Quedan descartados también efectos de la temperatura, puesto que el ciclo útil en el que se opera con el transistor es del 0,5% (50 μs que dura el transitorio en 10 *ms* del ciclo completo). Es un ciclo útil muy bajo donde el transistor trabaja a una temperatura que no lo sobrecalienta (siempre mantenido a

$35,0 \pm 0,2$ °C). Teniendo en cuenta estas observaciones se deduce que, cualquiera sea el efecto que produce las variaciones observadas en los valores de $I_{D,sat}$, puede tener que ver con otro mecanismo no asociado al que se quiso activar en esta experiencia. Una especulación es que podemos asociar la falla a efectos termoelásticos locales. Es decir, el transistor se mantiene siempre a la temperatura constante de 35,0, pero estar sometido a tantas horas con la misma degradación puede que genere problemas en la juntura, como pequeños puntos calientes (hot-spots) donde la disipación no es buena o el transistor ya viene con algún problema de fábrica, y que por esta razón se ve sometido a efectos termoelásticos por la continua conmutación que terminan generando las degradaciones. Para sacar resultados concluyentes, lo ideal sería realizar esta misma experiencia sobre muchos transistores y sacar una estadística de las degradaciones obtenidas.

- Estimado un uso promedio del equipo de 30 horas semanales, el transistor colocado en el equipo fue sometido a un periodo de uso de 240 hs. En dicho lapso de tiempo se observan degradaciones del mismo orden que las obtenidas en la experiencia de banco pulsada. Debe hacerse notar que, bajo las condiciones de operación del equipo, el dispositivo no está sometido a sobretensiones debido a las protecciones disponibles en el mismo puesto que la tensión típica V_{DS} al pulsar es de 50 V, se encuentran protegidos con redes “snubber” (ver **Figura 88**), mientras que el valor máximo sugerido por el fabricante es 400 V. Por lo tanto, pueden descartarse los fenómenos de degradación por picos de tensiones entre el drenador y surtidor. Sin embargo, la operación en condiciones reales implica someter al dispositivo a regímenes no cubiertos por los experimentos: conmutaciones desde corrientes bajas (incluso desde corriente nula) hasta corrientes elevadas; lo que lleva al transistor a trabajar a altas corrientes y bajos voltajes de V_{DS} (similar a las aplicaciones de conmutación). En la región de corrientes elevadas, esta se mantiene por periodos de tiempo relativamente largos respecto de las experiencias reportadas en la literatura. En esta región el dispositivo se encuentra en operación

lineal y su temperatura aumenta. Seguidamente sobrevienen periodos de bajas corrientes, en los cuales el transistor baja su temperatura. Es más, en la aplicación particular suele mantenerse el transistor en conducción por varios segundos en condición máxima disipación de potencia. Este fenómeno es uno de los que puede estar causando degradaciones por efectos termoelásticos. Sin embargo, debe aclararse que esto está en el campo de la especulación y debe ser confirmado por experimentos más extensos.

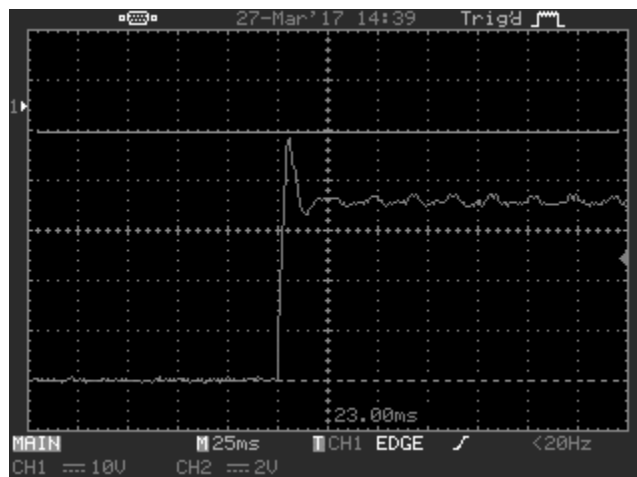


Figura 88: Imagen de un transitorio observada en la tensión V_{DS} a bornes de un transistor extraída durante la conmutación de campo en el equipo de RMN. El valor de este transitorio es de 50 V.

Teniendo en cuenta lo observado para la degradación pulsada en el banco, para los resultados en la degradación del transistor en el equipo no se puede observar si hubo algún tipo de degradación en la primera hora de uso. Para observar si ambas experiencias coinciden en este factor de degradación, se tendría que observar una evolución en el tiempo, dejando al transistor por lapsos más cortos de tiempo y observando si ocurre esta misma variación.

- Un punto de comparación entre la experiencia de banco pulsada y la experiencia a corriente constante de $(7,0 \pm 0,1) A$ es que ambas se realizan utilizando la $T_C =$

$(35,0 \pm 0,2)^{\circ}\text{C}$. Pero en una se observan variaciones en la disminución en la corriente $I_{D,sat}$ y en la otra no. Al aumentar la frecuencia de 0 kHz a 1 kHz para el ensayo de banco, aparecen fenómenos transitorios en el MOSFET debido a las capacitancias parásitas (pequeñas para esta frecuencia, pero no cero) y los tiempos de subida y bajada de la corriente no son ideales. Esto, sumado a la carga de tipo inductiva, genera cargas y descargas en estas capacidades parásitas, y una constante reacomodación de portadores debido a las condiciones de corte y saturación del dispositivo. Que la mayor degradación observada suceda para los valores de V_{GS} más pequeños, puede deberse a algún cambio en la formación del canal (que para estos valores es pequeño) por acción de estas capacidades parásitas. Para el caso del transistor en el equipo se puede considerar una degradación similar, con la diferencia de que los niveles de temperatura pueden ser mayores según sea el nivel de potencia requerido por la carga.

Una comparación gruesa entre los resultados obtenidos en todos los experimentos, principalmente en los que están sujetos a degradación por conmutación y salvando las velocidades de degradación que se observan en los experimentos de banco con corriente continua y pulsada, sugiere como patrón de degradación común a efectos termoelásticos locales. En artículos recientes, se argumenta que en MOSFET de potencia y en aplicaciones de conmutación, los precursores de falla asociados a un aumento de $R_{DS(on)}$ están relacionados a fallas en las soldaduras [53-60]. En función de los resultados obtenidos, no es posible atribuir los cambios de $R_{DS(on)}$ a daños en el óxido de compuerta.

Conclusiones

Se presentó un estudio de las posibles causas de estrés y degradación en transistores MOSFET de potencia, según su aplicación típica en alimentadores de RMN con campo magnético ciclado. Se midieron las variaciones en las curvas de transferencia y paramétricas del transistor, antes y después de inducir estrés programado en diferentes experimentos:

- 1- Degradación inducida en un montaje experimental de banco, especialmente diseñado para someter al dispositivo a una corriente I_D constante, por tiempos programados.
- 2- Degradación inducida en un montaje experimental de banco, especialmente diseñado para someter al dispositivo a una corriente I_D pulsada sobre una carga inductiva, por tiempos programados.
- 3- Degradación producida en condiciones de operación reales de un transistor instalado en el alimentador de un aparato de RMN con campo ciclado.

Para cada uno de estos experimentos se utilizó un transistor nuevo, y se tuvo especial cuidado en no superar la tensión máxima de compuerta, de manera de poder observar degradaciones exclusivamente asociadas a la conducción de corriente entre el drenador y la fuente. Los resultados obtenidos muestran variaciones progresivas en las curvas paramétricas, tanto en las condiciones de banco como en el equipo, verificándose la ausencia de efectos observables en las curvas de transferencia.

Considerando las variaciones relativas observadas en cada transistor, las mediciones nos permiten observar, en todos los casos, una disminución generalizada en la corriente $I_{D,sat}$ y un aumento en la resistencia $R_{DS(on)}$. Las curvas paramétricas correspondientes al experimento en régimen pulsado en el banco, muestran una notable disminución de la corriente $I_{D,sat}$ en la primera hora de uso, tendiendo luego a un valor aproximadamente constante para tiempos más largos de degradación. Este efecto no pudo observarse en la degradación realizada en el equipo (por no haber podido medir la evolución de las curvas durante las 240 horas de uso), pero si se puede notar la similitud con los valores porcentuales finales de los parámetros degradados.

Se especula que este patrón común de degradación en todas las pruebas, podría ser compatible con efectos termoelásticos locales, aunque para verificar este mecanismo son necesarios más experimentos de este tipo sobre una población mayor de individuos. En alguno de ellos sería importante estudiar la evolución de la degradación del dispositivo ubicado en el equipo durante intervalos de tiempo más pequeños, de manera de poder registrar la evolución del proceso.

Con los resultados disponibles, no es posible deducir cuales son los mecanismos de degradación dominantes. Independientemente de ello, estos resultados sugieren que sería posible utilizar los parámetros medidos como monitores de salud para los dispositivos, así como implementar estrategias de prognosis. Si bien nuestro estudio es exploratorio y los resultados deben considerarse todavía como preliminares, es posible asegurar que es necesario diseñar nuevos experimentos que escapen al propósito de este trabajo. El diseño de experimentos específicos donde se someta a degradación a poblaciones mayores de dispositivos, extendiendo los tiempos de degradación (o recurriendo a técnicas de degradación acelerada), permitirá una estadística más significativa, favorable para indagar sobre los mecanismos físicos de degradación específicos que son activados por la operación clásica en los aparatos de CC.

Finalmente, estos resultados también permiten obtener información relevante para el diseño de sistemas de protección eficientes, de manera de mitigar los causales de estrés en los transistores MOSFET utilizados en alimentadores de sistemas de RMN con campo magnético ciclado.

Referencias

- [1] C. P. Slichter. *Principles of Magnetic Resonance*. Springer, Berlin (1990).
- [2] M. H. Levitt. *Spin dynamics: basis of nuclear magnetic resonance*. Wiley & Sons, Southampton (2008)
- [3] Eiichi Fukushima and Stephen BW Roeder. *Experimental pulse NMR: a nuts and bolts approach*. Addison-Wesley Reading, MA, 1981.
- [4] Gabriela A. Domínguez. *Relaxometría magnética nuclear con campo magnético ciclado de baja homogeneidad. Conmutación ultra rápida*. Tesis Doctoral, Universidad Nacional de Córdoba, 2016.
- [5] Carla C. Fraenza. *Caracterización de la dinámica molecular en nanoestructuras supramoleculares globulares mediante relaxometría magnética nuclear*. Tesis Doctoral, Universidad Nacional de Córdoba, 2016.
- [6] Stephan Kruber. *Electroimanes de estructura variable para Resonancia Magnética Nuclear con ciclado rápido de campo magnético*. Tesis doctoral, Universidad Nacional de Córdoba, 2015.
- [7] Agustín J. Romero. *Efectos del ultrasonido en el orden molecular de cristales líquidos, observados a través de imágenes por RMN*. Tesis de grado, Universidad Nacional de Córdoba.
- [8] E. Anoardo, G. Galli and G. Ferrante. Fast-Field-Cycling: Applications and Instrumentations. *Appl. Magnetic Resonance* **20**: 365-404 (2001).
- [9] R. Kimmich, E. Anoardo. Field-cycling NMR relaxometry. *Progress in Nuclear Magnetic Resonance Spectroscopy*, **44**: 257-320 (2004).
- [10] K. H. Schweikert, R. Krieg, and F. Noack. A high-field air-cored magnet coil design for fast-field-cycling NMR. *Journal of Magnetic Resonance* (1969).
- [11] F. Noack. *NMR Field-cycling spectroscopy: principles and applications*. Progress in NMR Spectroscopy, **18**: 171-276 (1986).
- [12] S. Kruber, G. D. Farrher and E. Anoardo. Comparative study of helical-cut notch-coil magnets for fast-field-cycling nuclear Magnetic Resonance. *Can. J. Phys.* **92**: 1-11 (2014).

- [12b] S. Kruber, G. D. Farrher, E. Anoardo, Air Core Notch-Coil Magnet with Variable Geometry for Fast-Field-Cycling NMR. *Journal of Magnetic Resonance* (2015), doi: <http://dx.doi.org/10.1016/j.jmr.2015.08.015>
- [13] A. Roque, S. Pinto, J. Santana, D. Sousa, E. Margato, et al. *Design of Current Power Sources for a FFC NMR Apparatus: A Comparison*. 3rd Doctoral Conference on Computing, Electrical and Industrial Systems (DoCEIS), (2012).
- [14] M. Lima, B. Pereyra, A. Roque, D.M. Sousa and E. Margato. *Comparing two Power Supplies for Fast Field Cycling Nuclear Magnetic Resonance Relaxometers: Power Losses and Performance*. Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM). IEEE International Symposium (2016)
- [15] D. Plendl, M. Fujara, A. F. Privalov, F. Fujara. Energy efficient iron based electronic field cycling magnet. *Journal of Magnetic Resonance*, **198**(2):183–187, (2009).
- [16] D. M. Sousa, G. D. Marqués, J. M. Cascais, P. J. Sebastiao. Desktop fast-field cycling nuclear magnetic resonance relaxometer. *Solid state nuclear magnetic resonance*, **38**(1):36–43, (2010).
- [17] D. M. Sousa and G.D. Marques. Coil by coil optimization algorithm for the design of a nuclear magnetic resonance fast field cycling air cored magnet. pages FE–12, Toronto (2000). IEEE, Piscataway, NJ, United States.
- [18] R. Perret. *Power Electronics Semiconductors*. ISTE Ltd. And John Wiley & Sons, Inc. (2009).
- [19] E. Sanchis, J. B. Ejea. *Apunte A.3.Transistor Unipolar*. Escola Técnica Superior d' Enginyeria. Universidad de Valencia, España. (2008).
- [20] D. A. Grant, J. Gowar. *Power MOSFET's: Theory and Applications*. John Wiley & Sons, Inc. (1989).
- [21] A. R. Hambley. *Electrical Engineering: Principles and Applications*. Third Edition, Prentice Hal (2005).
- [22] J. Lustz, H. Schlangenotto, U. Scheuermann, R. De Doncker. *Semiconductor Power Devices: Physics, Characteristics, Reliability*. Springer-Verlag. (2011).
- [23] B. J. Baliga. *Advanced Power MOSFET Concepts*. Springer. (2010).
- [24] B. J. Baliga. *Fundamentals of Power Semiconductor Devices*. Springer. (2008).

- [25] R. N. Selva. *Dispositivos Electrónicos*. Editorial Nueva Librería. 2da Edición (2008).
- [26] Understanding MOSFET data sheets, Part 2 - Safe operating area (SOA) graph, Texas Instruments.
- [27] S. Yang; D. Xiang; A. Bryant; P.Mawby et al. *Condition Monitoring for Device Reliability in Power Electronic Converters: A Review*. IEEE Transactions on power electronics, Vol.25, NO.11, November 2010.
- [28] P. Singh. *Power MOSFET Failure Mechanisms*. IEEE Telecommunications Energy Conference, 2004.INTELEC 2004. 26th Annual International
- [29] R. Dandeh. *How Do Hot Carriers Degrade n-Channel MOSFETS's?* Damascus UNIV. Journal, Vol.17, No. 1. 2001
- [30] J.R.Black. *Electromigration Failure Modes in Aluminium Metallization for Semiconductor Devices*. *Proc. of the IEEE*. **57** (9): 1587–94. 1969.
- [31] A. Christou. *Electromigration and Electronic Device Degradation*. John Wiley & Sons, 1994.
- [32] J. Lehmann, M. Netzel, R. Herzer, and S. Pawel. *Method for electrical detection of bond wire lift-off for power semiconductor*. Proc. Int. Symp. Power Semicond. Devices IC's, 2003, pp. 333–336.
- [33] M. Glavanovics, T. Detzel, and K. Weber. *Impact of thermal overload operation on wirebond and metallization reliability in smart power devices*. Proc. Solid-State Device Res. Conf., 2004, pp. 273–276.
- [34] K. L. Pey, C. H. Tung, L. J. Tang, W. H. Lin, and M. K. Radhakrishnan. *Size difference in dielectric-breakdown-induced epitaxy in narrow n- and p-metal oxide semiconductor field effect transistors*. Appl. Phys. Lett. 83 (14), pp. 2940–2942, 2003
- [35] M. Held, P. Jacob, G. Nicoletti, P. Scacco, and M. H. Poech. *Fast power cycling test of IGBT modules in traction application*. Proc. Int. Conf. Power Electron. Drive Syst., pp. 425–430. 1997.
- [36] M. Ciappa and W. Fichtner. *Lifetime prediction of IGBT modules for traction applications*. Proc. IEEE Int. Rel. Phys. Symp., pp. 210–216. 2000
- [37] M. Ciappa. *Reliability of high-power IGBT modules for traction applications*. Proc. IEEE Int. Rel. Phys. Symp., pp. 480–485. 2007

- [38] M. Ciappa. *Selected failure mechanisms of modern power modules*. Microelectron. Rel., vol. 42, no. 4–5, pp. 653–667, 2002.
- [39] J. M. Thébaud, E. Woïrgard, C. Zardini, and K. H. Sommer. *Extensive fatigue investigation of solder joints in IGBT high power modules*. Proc. Electron. Compon. Technol. Conf., 2000, pp. 1436–1442.
- [40] P. Ratchev, B. Vandeveldel, I. De Wolf, I. Center, and B. Leuven. *Reliability and failure analysis of Sn-Ag-Cu solder interconnections for PSGA packages on Ni/Au surface finish*. IEEE Trans. Device Mater. Rel., vol. 4, no. 1, pp. 5–10, Mar. 2004.
- [41] J. Lau. *Solder Joint Reliability: Theory and Applications*. 1st ed. Norwell, MA: Kluwer, 1991.
- [42] W. Koziarz and D. Gilmour. *Anomalous thermal conductivity in regions of non-uniform die attach integrity*. Proc. IEEE Int. Rel. Phys. Symp., pp. 107–111. 1995.
- [43] D. Katsis and J. van Wyk. *Void-induced thermal impedance in power semiconductor modules: Some transient temperature effects*. IEEE Trans. Ind. Appl., vol. 39, no. 5, pp. 1239–1246, Sep./Oct. 2003.
- [44] Katsis and van Wyk. *A thermal, mechanical, and electrical study of voiding in the solder die-attach of power MOSFETs*. IEEE Trans. Compon. Packag. Technol., vol. 29, no. 1, pp. 127–136, Mar. 2006.
- [45] I. Starkov. *Comprehensive Physical Modeling of Hot-Carrier Induced Degradation*. Tesis doctoral, Universidad Técnica de Viena Facultad de Ingeniería Eléctrica e Informática. Viena, Austria. 2013. (página web: <http://www.iue.tuwien.ac.at/phd/starkov/starkov.html>)
- [46] C. Hu, S. Tam, F. Hsu, P. Ko, T. Chan y K. W. Terrill. *Hot-Electron-Induced MOSFET Degradation: Model, Monitor and Improvement*. IEEE Transactions on Electron Devices, vol. 32, no. 2, pp. 375–385, February 1985.
- [47] M. Zoater, B. Beydoun, M. Hajjar, M. Debs y J. P. Charles. *Analysis and Simulation of Functional Stress Degradation on VDMOS power transistors*. Active and Passive Elec. Comp., 2002, Vol. 25, pp. 215–223. Taylor & Francis Group. 2001.

- [48] S.M. Sze. *Physics of Semiconductor Devices*. John Wiley & Sons. (1981)
- [49] E. A. Amerasekera, F. N. Najon. *Failure Mechanisms in semiconductor devices*. 2da edición. John Wiley & Sons. 1997
- [50] J. R. Black. *Mass transport of Al by momentum Exchange with conducting electrons*. Proc. 6th International Reliability Physics Symposium, pp.148-159 (1966).
- [51] T. McDonald, M. Soldano, A. Murray, T. Avram. *Power MOSFET Avalanche Design Guidelines*. Application Note AN-1005 IR HEXFET Power MOSFETs.
- [52] J. Dodge. Power MOSFET Tutorial Application note. Applications Engineering Manager, Advanced Power Technology. (2006)
- [53] J. R. Celaya, N. Patil, S. Saha, P. Wysocki, and K. Goebel. *Towards accelerated aging methodologies and health management of power mosfets*. Proc. Conf. Progn. Heal. Manag. Soc., 2009, pp. 1–8.
- [54] J. R. Celaya, A. Saxena, P. Wysocki, S. Saha, and K. Goebel. *Towards prognostics of power MOSFETs: accelerated aging and precursors of failure*. Proc. Conf. Progn. Heal. Manag. Soc., 2010, pp. 1–10.
- [55] J. R. Celaya, P. Wysocki, V. Vashchenko, S. Saha, and K. Goebel. *Accelerated aging system for prognostics of power semiconductor devices*. Proc. AUTOTESTCON, 2010, pp. 1–6.
- [56] J. R. Celaya, A. Saxena, S. Saha, and K. Goebel. *Prognostics of power mosfets under thermal stress accelerated aging using data-driven and model-based methodologies*. Proc. Annu. Conf. Progn. Heal. Manag. Soc., vol. 2, no. 9, 2011, pp. 1–10.
- [57] Qiuyang L., Guofu Z., and Shujuan W. *Reliability research on power MOSFET using coupled electrical-thermal-mechanical analysis*. Proc. IEEE Progn. Syst. Heal. Manag. Conf. IEEE, 2012, pp. 1-5.

- [58] P. Liu, J. Huang, Y. Lu, and L. Yang. *Reliability analysis of power MOSFET*. Proc. 15th Int. Conf. Electron. Packag. Technol. IEEE, 2014, pp. 912–916.
- [59] S. Dusmez and B. Akin. *Remaining useful lifetime estimation for degraded power MOSFETs under cyclic thermal stress*. Proc. Energy Convers. Congr. Expo. IEEE, 2015, pp. 3846–3851.
- [60] S. Dusmez, M. Heydarzadeh, M. Nourani, and B. Akin. *Remaining useful lifetime estimation for power MOSFETs under thermal stress with RANSAC outlier removal*. IEEE Transactions on Industrial Informatics, pp. 1-9. 2017.

Anexo 1: Hoja de datos del transistor de potencia IRFP350

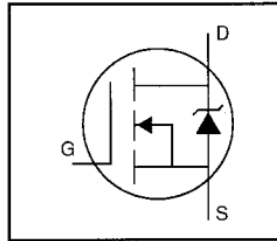


PD-9.445C

IRFP350

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- Isolated Central Mounting Hole
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements

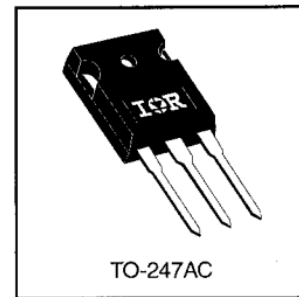


$V_{DSS} = 400V$
 $R_{DS(on)} = 0.30\Omega$
 $I_D = 16A$

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-247 package is preferred for commercial–industrial applications where higher power levels preclude the use of TO-220 devices. The TO-247 is similar but superior to the earlier TO-218 package because of its isolated mounting hole. It also provides greater creepage distance between pins to meet the requirements of most safety specifications.



DATA SHEETS

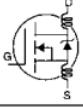
Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	16	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	10	
I_{DM}	Pulsed Drain Current ①	64	
$P_D @ T_C = 25^\circ C$	Power Dissipation	190	W
	Linear Derating Factor	1.5	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ②	390	mJ
I_{AR}	Avalanche Current ①	16	A
E_{AR}	Repetitive Avalanche Energy ①	19	mJ
dv/dt	Peak Diode Recovery dv/dt ③	4.0	V/ns
T_J	Operating Junction and Storage Temperature Range	-55 to +150	
T_{STG}			
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

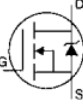
Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	0.65	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	40	

Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	400	—	—	V	$V_{GS}=0V, I_D=250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.51	—	$V/^\circ\text{C}$	Reference to $25^\circ\text{C}, I_D=1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.30	Ω	$V_{GS}=10V, I_D=9.6A$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS}=V_{GS}, I_D=250\mu A$
g_{fs}	Forward Transconductance	10	—	—	S	$V_{DS}=50V, I_D=9.6A$ ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS}=400V, V_{GS}=0V$
		—	—	250		$V_{DS}=320V, V_{GS}=0V, T_J=125^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS}=20V$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS}=-20V$
Q_g	Total Gate Charge	—	—	150	nC	$I_D=16A$
Q_{gs}	Gate-to-Source Charge	—	—	23		$V_{DS}=320V$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	80		$V_{GS}=10V$ See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	16	—		$V_{DD}=200V$
t_r	Rise Time	—	49	—	ns	$I_D=16A$
$t_{d(off)}$	Turn-Off Delay Time	—	87	—		$R_G=6.2\Omega$
t_f	Fall Time	—	47	—		$R_D=12\Omega$ See Figure 10 ④
L_D	Internal Drain Inductance	—	5.0	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact 
L_S	Internal Source Inductance	—	13	—		
C_{iss}	Input Capacitance	—	2600	—	pF	$V_{GS}=0V$
C_{oss}	Output Capacitance	—	660	—		$V_{DS}=25V$
C_{rss}	Reverse Transfer Capacitance	—	250	—		$f=1.0\text{MHz}$ See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	16	A	MOSFET symbol showing the integral reverse p-n junction diode. 
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	64		
V_{SD}	Diode Forward Voltage	—	—	1.6	V	$T_J=25^\circ\text{C}, I_S=16A, V_{GS}=0V$ ④
t_{rr}	Reverse Recovery Time	—	380	570	ns	$T_J=25^\circ\text{C}, I_F=16A$
Q_{rr}	Reverse Recovery Charge	—	4.7	7.1	μC	$di/dt=100A/\mu s$ ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)
- ② $V_{DD}=50V$, starting $T_J=25^\circ\text{C}$, $L=2.7\text{mH}$, $R_G=25\Omega$, $I_{AS}=16A$ (See Figure 12)
- ③ $I_{SD}\leq 16A$, $di/dt\leq 200A/\mu s$, $V_{DD}\leq V_{(BR)DSS}$, $T_J\leq 150^\circ\text{C}$
- ④ Pulse width $\leq 300\mu s$; duty cycle $\leq 2\%$.