

Propuesta de un método de test de mantenimiento para secciones analógicas configurables

Emanuel Dri⁽¹⁾, Gabriela Peretti^{(1),(2)}, Eduardo Romero^{(1),(2)}

(1) Grupo de Estudio en Calidad en Mecatrónica, Facultad Regional Villa María, Universidad Tecnológica Nacional, Villa María, Argentina - gecam@frvm.utn.edu.ar

(2) Grupo de Desarrollo Electrónico e Instrumental, Facultad de Matemática, Astronomía y Física, Universidad Nacional de Córdoba- gperetti@famaf.unc.edu.ar

Resumen. El presente trabajo explora la viabilidad de un test de mantenimiento de bajo costo para filtros implementados en las secciones analógicas configurables presentes en dispositivos PSoC1. Para el test se adapta el método basado en análisis de respuesta transitoria (TRAM), con el que se obtienen las principales especificaciones de los filtros en una implementación de tipo software-based test. Para la aplicación de TRAM se requiere de un análisis que establece los recursos internos necesarios para hacer llegar el estímulo al filtro y conducir su respuesta a un pin de salida, para todas las posibles ubicaciones de los filtros. El estímulo se genera internamente con los recursos disponibles en chip. La respuesta de test se analiza externamente con una computadora y un osciloscopio. Los resultados presentados están orientados a demostrar la factibilidad del método, debiendo considerarse como preliminares. Sin embargo, estos demuestran ser promisorios dadas las bajas dispersiones logradas en las mediciones experimentales.

Palabras clave: *Transient Response Analysis Method, second order filters, Mixed analog digital integrated circuits, Switched capacitor circuits, Software based test*

I. INTRODUCCIÓN

Las flexibilidades asociadas al hardware configurable permiten a los desarrolladores de circuitos reducir el tiempo de posicionamiento de sus productos en el mercado, ya que facilitan, en conjunto con las poderosas herramientas de desarrollo asociadas, el diseño y evaluación experimental de manera rápida. Algunos fabricantes de microcontroladores ofrecen plataformas que poseen un núcleo de procesamiento y, además de los usuales subsistemas digitales, circuitos analógicos configurables embebidos (EACC, *Embedded Analog Configurable Circuits*). Esto brinda la posibilidad de disponer, en un mismo lugar, de componentes flexibles que pueden brindar grandes facilidades al ingeniero de diseño. Sin embargo, también presenta enormes desafíos al ingeniero de test.

En este sentido, no existen soluciones generales para el test de circuitos analógicos [1]. En las mejores situaciones, se logran soluciones para tipos de circuitos (filtros, convertidores, etc.). El problema se profundiza cuando los circuitos analógicos a someter a test son configurables. Relativamente pocos trabajos han sido reportados en esta área.

En [2] y [3] se presenta una estrategia de test en línea para

arreglos lógicos programables (FPAA, *field programmable analog array*) basada en redundancia. En [4] se propone un método de test de fallas de enclavamiento para las interconexiones y entradas/salidas configurables de FPAA. En [5] se propone el método ACT (*Analog Configurability Test*), mediante el cual se ponen a prueba la conectividad y la configurabilidad de EACCs de tiempo continuo de un microcontrolador de señales mixtas bajo cada uno de los modos disponibles en este.

En [6] y [7], se configuran los EACCs de FPAA como filtros y se emplea sobre estas una estrategia basada en el método de análisis de respuesta transitoria (TRAM, *Transient Response Analysis Method*). El test se orienta a detectar fallas en las FPAA, siendo el enfoque de test orientado a detectar fallas en la estructura del circuito.

En [8] también se utiliza TRAM para obtener, mediante la medición de los parámetros de test, las especificaciones de filtros de segundo orden implementados en la FPAA ispac10. Se persigue establecer si es necesaria una reconfiguración, en el contexto de una estrategia de hardware evolutivo.

En el presente trabajo se aporta una solución al problema de test de mantenimiento en campo de sistemas basados en microcontroladores con EACCs. Para estos casos, el técnico de mantenimiento debe ser capaz de determinar el buen estado de los circuitos internos del chip. Dado que los filtros activos son intensamente utilizados en gran cantidad de aplicaciones, nuestros esfuerzos se focalizan en estos circuitos. En particular, se adopta el dispositivo PSoC1 de Cypress Semiconductor, que ofrece EACCs muy flexibles y se adopta TRAM como método de test funcional. Los resultados presentados están orientados a demostrar la factibilidad del método, debiendo considerarse como preliminares. Sin embargo, estos demuestran ser promisorios dadas las bajas dispersiones logradas en las mediciones experimentales.

II. FORMULACIÓN DEL PROBLEMA

La plataforma PSOC 1 puede utilizarse en una gran cantidad de aplicaciones, dada la flexibilidad de sus módulos configurables analógicos y digitales. Entre ellas, interesan aquellas en las cuales los dispositivos se encuentran dispuestos en campo, muchas veces en lugares remotos con escasa accesibilidad para las

tareas de mantenimiento. Bajo estas circunstancias, y detectado un mal funcionamiento del circuito, un técnico debe desplazarse con equipamiento limitado para subsanar el problema. Nuestra propuesta provee herramientas para facilitar esta tarea, brindando técnicas para acceder a los circuitos internos del procesador y determinar su buen funcionamiento. Nos hemos focalizado en filtros de capacidades conmutadas, dada su gran aplicabilidad a un sinnúmero de situaciones.

Nuestra técnica se basa en la capacidad de reconfiguración en campo del dispositivo, lo cual permite cambiar la función y conexionado de los recursos internos, facilitando la generación de estímulos de test y la conducción de las señales al mundo externo. Para determinar el buen estado del filtro bajo test, se debe reconfigurar el dispositivo y aplicar TRAM. Se utilizan recursos internos de procesador para la generación del estímulo, mientras que las señales son llevadas al exterior para su captura con un sistema de adquisición de datos y una computadora portátil. Dado que la reconfiguración del dispositivo se realiza por software, como así también todas las tareas relacionadas a la aplicación del método de test, el esquema puede inscribirse dentro de las técnicas denominadas software-based test.

La redundancia de recursos en PSoC posibilita que, ante la detección de una falla en el filtro, otros pueden ser utilizados para subsanar el problema mediante una reconfiguración.

La técnica presentada es potencialmente útil en sistemas en los cuales el PSoC puede estar embebido en circuitos más grandes, siendo inviable remover todo el sistema para brindar mantenimiento. En estos casos, una solución de reconfiguración rápida ante la detección de la falla puede brindar una solución temporaria hasta una parada programada de la planta.

III. SISTEMAS EN CHIP CONFIGURABLES PSoC1

La familia PSoC1 cuenta con un microcontrolador embebido de 8 bits, memorias flash y SRAM, recursos analógicos y digitales configurables agrupados en forma de bloques, y entradas/salidas globales configurables. Los bloques pueden acoplarse entre sí por medio de una red de interconexiones configurable [9]. El PSoC elegido como caso de estudio es el CY8C29466-PXI, mostrando la Fig.1 una esquematización de su arquitectura.

Los EACCs en PSoC1 pertenecen a dos categorías: de tiempo continuo (CT, *continuous time*) y de capacidades conmutadas (SC, *switched capacitor*). A su vez, los bloques SC se subdividen en dos tipos, C y D, los cuales se diferencian entre sí por la cantidad de elementos que los componen y las interconexiones posibles con otros bloques analógicos.

Los bloques analógicos pueden configurarse independientemente para implementar distintas funcionalidades, como amplificadores de ganancia programable, comparadores integradores, derivadores, o asociarse entre sí y con recursos digitales para implementar funcionalidades más complejas como conversores analógico - digital de hasta 14 bits, filtros analógicos, etc. [10]. La configuración de los bloques se realiza mediante la es-

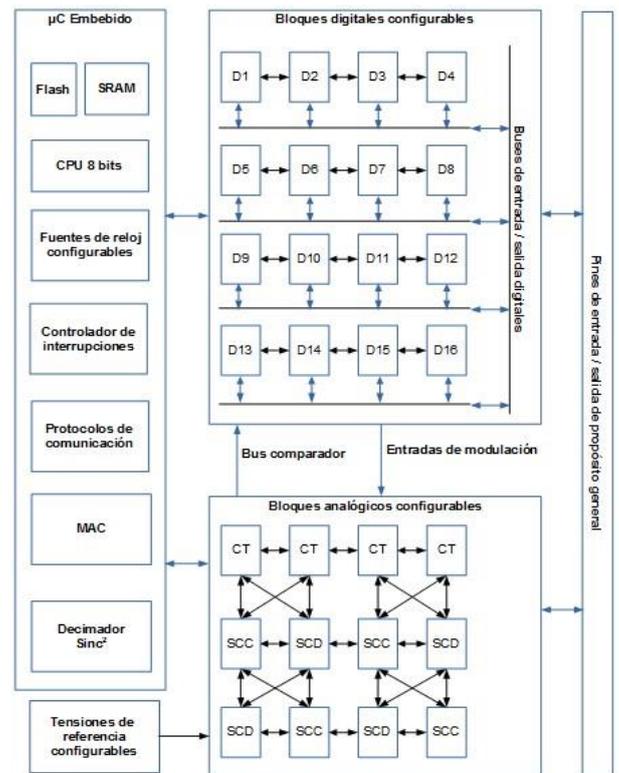


Figura 1. Arquitectura del PSoC1

critura de registros dedicados, esto permite realizar cambios dinámicos en línea. El fabricante facilita al usuario un entorno de desarrollo integrado por medio del cual las funcionalidades se pueden implementar como módulos que se sitúan sobre los recursos del chip a través de un asistente gráfico [11].

IV. APLICACIÓN DE TRAM

A. Consideraciones generales

TRAM es un método de test propuesto para filtros de segundo orden [12]. En él, se estimula al filtro con una entrada que provoca una respuesta transitoria sub-amortiguada. Se asume que una desviación de alguna de las características de la respuesta [13] (tiempo de pico, porcentaje de sobreimpulso, etc.) evidenciará la presencia de una falla. En función del tipo de filtro, se escoge el estímulo: escalón, rampa o parábola, para filtros pasabajos, pasabanda o pasaaltos respectivamente.

TRAM presenta sencillez conceptual, requiere de una generación de vectores de test relativamente simple y puede emplearse tanto bajo un enfoque funcional (determinación de especificaciones) o estructural (determinación de fallas en la estructura del filtro).

En este trabajo nos abocaremos a la determinación de las especificaciones del filtro a partir de su respuesta transitoria, que se esquematiza en la Fig. 2. En la misma se señalan el tiempo de pico T_p , el sobreimpulso OS y otras tensiones medidas durante el test (V_{in} , V_{fin} y V_{pico}).

La ecuación 1 ilustra la función de transferencia genérica de un filtro de segundo orden en función de sus

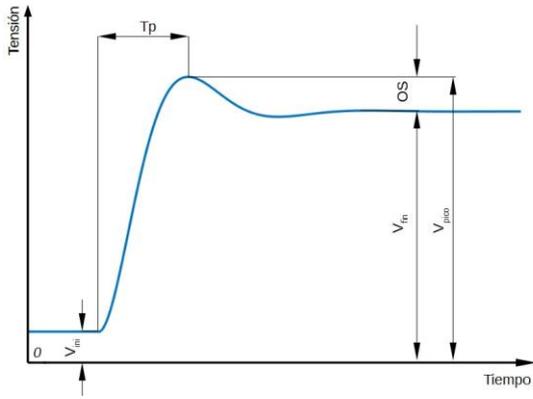


Figura 2. Parámetros de la respuesta temporal medidos

especificaciones: ganancia K, frecuencia de polo ω_p y factor de selectividad Qp.

$$H(s) = \frac{K \cdot \omega_p}{\omega_p^2 + s \cdot \frac{\omega_p}{Qp} + s^2} \quad (1)$$

A partir de las mediciones de las tensiones se pueden establecer OS y K:

$$OS\% = \frac{V_{pico} - V_{fin}}{V_{fin} - V_{inicial}} \times 100\% \quad (2)$$

$$K = \frac{V_{fin} - V_{ini}}{\text{Amplitud del escalón}} \quad (3)$$

En (3), el valor Amplitud del escalón corresponde al valor de tensión que se genera en la entrada en escalón del filtro, que depende de tensiones de referencias internas como se verá más adelante.

Las siguientes expresiones determinan ω_p y Qp:

$$Qp = \sqrt{\frac{\ln\left(\frac{OS\%}{100}\right)^2 + 1}{\pi}} \quad (4)$$

$$\omega_p = \frac{\pi}{Tp \cdot \sqrt{1 - \frac{1}{(2Qp)^2}}} \quad (5)$$

B. Circuitos Bajo Test

Los filtros bajo test implementados en las secciones de capacidades conmutadas de PSOC 1, responden al esquema de la Fig. 3.

En ella, las dos señales de reloj de muestreo no solapadas se señalan como ϕ_1 y ϕ_2 . Los capacitores del esquema, en PSOC son arreglos de capacitores configurables, cuya capacidad mínima es 70fF [14]. Los elementos C1 a C4 pueden adoptar valores discretos entre 0 y 31 el valor de capacidad mínima. Los capacitores CA y CB solo toman los valores 16 ó 32. Los símbolos de tierra corresponden a la referencia de tierra virtual configurable del sistema (AGND), que se establece en 2,5V para una tensión de alimentación de 5V.

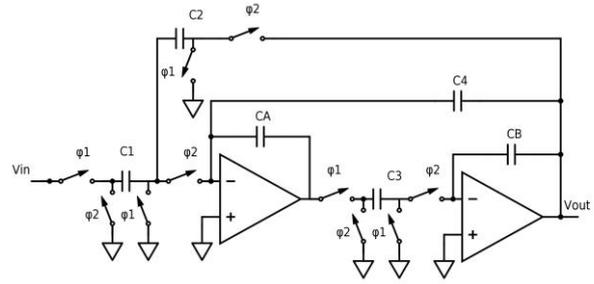


Figura 3. Esquema de filtro SC pasabajo de segundo orden

La ecuación 6 muestra la función de transferencia de tiempo discreto de los filtros bajo estudio en función del valor de sus parámetros de bajo nivel. Aplicando a (6) la transformación bilineal se obtiene su forma equivalente, mostrada en (7), en el dominio de Laplace, la cual es empleada por el fabricante para calcular las especificaciones [15].

$$H(z) = \frac{zC_1C_3}{z^2C_B C_A - 2zC_B C_A + zC_2C_3 + zC_4C_3 - C_4C_3 + C_B C_A} \quad (6)$$

$$H(s) = \frac{C_1}{C_2} \frac{-\left(1 - \left(\frac{s}{2f_s}\right)^2\right) f_s^2}{s^2 + \frac{C_4}{C_2} \frac{s f_s}{\left(\frac{C_A C_B}{C_2 C_3} \frac{1}{4} \frac{1}{2C_2}\right)} + \frac{f_s^2}{\left(\frac{C_A C_B}{C_2 C_3} \frac{1}{4} \frac{1}{2C_2}\right)}} \quad (7)$$

La implementación de los filtros tomados como casos de estudio requiere dos bloques SC de distinto tipo, uno tipo C para la entrada y otro tipo D para la salida.

Esta clase de filtros se subdividen en dos categorías, Tipo A y Tipo B, de acuerdo con el lugar donde internamente se asigna la entrada de señal y los caminos de realimentación empleados. A modo de ejemplo, la Fig. 4 detalla la implementación interna de un filtro horizontal tipo A. Las restantes configuraciones (no mostradas por motivos de espacio), si bien implementan el filtro

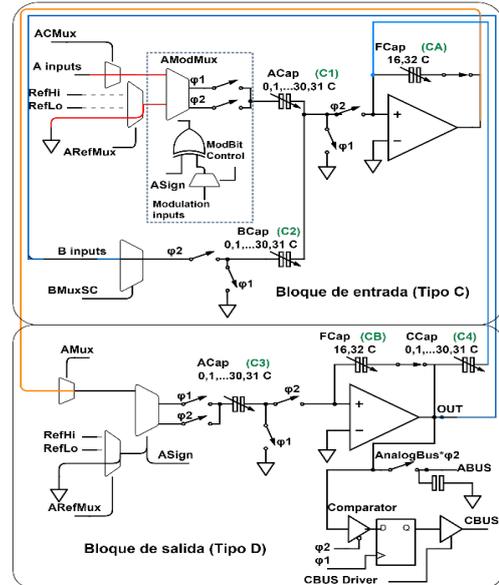


Figura 4. Implementación de los filtros horizontales tipo A

de la Fig. 3, difieren en la forma de utilizar los recursos y los caminos de conexión internos, razón por la cual a los efectos del test deben considerarse como circuitos distintos.

En la Fig. 4 se ha señalado entre paréntesis el nombre de los capacitores correspondientes a la Fig. 3. En líneas de colores se señalan las conexiones hechas por el IDE. La salida del circuito se señala en el nodo OUT.

Los filtros pueden situarse en distintas posiciones dentro del arreglo de bloques configurables. Desde el punto de vista del test, este aspecto impone limitaciones sobre la interconexión con otros elementos, el estímulo de entrada y la conducción de la respuesta a un pin de salida.

La Fig. 5 muestra las posibles ubicaciones para los filtros horizontales, señaladas como FH0, FH1, FH3 y FH4. A su vez, la Fig. 6 señala las de los verticales, como FV0, FV1, FV2 y FV4. En la anterior nomenclatura se sufixa el tipo de filtro como A y B, o bien si el filtro puede adoptar ambos tipos como A|B. Se debe puntualizar que en este trabajo se ha circunscripto el estudio a los filtros tipo A. Esta elección se fundamenta en las facilidades encontradas en esta topología para la implementación del generador de estímulos. El test de los filtros tipo B será objeto de futuras investigaciones.

C. Generación del estímulo de entrada

Los filtros tipo A, además de su entrada principal de señal analógica, poseen una entrada digital de modulación. Los recursos necesarios para lograr la modulación son señalados por un recuadro en línea de puntos en la Fig. 4. El efecto de esta entrada de modulación es la de multiplicar por 1 o -1 la ganancia de la primera etapa del filtro, lográndose de esta forma modular la entrada. Esto se logra cambiando la fase en la cual las señales provenientes de los multiplexores de entrada son ingresadas a la primera etapa del filtro. Mayores detalles sobre la entrada de modulación pueden encontrarse en [15] y [16].

La función de modulación fue aprovechada para la generación del estímulo de test, juntamente con la capacidad del bloque de entrada de seleccionar entre diversas señales de entrada. Si la entrada del filtro se conecta a una tensión de referencia fija (generada internamente) y posteriormente se cambia el estado de la señal de modulación, el efecto es multiplicar por -1 la señal de referencia. De esta forma, se logra el efecto equivalente a introducir un escalón al filtro.

La señal digital de control de modulación se obtiene de un módulo PWM implementado con recursos digitales configurables del chip. La entrada de señal analógica de los filtros se excita con una tensión continua de referencia interna configurable, denominada por el fabricante como RefHi, cuyo valor es 3,8V.

D. Conexión del estímulo y conducción de la respuesta a un pin

Como fue mencionado anteriormente, la ubicación de los filtros condiciona sus posibilidades de conexión con otros elementos. Esto hace necesario un análisis orientado a determinar los recursos para conducir la tensión de referencia hacia la entrada analógica del CUT y su respuesta de salida hacia un pin.

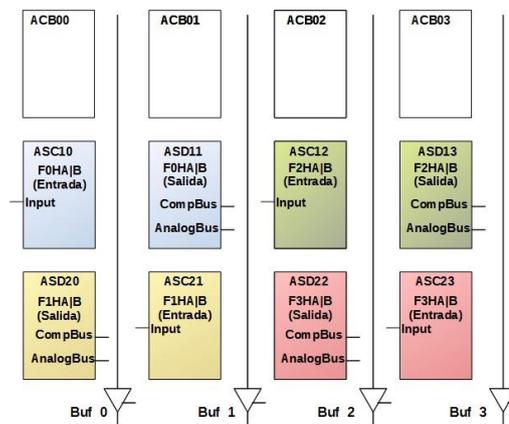


Figura 5. Filtros tipo pasabajos de segundo orden horizontales

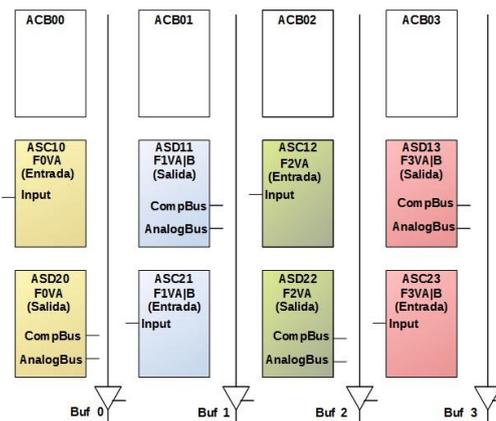


Figura 6. Filtros tipo pasabajos de segundo orden verticales

La Tabla I presenta los esquemas de conexiones propuestos, los cuales fueron empleados para probar todos los filtros tipo A de segundo orden posibles en el dispositivo adoptado como caso de estudio.

TABLA I. ESQUEMAS DE CONEXIONES EMPLEADOS PARA ESTIMULAR Y MEDIR LA RESPUESTA DE LOS FILTROS HORIZONTALES

Filtros Horizontales			
RefHi	RefHi	RefHi	RefHi
↓	↓	↓	↓
F0HA	F1HA	F2HA	F3HA
↓	↓	↓	↓
Buf1	Buf0	Buf3	Buf2

TABLA II. ESQUEMAS DE CONEXIONES EMPLEADOS PARA ESTIMULAR Y MEDIR LA RESPUESTA DE LOS FILTROS VERTICALES

Filtros Verticales			
PGA0	RefMux1	PGA3	PGA3
↓	↓	↓	↓
F0VA	F1VA	F2VA	F3VA
↓	↓	↓	↓
Buf0	AmpAux0	Buf2	AmpAux2
	↓		↓
	Buf0		Buf2

Las tablas I y II detallan los esquemas empleados para los filtros horizontales y verticales respectivamente. Dichas tablas deben leerse por columnas. En cada celda se señalan los recursos analógicos utilizados. Los filtros bajo evaluación se demarcan en amarillo. Las flechas indican el flujo de señal propuesto.

Los filtros horizontales pueden seleccionar directamente desde su entrada analógica a RefHi. Sin embargo, en los verticales fue necesario emplear recursos adicionales para tal fin. Buf 0 a 3 son búferes de salida ubicados en las columnas analógicas que comunican el filtro con un pin de salida.

PGA0 y PGA3 son amplificadores de ganancia programable [17] (*Programmable Gain Amplifier*), implementados sobre los bloques de tiempo continuo de las columnas 0 y 3 respectivamente, los cuales se configuraron con ganancia unitaria con la entrada conectada a RefHi. AmpAux0 y AmpAux2, son PGAs auxiliares que toman como entrada la salida del filtro y la sitúan sobre un bus de salida.

RefMux1 [18] es un módulo implementado sobre el bloque CT de la columna 1, que permite posicionar directamente en el bus de salida de la columna en la que se emplaza una de las tensiones de referencia internas del chip.

A modo de ejemplo, la Fig. 7 ilustra esquemas de la Tabla I, correspondientes a los filtros F1VA y F3HA. Desde la entrada analógica del filtro horizontal F3HA se seleccionó a RefHi, y se acopló la salida de este directamente con Buf2 por medio del bus de salida de la columna. Por otra parte, el test del filtro F1VA requiere de elementos auxiliares para conducir la tensión de referencia hacia este. Ello se logra por medio de RefMux1 ubicado en la columna 1 y su correspondiente bus de salida. La respuesta del filtro es conducida hacia el exterior por Buf0, mediante AmpAux0.

V. RESULTADOS EXPERIMENTALES

A. Caso de estudio adoptado

Se propone el filtro pasabajo, con las especificaciones dadas en la Tabla III.

TABLA III. ESPECIFICACIONES DE DISEÑO DEL FILTRO

Especificación	Valor
Frecuencia de corte (-3dB) [Hz]	2000Hz
Rizado en la banda de paso	1 dB
Ganancia (V/V)	1
Frecuencia de muestreo	200KHz

Los valores teóricos de las especificaciones, obtenidos de una simulación Simulink son los siguientes:

- ω_p : 12703,346
- K: 1
- Q_p : 0,984

B. Configuración de las mediciones

A fin de realizar una caracterización de la estrategia propuesta, por cada configuración de la Tabla I, se realizan 100 ensayos de medición automatizados empleando un osciloscopio

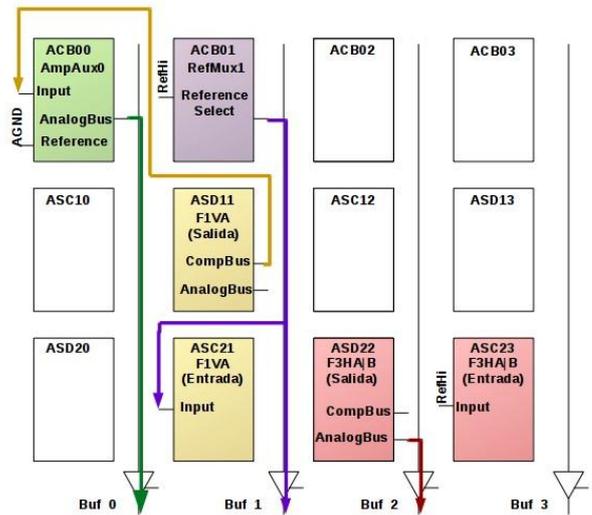


Figura 7. Esquemas de conexiones para testear los filtros F3HA y F1VA

de propósito general Tektronix 1001B y una computadora conectada a este por medio de su interfaz VISA.

Por cada ensayo se captura y analiza en el ordenador la forma de onda de test empleando un script en MatLab. A fin de minimizar la incertidumbre a causa del ruido presente en el dispositivo bajo test, se configuró el modo de adquisición del instrumento como promedio de 128 muestras. La Fig. 8 muestra una captura de pantalla de la forma de onda medida para el filtro FOHA.

A los efectos de facilitar las mediciones, se generó de forma periódica el estímulo escalón como una forma de onda cuadrada de frecuencia 7,3Hz.

A la forma de onda obtenida desde el osciloscopio se le aplicó un suavizado del tipo *smoothing spline*, mediante la aplicación *curve fitting* de MatLab. La curva de ajuste obtenida se empleó para calcular los atributos mostrados en la Fig. 2. V_{pico} se determinó como el valor máximo de la curva de ajuste, mientras que V_{fin} y V_{ini} a través de la función *step* de la clase *dsp.StateLevels* del paquete *Control System Toolbox* de MatLab, a la cual se pasó como parámetro la curva de ajuste. T_p se extrajo

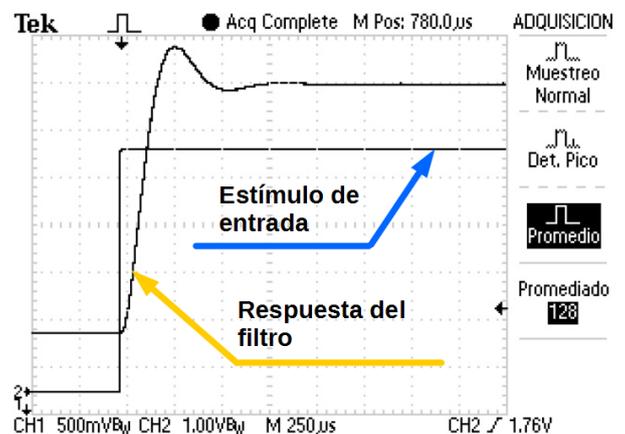


Figura 8. Medición experimental de la respuesta del filtro FOHA

mediante la función step de la clase dsp.TransitionMetrics del mismo paquete, a la cual se suministraron como parámetros la curva de ajuste, junto con los valores de las tensiones estacionarias obtenidas anteriormente.

C. Estadísticas de las especificaciones

Las tablas IV a VI muestran las estadísticas obtenidas para las tres especificaciones, K, ω_p y Q_p . Se desprende de estas tablas que las dispersiones, expresadas como rango/media son menores al 2%. Las dispersiones observadas experimentalmente se consideran bajas y compatibles con un test funcional en campo.

Por otro lado, si consideramos los valores obtenidos en Matlab para el filtro bajo estudio, el máximo error encontrado para todas las mediciones realizadas corresponde al 6,24% para la especificación K.

TABLA IV. ESTADÍSTICAS DE K

Filtro	Promedio	Mínimo	Máximo	Rango/Media
Filtros Horizontales				
F0HA	0,988	0,986	0,989	0,22%
F1HA	0,980	0,979	0,984	0,43%
F2HA	0,984	0,983	0,984	0,10%
F3HA	0,988	0,988	0,989	0,18%
Filtros Verticales				
F0VA	1,062	1,062	1,062	0,08%
F1VA	0,980	0,979	0,984	0,43%
F2VA	0,996	0,995	0,996	0,08%
F3VA	0,998	0,998	1,000	0,17%

TABLA V. ESTADÍSTICAS DE WP [RAD/S]

Filtro	Promedio	Mínimo	Máximo	Rango/Media
Filtros Horizontales				
F0HA	12810,809	12778,578	12831,766	0,42%
F1HA	12803,912	12772,261	12826,971	0,43%
F2HA	12820,767	12790,525	12840,696	0,39%
F3HA	12798,231	12778,532	12830,110	0,40%
Filtros Verticales				
F0VA	12940,241	12933,019	12984,428	0,40%
F1VA	12803,912	12772,261	12826,971	0,43%
F2VA	13199,984	13176,799	13230,006	0,40%
F3VA	12949,410	12906,974	13001,006	0,73%

TABLA VI. ESTADÍSTICAS DE QP

Filtro	Promedio	Mínimo	Máximo	Rango/Media
Filtros Horizontales				
F0HA	0,977	0,977	0,979	0,18%
F1HA	0,979	0,976	0,980	0,38%
F2HA	0,975	0,975	0,976	0,15%
F3HA	0,978	0,977	0,979	0,19%
Filtros Verticales				
F0VA	0,974	0,973	0,975	0,16%
F1VA	0,979	0,976	0,980	0,38%
F2VA	0,981	0,981	0,982	0,12%
F3VA	0,979	0,974	0,980	0,59%

CONCLUSIONES

En este trabajo exploramos la factibilidad del uso de TRAM

para realizar un test de mantenimiento en campo. Particularmente, abordamos filtros de segundo orden configurados en los EACCs del dispositivo PSOC1.

La generación de estímulos de test es realizada internamente aprovechando los recursos y capacidades re-configurables del dispositivo, eliminando de esta manera la necesidad de elementos externos dedicados a tal fin. Los elementos externos empleados para la labor de test, un osciloscopio de propósito general y una computadora portátil son comunes a cualquier empresa pequeña y a tareas de mantenimiento.

Los resultados experimentales corroboran la aplicabilidad del método, pudiéndose encontrar las especificaciones funcionales con baja dispersión y con errores relativamente bajos.

REFERENCIAS

- [1] B. Vinnakota, Analog and Mixed-Signal Test, 1st edition. Upper Saddle River, NJ: Prentice Hall PTR, 1998.
- [2] H. Wang, S. Kulkarni, y S. Tragoudas, «On-line testing field programmable analog array circuits», en 2004 International Conference on Test, 2004, pp. 1340-1348.
- [3] A. Laknaur y H. Wang, «A methodology to perform online self-testing for field-programmable analog array circuits», IEEE Trans. Instrum. Meas., vol. 54, n.o 5, pp. 1751-1760, oct. 2005.
- [4] M. Renovell, T. R. Balen, G. Pereira, M. Lubaszewski, A. A. Jr, y F. Aza?, «Testing the Interconnect Networks and I/O Resources of Field Programmable Analog Arrays», Los Alamitos, CA, USA, 2005, pp. 389-394.
- [5] A. Laprovitta, G. Peretti, E. Romero, y S. Mourad, «A low-cost configurability test strategy for an embedded analog circuit», Microelectron. J., vol. 43, n.o 11, pp. 745-755, nov. 2012.
- [6] T. R. Balen, J. V. Calvano, M. S. Lubaszewski, y M. Renovell, «Functional test of field programmable analog arrays», en 24th IEEE VLSI Test Symposium, 2006, p. 6 pp.-333.
- [7] T. R. Balen, J. V. Calvano, M. S. Lubaszewski, y M. Renovell, «Built-In Self-Test of Field Programmable Analog Arrays based on Transient Response Analysis», J. Electron. Test., vol. 23, n.o 6, pp. 497-512, dic. 2007.
- [8] M. A. Lovay, G. M. Peretti, y E. A. Romero, «Implementation of an Adaptive Filter using an Evolvable Hardware Strategy», IEEE Lat. Am. Trans., vol. 13, n.o 4, pp. 927-934, abr. 2015.
- [9] A. Doboli y E. H. Currie, Introduction to Mixed-Signal, Embedded Design, 2011 edition. New York: Springer, 2010.
- [10] R. Ashby, Designer's Guide to the Cypress PSoC. Newnes, 2005.
- [11] «PSOC® Programmable System-on-Chip Technical Reference Manual. Cypress Semiconductor», San Jose, CA.
- [12] J. V. Calvano, V. C. Alves, y M. Lubaszewski, «Fault detection methodology for second order filters using compact test vectors transient analysis», en Proceedings of the Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications (Cat. No.99EX303), 1999, pp. 18-24.
- [13] K. Ogata, Ingeniería de control moderna, 5ta edición. S.I.: PRENTICE HALL N, 1900.
- [14] «User Module Datasheet: Analog Switched Capacitor PSoC Block Datasheet SCBLOCK», V 2.4. Cypress Semiconductor, San Jose, CA.
- [15] «AN2168 - PSoC® 1 - Understanding Switched Capacitor Filters», *C. Cypress Semiconductor, San Jose, CA.
- [16] «User Module Datasheet: Two-Pole Low-Pass Filter Datasheet LPF2», V 4.10. Cypress Semiconductor, San Jose, CA.
- [17] «User Module Datasheet: Programmable Gain Amplifier Datasheet PGA», V 3.2. Cypress Semiconductor, San Jose, CA.
- [18] «User Module Datasheet: Reference Multiplexer Datasheet RefMux», V 1.3. Cypress Semiconductor, San Jose, CA.