



UNIVERSIDAD NACIONAL DE CÓRDOBA
FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y
NATURALES
CARRERA INGENIERÍA ELECTRÓNICA

PROYECTO INTEGRADOR PARA LA OBTENCIÓN DEL TÍTULO DE
GRADO DE INGENIERO ELECTRÓNICO

GENERACIÓN Y CALIBRACIÓN DE SEÑALES DE RELOJ PARA
CONVERSORES ANALÓGICO-DIGITAL DE TIEMPO
ENTRELAZADO

ALUMNO

GIUBILATTO, Juan Ignacio

DIRECTOR

Dr. Ing. HUEDA, Mario

CO-DIRECTOR

Dr. Ing. REYES, Benjamín

Córdoba, República Argentina
Agosto / 2018



UNIVERSIDAD NACIONAL DE CÓRDOBA
FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES
ESCUELA DE INGENIERÍA ELECTRÓNICA

El Tribunal Evaluador reunido en este acto y luego de haber aprobado la Solicitud de Aprobación de Tema y efectuado las distintas instancias de correcciones del Informe del Proyecto Integrador para la obtención del Título de Grado “Ingeniero Electrónico” y cumpliendo con el Reglamento correspondiente, declaran el Informe Final del estudiante **Giubilatto, Juan Ignacio** como “aceptado sin correcciones” y la defensa oral Aprobada. Por lo tanto, luego de haber tenido en cuenta los aspectos de evaluación que indica el Reglamento, el Proyecto Integrador se considera Aprobado.

Se firma el Acta de Examen correspondiente y se distribuyen los ejemplares impresos.

Firma y aclaración del Tribunal Evaluador

Fecha:



UNIVERSIDAD NACIONAL DE CÓRDOBA
FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES
ESCUELA DE INGENIERÍA ELECTRÓNICA

Quien suscribe el Profesor Hueda, Mario R. en su carácter de Director del Proyecto Integrador del Estudiante Giubilatto, Juan Ignacio, denominado: GENERACIÓN Y CALIBRACIÓN DE SEÑALES DE RELOJ PARA CONVERTORES ANALÓGICO-DIGITAL DE TIEMPO ENTRELAZADO, considera que el desarrollo del trabajo se ha completado según lo especificado en la Solicitud de Aprobación de Tema y se encuentra en condiciones de tramitar su defensa.

A los efectos de quién corresponda, en fecha/...../2018.

Firma y aclaración del Director

Para mi familia...

Agradecimientos

A mi madre, padre, hermana y toda mi familia por su apoyo incondicional a lo largo de todos estos años de estudio.

A mis Directores, Benjamín Reyes y Mario Hueda que sin el soporte, la confianza, la supervisión y el duro empeño este proyecto no hubiera sido posible.

A mis compañeros Álvaro Fernandez Bocco, Leandro Ariel Reyes por su aporte al Proyecto Integrador y el acompañamiento en los años de carrera.

A la Ing. Laura Biolato y los Ing. Agustín Galetto, Leandro Passetti y Fredy Solis por la constante capacitación y apoyo brindado a lo largo del proyecto.

A mis amigos, y aquellas personas que tuve el placer de conocer durante estos años de carrera.

A la Fundación Fulgor y Fundación Tarpuy, y a todo su personal, por las oportunidades y enseñanzas compartidas.

Finalmente, a la Facultad de Ciencias Exactas Físicas y Naturales de la Universidad Nacional Córdoba por la oportunidad de realizar esta carrera de grado.

Resumen

El auge de los sistemas de comunicaciones digitales demanda conversores analógico-digital (ADC) de muy alta velocidad que sólo pueden ser realizados con arquitecturas paralelas de conversores temporalmente entrelazados (TI-ADC). Un TI-ADC consiste en un arreglo de M ADCs en paralelo, coordinados por M fases de reloj. Como resultado, se obtiene una tasa de muestreo global (F_s) igual a M veces la tasa de muestreo individual de cada ADC. Debido a los desapareamientos entre los transistores dentro de los circuitos integrados, las fases de reloj del TI-ADC pueden mostrar desajustes entre ellas. Estos desajustes de muestreo provocan una notable reducción en el desempeño del conversor, sobre todo para señales de entrada de alta frecuencia. Los cuales pueden ser detectados y calibrados.

Este Proyecto Integrador presenta el diseño, implementación y verificación de los bloques encargados de la generación y calibración de las fases de muestreo de un TI-ADC. La técnica de detección de desajustes se realiza en el dominio digital mientras que para la calibración se implementan Celdas de Retardo programable sobre las fases de muestreo en el dominio analógico. Estos forman parte de un TI-ADC de 3,2 GS/s y 8 bits que implementa 4 canales temporalmente entrelazados y un total de 32 conversores de aproximaciones sucesivas asíncrono.

El chip se fabricó en una tecnología CMOS de $0,13\mu\text{m}$. Se realizaron las mediciones correspondientes al prototipo, demostrando una correcta operación según sus especificaciones de diseño. A partir de este conversor prototipo se desarrolló una plataforma de *hardware* y *software* dedicada que permitió emular un sistema de comunicaciones para la verificación del correcto funcionamiento del mismo.

Áreas Temáticas del Proyecto Integrador: Analógica, Digitales.

Asignaturas: Electrónica Analógica I, Electrónica Analógica II, Electrónica Digital I.

Palabras Claves: Conversor Analógico-Digital de Tiempo Entrelazado, Sincronismo, Muestreo, Calibración, Celdas de Retardo.

Abstract

The rise of digital communications systems demands very high-speed analog-to-digital converters (ADC) that can be only realized with parallel architectures like time-interleaved ADC (TI-ADC). A TI-ADC includes an array of M parallel ADCs that are managed by M clock phases. As a result, the overall sampling rate (F_s) is M times the rate of each individual ADC. Due to mismatch between transistors in integrated circuits, the channels of a TI-ADC may show differences in the timing of sampling phases. These sampling errors cause a reduction in the performance of the converter, especially for high-frequency input signals. These mismatches can be detected and calibrated.

This project presents the design, implementation and verification of the synchronism blocks in charge of generation and calibration of sampling phases in TI-ADC. The mismatch detection technique is performed in the digital domain, while for the calibration, programmable delay cells are implemented over the sampling phases in the analog domain. For this propose, a 3.2 GS/s and 8-bits TI-ADC was designed. This prototype consists of 4 interleaved channels and 32 asynchronous successive approximations registers ADC.

The chip was fabricated in a $0.13\mu\text{m}$ CMOS technology process. Measurements of prototype have demonstrated a correct operation according to its specifications. Then, based on the prototype TI-ADC and a dedicated platform, a communications system could be emulated for experimental verification of its operation.

Key Words: Time Interleaved Analog to Digital Converter, Synchronism, Delay Cell, Clock Signals, Sampling, Calibration.

Índice

Dedicatoria	VII
Agradecimientos	IX
Resumen	XI
Abstract	XIII
Lista de Tablas	XIX
Lista de Figuras	XXI
Lista de Acrónimos	XXV
1. Introducción	1
1.1. Motivación	2
1.2. Estado del Arte	5
1.3. Objetivos	6
1.3.1. Objetivo General	6
1.3.2. Objetivos Específicos	7
1.4. Organización del Informe	7
I Marco Teórico	9
2. Dispositivos Básicos	11
2.1. Transistor de Efecto de Campo Metal - Óxido - Semicon- ductor	11
2.1.1. Estructura	12
2.1.2. Funcionamiento	13
2.2. El Inversor CMOS	16
2.2.1. Umbral de conmutación	18

2.2.2.	Comportamiento Dinámico	18
2.2.3.	Consumo de potencia	19
2.3.	Triestados	20
2.3.1.	Tipos de Buffer Triestados	21
2.4.	Circuitos Secuenciales	21
2.4.1.	Latches y Registros	21
2.4.2.	Flip-Flop tipo D (DFF)	23
2.4.3.	Medidas de Temporización	24
2.5.	Conversión de Datos	24
2.5.1.	Llave MOSFET	25
2.5.2.	Reducción de Efectos	27
2.5.3.	Circuitos de Muestreo y Retención	28
3.	Conversores Analógico-Digital	29
3.1.	Conversores de Tiempo Entrelazado	31
4.	Error de Sincronización en Señales de Reloj	35
4.1.	Efecto del error de tiempo de muestreo	35
4.1.1.	Técnicas de Detección y Ajuste de Fases de Muestreo	37
4.2.	Calibración Analógica	38
II	Marco Metodológico	41
5.	Diseño	43
5.1.	Flujo de Diseño Analógico en Circuitos Integrados	43
5.1.1.	Procesos de Fabricación	45
5.2.	Muestreo Entrelazado de Señales Analógicas	45
5.3.	Sincronismo	47
5.3.1.	Generación y Calibración de Fases de Reloj	48
5.3.2.	Generador de Fases	49
5.3.3.	Generador de Pulsos de Sincronismo	50
5.4.	Celdas de Retardo Programable	52
5.4.1.	Simulaciones	56
5.4.2.	Implementación Física	59
5.5.	Elección de Arquitectura	63
5.6.	Descripción de la Arquitectura del Circuito Integrado	64
5.7.	Fabricación de Prototipo	65
5.7.1.	Verificación de Diseño	65
5.7.2.	Envío a Fabricación	66

6. Plataforma de Evaluación	71
6.1. Instrumentación	72
6.2. Placa de Circuito Impreso	72
6.3. Recepción de Datos de Alta Velocidad y Configuración en Lógica Programable	74
6.4. Interfaz Gráfica de Usuario	76
6.4.1. Funcionalidades	79
6.4.2. Pruebas y Mediciones	81
7. Mediciones y Resultados	83
7.1. TI-ADC	83
7.1.1. Calibración de Fases	84
7.1.2. Linealidad y Ruido	86
7.2. SAR	88
7.3. Potencia Consumida	90
8. Conclusiones	91
A. Errores y Factores de Mérito en ADCs	95
A.1. Fuentes de Error de Estado Estacionario, Parámetros Es- táticos	95
A.1.1. Resolución	96
A.1.2. Rango Dinámico	96
A.1.3. Error de Offset	96
A.1.4. Error de Ganancia	97
A.1.5. Error de No Linealidad Diferencial (DNL)	97
A.1.6. Error de No Linealidad Integral (INL)	98
A.1.7. Error de Exactitud	98
A.1.8. Códigos Ausentes	99
A.2. Parámetros Dinámicos en el Dominio de la Frecuencia	99
A.2.1. Relación Señal-Ruido y Distorsión (SNDR)	99
A.2.2. Número Efectivo de Bits (ENOB)	100
A.2.3. Rango Dinámico Libre de Espurios (SFDR)	100
A.2.4. Distorsión Armónica Total (THD)	101
A.3. Parámetros Dinámicos en el Dominio del Tiempo	101
A.3.1. Error de Apertura	101
A.3.2. Jitter de Apertura	102
A.3.3. Respuesta Transitoria	102
B. Esquemáticos de la Placa de Evaluación	103

C. Anexos del Proyecto Integrador	109
C.1. Solicitud de Aprobación de Tema	109

Lista de Tablas

2.1. Tablas de Verdad de <i>Buffers</i> Triestados.	21
4.1. Técnicas de Calibración de desajustes en TI-ADC.	37
5.1. Configuración de Triestados para obtener ajuste de retardo de 120 ps con capacidad.	57
5.2. Área utilizada por el Sincronismo.	61
5.3. Cuadro comparativo entre arquitecturas ADC.	63
7.1. Resultado de simulaciones de <i>Ring Oscillator</i>	83
7.2. Resultado de mediciones de <i>Ring Oscillator</i>	84
7.3. Mediciones de potencia consumida.	90

Lista de Figuras

1.1. Flujo de señales en sistemas de la actualidad.	3
2.1. Símbolos MOSFET.	11
2.2. Estructura MOS canal n	12
2.3. NMOS en sustrato P y PMOS en <i>n-well</i>	13
2.4. Encendido MOS.	13
2.5. Zonas de funcionamiento.	14
2.6. MOS Triodo Profundo.	15
2.7. Fenómeno de <i>pinch off</i>	15
2.8. Esquemático Inversor CMOS.	16
2.9. Función de Transferencia Inversor CMOS. Los modos de los transistores son off (apagado), tri (triado) o sat (saturado).	17
2.10. Capacidades parásitas que influyen en el comportamiento transitorio.	18
2.11. Tipos de <i>Buffer</i> Triestados.	21
2.12. Temporización de Latches positivos y negativos.	22
2.13. Latches positivos y negativos basados en MUX.	22
2.14. Latch positivo a nivel transistor.	23
2.15. Flip Flop tipo D Maestro-Esclavo.	23
2.16. Parámetros de temporización para registros.	24
2.17. Muestreo ideal de Señal Analógica.	25
2.18. Metal-Óxido-Semiconductor (MOS) como llaves.	25
2.19. Configuración de llave NMOS para mostrar efecto de inyección de cargas.	26
2.20. Ilustración de capacidad de <i>feedthrough</i>	27
2.21. Llave <i>dummy</i> utilizada para minimizar efectos.	27
2.22. Circuito básico de muestreo.	28
2.23. Salida Circuito de <i>Track-and-Hold</i>	28
3.1. Función de transferencia para un ADC ideal y error de cuantificación.	30

3.2.	En rojo: Señal de entrada, en verde: Salida del ADC, en azul: Error de cuantificación del ADC.	30
3.3.	Función de densidad de probabilidad de los valores del error de cuantificación.	30
3.4.	Técnica de entrelazado temporal.	32
4.1.	Impacto de la frecuencia de entrada en el jitter de Reloj.	36
4.2.	Degradación de la SNR en función de la frecuencia de entrada debido al <i>jitter</i>	36
4.3.	Error de <i>Timing</i> en la etapa de Muestreo.	39
4.4.	Calibración de <i>Timing</i> con Retardos Programables. . . .	40
5.1.	Flujo de diseño analógico en circuitos integrados.	44
5.2.	Arquitectura de muestreo.	46
5.3.	Fases de muestreo.	47
5.4.	Diagrama en Bloques de la generación del sincronismo completo.	48
5.5.	Generación 4 fases de 800 MHz	49
5.6.	Señales de salida del circuito Generador de Fases.	50
5.7.	Generación de pulsos.	50
5.8.	Pulsos generados.	51
5.9.	Obtención de los cuatro pulsos de sincronismo para las columnas SAR	51
5.10.	Generación de pulsos	52
5.11.	Celdas de Retardo Programable.	53
5.12.	Arquitectura de configuración para los registros.	54
5.13.	Celda de control unitaria.	55
5.14.	Disposición de la configuración de las Celdas de Retardo.	55
5.15.	Efecto producido por las Celdas de Retardo.	56
5.16.	Retardos producidos por las celdas en función de la configuración de Triestados.	57
5.17.	Diagrama Ojo para configuración lenta en corner SS. . .	58
5.18.	Diferencia de tiempo entre fases previo y posterior a las Celdas de Retardo.	58
5.19.	<i>Layout</i> Bloque Global de Celdas de Retardo.	59
5.20.	<i>Layout</i> del banco de capacitores.	60
5.21.	Capacitor Unitario.	60
5.22.	<i>Layout</i> del blindaje entre señales de reloj y pulso.	61
5.23.	<i>Layout</i> Sincronismo.	62
5.24.	Limites de resolución y frecuencia en 130 nm.	63

5.25.	Diagrama en bloques de la arquitectura implementada.	64
5.26.	Máscaras de <i>layout</i> del diseño completo del prototipo fabricado.	66
5.27.	Fotografía en microscopio de la pastilla de silicio (<i>die</i>). Tamaño total : 2mm x 2mm. Fotografía tomada en LAMARX-FAMAF-UNC.	67
5.28.	Fotografía en microscopio del <i>Bonding Pad</i> . Tamaño total : 7mm x 7mm. Fotografía tomada en LAMARX-FAMAF-UNC.	68
5.29.	Pines de salida del encapsulado del chip. Encapsulado QFN-64.	69
6.1.	Composición de la plataforma de evaluación.	71
6.2.	PCB para mediciones del Chip.	73
6.3.	Fotografía de PCB para el chip prototipo de TI-ADC.	74
6.4.	Diagrama en Bloques de la plataforma.	75
6.5.	Fotografía de la plataforma de <i>hardware</i> para mediciones. Placa ADC (derecha) conectada a la placa FPGA (centro) para captura de las señales digitalizadas. Además, una placa DAC para emulación (izquierda) no utilizada en estas mediciones.	76
6.6.	Vista general de la GUI desarrollada.	78
6.7.	<i>Frame</i> a recibir por la GUI mediante TCP.	81
6.8.	Captura de las señales medidas en la interfaz de control.	81
7.1.	Diferencia de tiempos entre fases 0 y 2.	84
7.2.	Evolución del error de fase y el ENOB durante la calibración.	85
7.3.	Efecto de la calibración de fases en la FFT.	86
7.4.	Mediciones de linealidad y ruido en el conversor entrelazado.	87
7.5.	jitter.	87
7.6.	SFDR en el TI-ADC.	88
7.7.	Mediciones de linealidad y ruido en el SAR [0,0].	88
7.8.	Medición de DNL e INL para el SAR 0 Phase 0, $F_s = 3,2 \text{ GS/s}$, $F_{in} = 1,4 \text{ MHz}$	89
7.9.	Señal de entrada y convertida por el Conversor diseñado y fabricado.	89
8.1.	Limites de resolución y frecuencia en 130nm . Resultados alcanzados.	92
A.1.	Error de <i>offset</i>	96

A.2. Error de Ganancia.	97
A.3. Error de DNL.	98
A.4. Error de INL.	98
A.5. Error de Total.	99
A.6. SFDR en una FFT.	101
A.7. Error de Apertura.	102
C.1. Esquemático General	114
C.2. Esquemático Sincronismo	116

Lista de Acrónimos

- ADC** Conversor Analógico Digital
- A-SAR** Registro de Aproximaciones Sucesivas Asíncrono
- BJT** Transistor Bipolar de Juntura
- CAD** Diseño Asistido por Computadora
- CMOS** MOS Complementario
- DAC** Conversor Digital Analógico
- DC** Corriente Continua
- DDF** Flip-Flop tipo D
- DNL** No Linealidad Diferencial
- DoE** Diseño de Experimentos
- DRAM** Memoria Dinámica de Acceso Aleatorio
- DSO** Osciloscopio de Almacenamiento Digital
- DSP** Procesamiento Digital de Señales
- DUT** Dispositivo Bajo Prueba
- ENOB** Número Efectivo de Bits
- FFT** Transformada Rápida de Fourier
- FPGA** Arreglo de Compuertas Programables en Campo
- FTDI** Future Technology Devices International
- FSM** Máquina de Estado Finito
- GUI** Interfaz Gráfica de Usuario
- Hi-Z** Alta Impedancia

IDE	Entorno de Desarrollo Integrado
INL	No Linealidad Integral
LMS	Cuadrado Mínimo
LSB	Bit Menos Significativo
LVDS	Señalización Diferencial de Baja Tensión
MIM	Metal Aislante Metal
MOS	Metal-Óxido-Semiconductor
MOSFET	Transistor de Efecto de Campo Metal-Óxido-Semiconductor
MSB	Bit Más Significativo
MUX	Multiplexor
NMOS	MOS tipo N
PC	Computadora Personal
PCB	Placa de Circuito Impreso
PMOS	MOS tipo P
RF	Radio Frecuencia
RTOS	Sistema Operativo de Tiempo Real
SAR	Registro de Aproximaciones Sucesivas
S-SAR	Registro de Aproximaciones Sucesivas Síncrono
SDR	Relación Señal a Distorsión
SFDR	Rango Dinámico Libre de Espurios
SH	Muestreo y Retención
SNDR	Relación Señal-Ruido y Distorsión
SNR	Relación Señal Ruido
TCP	Protocolo de Control de Transmisión
TG	Puerta de Transmisión

TH Seguimiento y Retención

THD Distorsión Armónica Total

TI-ADC Conversor Analógico Digital de Tiempo Entrelazado

TTL Lógica Transistor-Transistor

TX Transmisor

USB Puerto Serial Universal

VLSI Integración a Muy Gran Escala

XML Lenguaje de Mercado Extensible

Capítulo 1

Introducción

En el campo de los circuitos integrados, dos tecnologías prevalecieron que son las del Transistor Bipolar de Juntura (*Bipolar Junction Transistor*, BJT) y Transistor de Efecto de Campo Metal - Óxido - Semiconductor (*Metal-Oxide-Semiconductor Field Effect Transistor*, MOSFET), a menudo llamada solamente MOS. De estas, la dominante en los circuitos integrados de silicio fue la bipolar durante muchos años, argumentado en los amplificadores operacionales monolíticos y en la familia Lógica Transistor-Transistor (*Transistor-Transistor Logic*, TTL). A partir de los años 70, la tecnología MOS demostró viabilidad en la construcción de Memorias Dinámicas de acceso aleatorio (*Dynamic Random Access Memory*, DRAM), microprocesadores y la familia lógica de la serie 4000. Ya para finales de esa década, sabiendo la necesidad de obtener densidades mayores, la tecnología MOS fue el vehículo para lograr el crecimiento en el área de los Circuitos Digitales de muy gran escala de integración (*Very Large Scale Integration*, VLSI). En simultáneo, distintas organizaciones se inclinaron por realizar diseños de circuitos analógicos empleando transistores MOS de canal N (NMOS)¹.

Desde ese entonces, la tecnología que domina el mundo VLSI digital y de señal mixta² es la tecnología MOS Complementaria (*Complementary MOS*, CMOS). La cual implementa dos tipos de transistores MOSFET (denominados de canal N y P), que se complementan mutuamente y pueden operar con muy bajo consumo estático. La evolución en la integración de dispositivos CMOS ocurrió de manera veloz e impulsó el desarrollo de múltiples dispositivos, desde las primeras calculadoras hasta los diferentes procesadores de computadora. Esta tecnología sigue la

¹La tecnología NMOS fue la primer elección de la mayoría de los diseñadores tanto analógicos como digitales.

²El término “señal mixta” es utilizado en electrónica para describir circuitos que contienen secciones de procesamiento tanto en el dominio analógico como en el digital.

“Ley de Moore”, que no responde a ninguna ley física sino a la tecnología y al mercado, duplicando su capacidad de integración cada dos años. Al poder generar lógica digital de muy bajo consumo con una gran capacidad de procesamiento derivó en la necesidad de interactuar con el mundo analógico en forma eficiente a través de un Conversor Analógico Digital (*Analog to Digital Converter*, ADC) y un Conversor Digital Analógico (*Digital to Analog Converter*, DAC). Aquí es cuando nace el Procesamiento Digital de Señales (*Digital Signal Processing*, DSP) y una gran cantidad de algoritmos que permiten obtener resultados que hasta el momento eran imposibles de implementar o requerían de complejos circuitos electrónicos analógicos.

La manera de comunicar los mundos digital y analógico presenta nuevos desafíos en el diseño e implementación de conversores A/D con arquitecturas paralelas. La utilización de estas arquitecturas requiere de un preciso sincronismo entre las llaves de muestreo que trabajen en el conversor. Generando las fases que comandan las diferentes llaves y aplicando sobre ellas ajustes de calibración es como alcanzamos el sincronismo necesario.

En este informe se presenta el trabajo realizado para el diseño e implementación de los circuitos de generación y calibración de las fases de muestreo para un ADC de Tiempo Entrelazado. El proyecto se complementa con el trabajo de los alumnos Leandro Ariel Reyes y Álvaro Fernández Bocco. Se implementó en conjunto un circuito ADC paralelo que fue integrado utilizando tecnología CMOS, con aplicaciones en comunicaciones digitales de alta velocidad (fibra óptica, módems, etc.) basadas en DSP. Para lograrlo fue necesario adquirir conocimientos en el área de la microelectrónica, flujos de diseño, topologías de circuitos, tecnologías de fabricación, entre otros.

El proyecto se enmarca en el trabajo de investigación postdoctoral del Dr. Benjamín Reyes (CONICET - LCD - FCEFyN - UNC) y del investigador Dr. Mario Hueda (CONICET - LCD - FCEFyN - UNC) junto al Grupo de Diseño Analógico de la Fundación Fulgor. Para llevar a cabo este trabajo dicha Fundación otorgó becas de formación de grado a los integrantes del Grupo para brindar el soporte necesario.

1.1. Motivación

Para la interacción con el mundo real, dado que es y seguirá siendo analógico, uno de los componentes claves han sido los ADCs. Sea cual-

quier lugar en el que se tomen fotografías, se navegue por Internet, se realice una llamada, etc., estamos en presencia de infinitas conversiones de señales entre los dominios analógico y digital. Si realizamos una comparativa con su contraparte analógica, los circuitos digitales exhiben menos sensibilidad al ruido y más robustez frente a las variaciones de en la alimentación y procesos de fabricación, lo que permite mayor automatización en los diseños y más facilidad en la programabilidad de pruebas sobre ellos. Los avances constantes en la tecnología de circuitos integrado lograron alcanzar mejoras en su desempeño, haciendo que los circuitos y procesadores digitales estén presentes en todos los aspectos de nuestras vidas. Puntualmente, las propiedades de escalamiento de los procesos VLSI permitieron a cada nueva generación alcanzar velocidades más altas, más funcionalidades por chip y menor disipación de potencia o menor costo. Además, estas tendencias se vieron favorecidas por las innovaciones en los circuitos y arquitecturas como también la evolución y síntesis de las herramientas de Diseño Asistido por Computadora (*Computer Aided Design*, CAD).

La tecnología DSP permite obtener las señales capturadas por los ADC y sintetizar los resultados a través de un DAC. El nacimiento de las comunicaciones digitales se posibilitó a partir de este proceso de captura de señales analógicas, procesamiento digital y generación de señales. La arquitectura de procesador digital de señales y conversores mostrada en la Fig. 1.1 es la que rige en la mayoría de las comunicaciones hoy en día. Por ejemplo, la transmisión-recepción de datos por cables de teléfono fue una de las primeras en implementar el uso de DSP para optimizar la velocidad y distancia de los enlaces [?, ?]. Luego siguieron los enlaces inalámbricos, y más recientemente, las comunicaciones por fibra óptica, que están adoptando sistemas de comunicación basados en DSP para llevar la capacidad de transmisión más allá de los límites iniciales de la fibra óptica como medio de transmisión[?, ?].

Como ya se mencionó, todo sistema DSP requiere un ADC que le

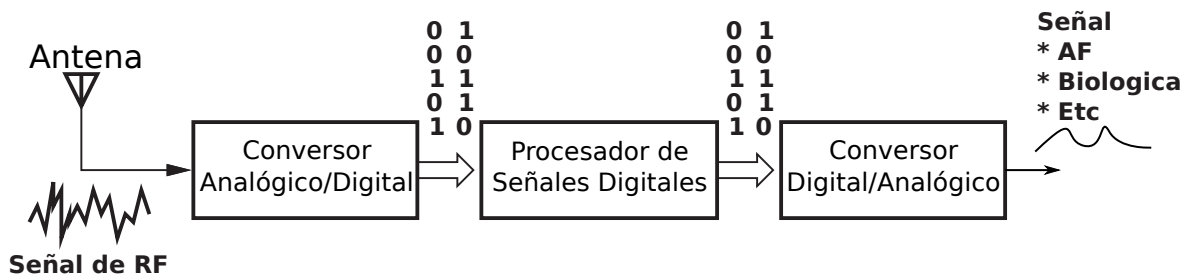


Figura 1.1: Flujo de señales en sistemas de la actualidad.

permita recibir la señal analógica a procesar. Se pueden distinguir tres características principales para evaluar y categorizar los ADCs: su velocidad, resolución y consumo de energía. La investigación en el campo de los ADCs se vio impulsada por las nuevas aplicaciones que requieren mayores velocidades y resoluciones ya que la tendencia es realizar más operaciones en el dominio digital. Como ejemplo pueden mencionarse los circuitos receptores de TV digital por muestreo directo[?] que deben muestrear más de 16 canales ubicados en la banda de TV (48 MHz - 1002 MHz). En otras aplicaciones, el uso de recursos recientemente desarrollados imponen mayores exigencias a los ADC. Un ejemplo típico es la comunicación *WiGig* (60 GHz), que permite a los dispositivos comunicarse sin cables a velocidades multi-gigabit[?]. Estos tipos de aplicaciones requieren ADCs con frecuencias de muestreo de alrededor de 2,5 GHz y resoluciones de 8 bits efectivos. Podemos hallar de estos conversores en las comunicaciones mediante canales de cobre, como es el caso de la transmisión y recuperación de bits en los conectores *backplane*³. Si hablamos de velocidad, el diseño también puede encontrar su lugar en las redes móviles actuales de 4ta y 5ta generación (conocidas como 4G y 5G)[?, ?].

Los ADC de altas velocidades son de especial interés en comunicaciones ópticas coherentes, las cuales se emplean en enlaces desde algunos pocos hasta miles⁴ de kilómetros. Un ejemplo se muestra en [?], en donde un sistema receptor a $T/2$ a 100 Gb/s con modulación en polarización y en fase con constelación QPSK (Dual-Polarization Quadrature Phase-Shift Keying (DP-QPSK)) necesita implementar un ADC de al menos 6 bits de resolución y una frecuencia de muestreo de 60GHz.

Generalmente, el diseño analógico se realiza específicamente para cada aplicación sin permitir un escalado directo a otras aplicaciones ni tecnologías. En cambio, los sistemas digitales la mayoría de la veces resultan muy flexibles y por ello (entre otras cosas) reemplazan a los sistemas analógicos. A pesar de esto, los conversores A/D y D/A no pueden ser resumidos en circuitos netamente digitales y por lo tanto resultan indispensables para cualquier sistema de comunicaciones digitales. Esto genera permanentemente la necesidad de innovar en nuevos diseños de circuitos para su adaptación a las nuevas tecnologías CMOS. Es por ello

³El sistema backplane es un conjunto de conectores eléctricos en paralelo, tal que cada pin en uno se encuentre conectado al mismo en los demás conectores formando un bus, se emplea para interconectar varios PCB en sistemas de computadoras.

⁴En telecomunicaciones este tipo de enlace se denomina *long-haul* y abarca distancias interestatales e internacionales.

que el presente trabajo, si bien se implementa en una tecnología que aleja de la actual, permite evaluar circuitos que puede ser llevados a los más modernos procesos de fabricación.

1.2. Estado del Arte

Se introdujo el ADC de Tiempo Entrelazado (*Time Interleaved Analog to Digital Converter*, TI-ADC) con la intención de reducir el tamaño de los circuitos y relajar los requerimientos de los procesos de fabricación [?]. Sin embargo, recientemente los TI-ADCs han sido usados para alcanzar frecuencias de muestreo extremadamente altas las cuales no pueden ser obtenidas con otras arquitecturas de ADC. En [?] se presenta un arreglo de 80 ADC *pipeline* en modo corriente que alcanza 20 GS/s para usarse en osciloscopios. En [?] se intercalaron 160 ADC de Registro de Aproximaciones Sucesivas (*Successive Approximation Register*, SAR) de 6 bits para obtener 40 GS/s que pueden ser usados en comunicaciones ópticas. El entrelazado de 8 ADC tipo *flash* se usó en [?] para lograr 5 bits de resolución y 12 GS/s para aplicarse en enlaces seriales ecualizados digitalmente. El potencial de los TI-ADC fue demostrado por Louwsma y otros en [?], donde se obtuvo una velocidad de 1,35 GS/s con una resolución efectiva⁵ de 7,7 bits. Un cuidadoso *layout*⁶ y la reducción de las distancias entre el reloj principal y las llaves de muestreo fueron empleadas para obtener suficiente precisión en la sincronización de los procesos. El entrelazado de 64 ADC SAR fue usado en [?] para superar los 8 bits de resolución efectivos a una frecuencia de 2,5 GS/s. Esto se alcanzó agrupando los ADC se agruparon en 4 canales, sin embargo, la gran área usada en esta solución conllevó un gran consumo, evidenciado en los 480 mW reportados.

El ADC individual descrito en [?, ?] emplea entrelazamiento temporal de dos canales para obtener una velocidad de muestreo de 3 GS/s con una resolución efectiva de 9 y, a frecuencia Nyquist, de 8 bits. Estos ADC usan una única fuente de 1,9 V y típicamente consumen 3,14 W de potencia. Un proceso avanzado hecho en Silicio-Germanio (SiGe) se usa para diseñar un ADC de 8 bits y 2,2 GS/s [?], este conversor logra una resolución efectiva de 6,9 bits en la frecuencia de Nyquist y consume 6,8 W.

⁵La *resolución efectiva* es una medida típica de los ADCs que especifica la resolución del circuito en cuestión teniendo en cuenta las no-idealidades presentes en él.

⁶Se denomina *layout* a la disposición física del diseño. Contiene la imagen geométrica de los dispositivos y las interconexiones.

La generación de fases de muestreo y la calibración/compensación de las mismas en TI-ADCs presentan terreno fértil para la investigación y el desarrollo de técnicas de diseño de *circuitos analógicos asistidos digitalmente*. En receptores ópticos basados en DSP, los ADCs allí inmersos deben alcanzar una muy elevada velocidad de muestreo, y para lograrlo, se recurre a la implementación de arquitecturas en paralelo cuyo sincronismo debe ser considerablemente preciso.

Estos conversores se implementan con transistores MOS de dimensiones mínimas ya que de ese modo se alcanzan mayores velocidades. Un problema que surge es el desapareamiento entre transistores, que es inversamente proporcional a la raíz cuadrada del área [?]. Entonces, a menor área de silicio, mayor velocidad y mayor desapareamiento entre los circuitos. La calibración de los conversores en estos receptores digitales resulta imprescindible, necesitando optimizar las técnicas de diseño en los circuitos de ajuste para alcanzar sistemas robustos y de bajo impacto en consumo, área y complejidad.

El proyecto continua la línea de investigación del TI-ADC de 8 bits de resolución y 3,2 GS/s fabricado a fines de 2016 que presentó la mayor tasa de muestreo dentro de lo publicado hasta el momento para esta topología en la tecnología 130 nm [?].

1.3. Objetivos

El circuito integrado desarrollado por el grupo tiene como finalidad la investigación de técnicas (circuitos y algoritmos) de calibración en conversores A/D temporalmente entrelazados. La posibilidad de configurar diferentes características en este tipo de circuitos es indispensable dado que permite que el dispositivo se adapte a diferentes entornos. En el caso particular de este proyecto se brinda la posibilidad de calibrar el error de *mismatch* de tiempo entre las señales de muestreo que debe cumplir ciertas condiciones para asegurar el mejor desempeño especialmente a altas velocidades de conversión. El proyecto consiste en el **diseño y fabricación** de un circuito Conversor Analógico Digital de Tiempo Entrelazado de **8 bits de resolución** y una **tasa de muestreo de 3,2 GS/s**.

1.3.1. Objetivo General

Teniendo en cuenta lo antes mencionado y que el proyecto integrador formó parte de un trabajo grupal, se expresa el siguiente objetivo general

del presente:

"Diseñar, implementar y medir la generación y calibración de señales de reloj necesarias para el correcto funcionamiento de un conversor analógico-digital de tiempo entrelazado. Además se incluye el diseño e implementación de hardware y software de la plataforma de mediciones y evaluación del chip prototipo".

1.3.2. Objetivos Específicos

Para lograr el objetivo general se fijaron los siguientes objetivos específicos:

- Estudiar y ejercitar sobre tecnología CMOS, aplicación en micro-electrónica y software de desarrollo.
- Diseñar, simular e integrar bloques esquemáticos.
- Diseñar, simular e integrar bloques físicos (*Layout*).
- Gestionar fabricación del prototipo.
- Diseñar e implementar plataforma de medición.
- Medir dispositivo fabricado.

1.4. Organización del Informe

El informe está estructurado de la siguiente manera:

- En el Capítulo 2 se describe la estructura básica y funcionalidad del MOSFET para poder describir los componentes principales del proyecto. Se muestra el comportamiento teórico de los bloques fundamentales utilizados para la generación y calibración de señales de reloj en TI-ADC.
- El Capítulo 3 se presentan los conceptos básicos de los conversores A/D. Se muestran las ventajas de utilizar arquitecturas paralelas para la obtención de grandes velocidades de trabajo, en especial las de tiempo entrelazado.
- Continuando con conversores entrelazados temporalmente, el Capítulo 4 presenta los problemas que sufren con respecto a los errores en los tiempos de muestreo, las diferentes técnicas de detección y ajuste y la calibración empleada, eje central del proyecto.

- El Capítulo 5 se centra en el diseño de los bloques necesarios para generar y calibrar señales de reloj en un chip TI-ADC, componente central del proyecto. Se fundamenta la selección de la arquitectura implementada, presentando simulaciones que permitan verificar el correcto funcionamiento de todos los bloques. La parte final de este capítulo muestra las máscaras de *layout* del circuito fabricado.
- En el Capítulo 6 se describe la plataforma elaborada para dar soporte físico, permitir la configuración y extracción de datos del chip. Se hace foco en el diseño de la placa de circuito impreso. Además se presentan el desarrollo del software de configuración, sistema de adquisición de muestras y emulaciones externas que fueron empleadas a la hora de llevar a cabo las mediciones y verificaciones.
- Todas las pruebas realizadas sobre el chip se agrupan en el Capítulo 7. Se obtienen y analizan resultados tanto en el dominio del tiempo como de la frecuencia. Se presentan gráficas que son relevantes para la caracterización del dispositivo diseñado. Finalmente se resumen las principales características relevadas del prototipo fabricado.
- En el Capítulo 8 se resumen y evalúan los resultados principales con respecto al diseño y verificación experimental, haciendo énfasis en las especificaciones iniciales. Se describen los aportes realizados por el proyecto.

Parte I
Marco Teórico

Capítulo 2

Dispositivos Básicos

Dado que el eje central de este proyecto es generar y calibrar señales de reloj, se necesita implementar circuitos secuenciales que estén principalmente compuestos por compuertas básicas. La necesidad de sincronizar este tipo de señales tiene su fundamento en la implementación de Conversores de Tiempo Entrelazado (Capítulo 4).

En el presente capítulo se describe la unidad básica de todo circuito integrado (MOSFET) y se describe el funcionamiento teórico¹ de los bloques básicos más utilizados.

2.1. Transistor de Efecto de Campo Metal - Óxido - Semiconductor

El MOSFET es el dispositivo más utilizado en la industria de la microelectrónica. Cuenta con 4 terminales: Compuerta (*Gate*), Surtidor (*Source*), Drenador (*Drain*) y Sustrato (*Bulk*).

Según su composición interna, existen 2 tipos de MOSFET: canal N y canal P, también llamados NMOS y PMOS. En la Fig. 2.1 se presentan los símbolos correspondientes a cada tipo.

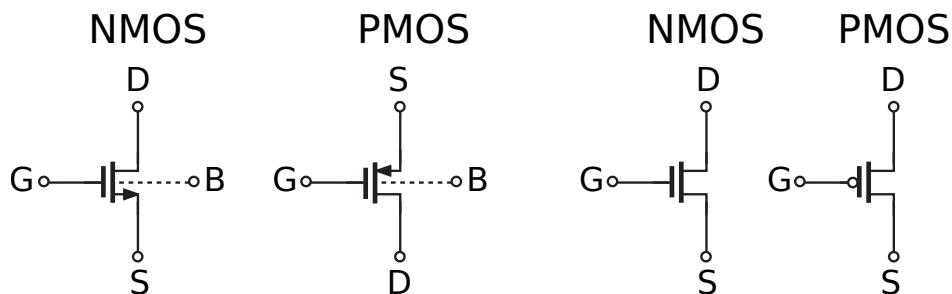


Figura 2.1: Símbolos MOSFET.

¹Los diseños y funcionamientos reales se muestran en el Capítulo 5.

2.1.1. Estructura

La Fig. 2.2 muestra una estructura simplificada de un dispositivo MOS de tipo N. Fabricado sobre un sustrato de tipo P, el dispositivo consiste en dos regiones de tipo N fuertemente dopadas (formando los terminales surtidor y drenador), una pieza de polisilicio conductora (que opera como compuerta), y una fina capa de dióxido de silicio (SiO_2) que aísla el *Gate* del sustrato. La zona de acción del dispositivo se encuentra en el sustrato, bajo la compuerta, entre drenador y surtidor (notar que el MOS es simétrico con respecto a drenador y surtidor).

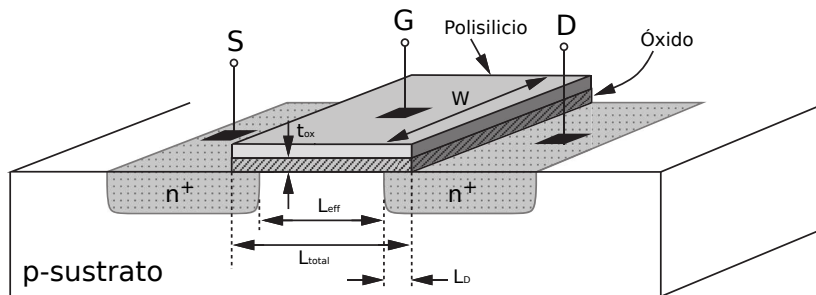


Figura 2.2: Estructura MOS canal n

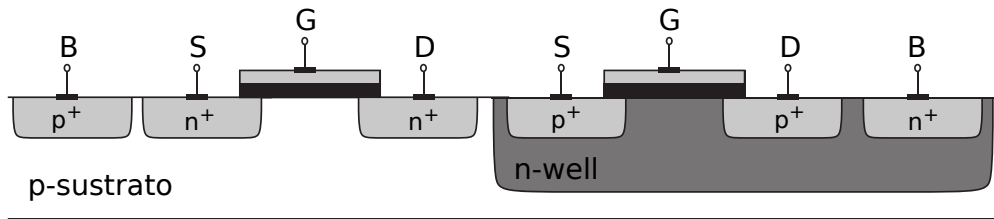
La dimensión lateral de la compuerta a lo largo del camino D-S es llamado largo L (*Length*), y la distancia perpendicular al largo es llamado ancho W (*Width*). Como se puede ver en la Fig. 2.2, la distancia real entre surtidor y drenador es un poco menor a L . Para evitar confusiones escribimos $L_{eff} = L_{total} - L_D$, donde L_{eff} es el largo efectivo y L_{total} es el largo total. Por convención, al largo efectivo L_{eff} se lo denota simplemente L .

Tanto L como el espesor de la capa de óxido, t_{ox} , juegan un importante rol en el desempeño en los circuitos MOS, por lo tanto, el principal objetivo en el desarrollo de esta tecnología es reducir dichas dimensiones sin degradar el rendimiento.

Ya que el dispositivo MOS es simétrico, se define que el surtidor es el terminal que provee los portadores de carga y el drenador es el que los recolecta.

Existe un cuarto terminal unido al sustrato que afecta en gran medida las características del dispositivo, aunque normalmente este está atado al surtidor ya que el diodo formado por la juntura surtidor/sustrato debe estar polarizado en inversa.

Como se dijo anteriormente, existen también dispositivos MOS de canal P (PMOS), que desde un punto de vista simplificado son muy

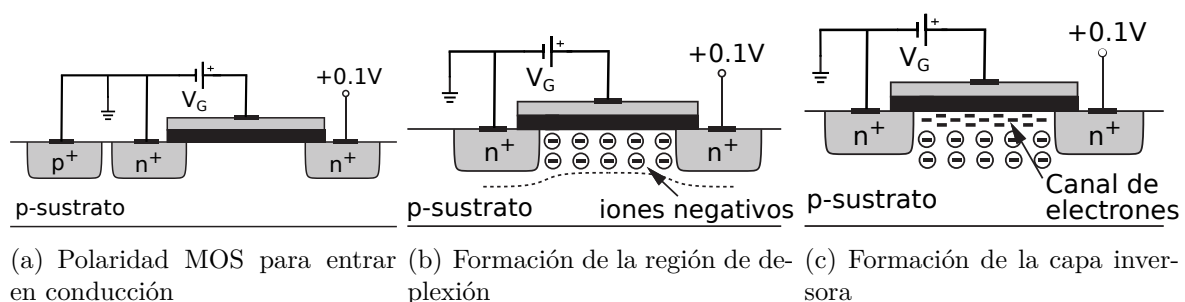
Figura 2.3: NMOS en sustrato P y PMOS en *n-well*

similares a los de tipo N pero invirtiendo todos los tipos de dopaje, incluyendo el sustrato. En la práctica, tanto los dispositivos NMOS como PMOS pueden ser fabricados en la misma oblea. Para ello se utilizan sustratos locales con dopaje distinto al sustrato original, llamados *well*. En la actualidad, la oblea de sustrato tiene dopaje P, por lo que los dispositivos PMOS son fabricados en sustratos locales N (*n-well*).

2.1.2. Funcionamiento

Ya que la compuerta, el óxido (que actúa como dieléctrico) y el sustrato forman un capacitor, a medida que el voltaje aplicado a la compuerta V_G aumenta, los huecos del sustrato, que es de tipo P, son repelidos del área de la compuerta llevando iones negativos hacia dicha zona. Decimos que se crea una región de depleción, como se observa en la Fig. 2.4(b).

Si V_G continúa aumentando, también lo hace el ancho de la región de depleción. Cuando el potencial de la interfaz es suficientemente alto, se forma un canal (también llamada capa inversora) de portadores de carga (electrones) debajo de la compuerta, entre drenador y surtidor, y el transistor se enciende, Fig. 2.4(c). El voltaje V_G a la que ocurre este fenómeno es llamado Voltaje Umbral (*Threshold*), V_{TH} . Luego, al aplicar una diferencia de potencial entre drenador y surtidor comienzan a fluir electrones entre dichos terminales.



(a) Polaridad MOS para entrar en conducción

(b) Formación de la región de depleción

(c) Formación de la capa inversora

Figura 2.4: Encendido MOS.

En realidad, el fenómeno de encendido del transistor MOS es una función gradual del voltaje de la compuerta V_G , haciendo difícil definir V_{TH} [?].

Algunos parámetros importantes que definen V_{TH} son: la capacidad compuerta/óxido por unidad de área C_{ox} , la carga de la región de depleción Q_{dep} , la densidad de dopaje de sustrato N_{sub} , la densidad de electrones en el silicio no dopado n_i , entre otros.

Normalmente los valores de V_{TH} nativos obtenidos pueden no ser adecuados para el circuito en cuestión, por lo que el V_{TH} suele ser ajustado por implantación de dopantes en el área del canal durante la fabricación del dispositivo.

El fenómeno de encendido de un dispositivo PMOS es similar a los explicado anteriormente, pero invirtiendo todas las polaridades.

Zonas de funcionamiento

Es posible definir una relación entre la corriente de drenador del MOSFET y la diferencia de potencial entre sus terminales D/S, que responde a la siguiente ecuación:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.1)$$

Donde $V_{ov} = V_{GS} - V_{TH}$ se conoce como tensión de *overdrive* y $\frac{W}{L}$ es la *relación de aspecto* del MOS. Este relación es la permitió encontrar similares prestaciones de corriente para diferentes tamaños de MOS, y lograr grandes escalas de integración de circuitos.

Dicha ecuación describe una parábola que no concuerda exactamente

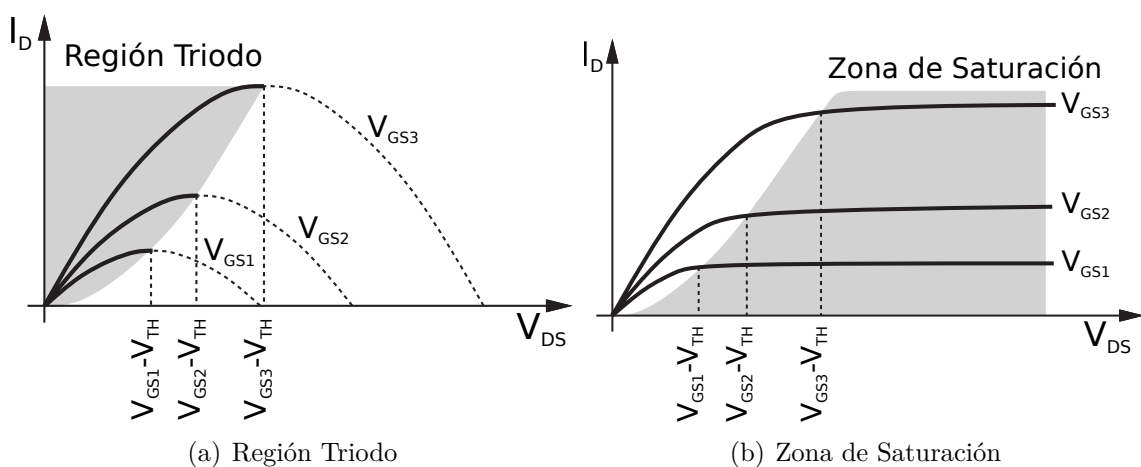


Figura 2.5: Zonas de funcionamiento.

con el funcionamiento real del dispositivo, esto sucede ya que existen 2 grandes zonas de funcionamiento: **Zona de Saturación** y **Región Triodo (y Triodo Profundo)**, como se ve en la Fig. 2.5.

El dispositivo MOS se encuentra en **región triodo** cuando $V_{DS} < V_{GS} - V_{TH}$. En el caso que $V_{DS} < 2(V_{GS} - V_{TH})$ se dice que el dispositivo entra en *región triodo profundo* [Fig. 2.6(a)], simplificando la Ec. 2.1 a:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.2)$$

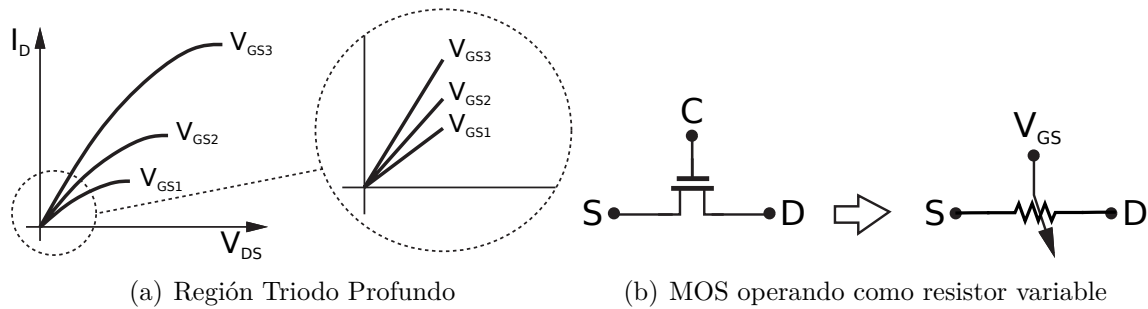


Figura 2.6: MOS Triodo Profundo.

Vemos que la corriente I_D es una función lineal del voltaje V_{DS} , es decir que el MOS se comporta como una resistencia cuyo valor es controlado por la tensión de overdrive [Fig. 2.6(b)]:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.3)$$

En el caso que $V_{DS} > V_{GS} - V_{TH}$, la corriente I_D no sigue la parábola descrita anteriormente, de hecho se mantiene relativamente constante aunque V_{DS} siga aumentando, como vemos en la Fig. 2.5(b). Se dice que el dispositivo entró en **Zona de Saturación**. Esto sucede ya que al

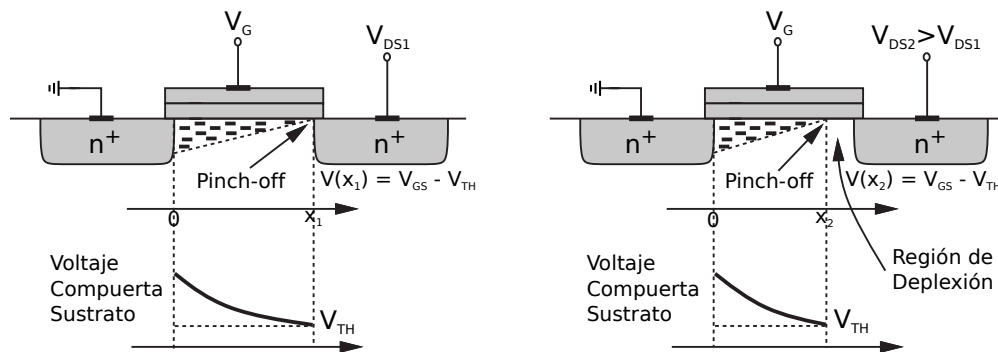


Figura 2.7: Fenómeno de *pinch off*.

aumentar el potencial del terminal drenador, el voltaje de la compuerta V_G ya no es suficiente para crear la capa inversora cercana al drenador (fenómeno llamado *pinch off*), lo que produce el efecto de saturación del dispositivo.

La ecuación que describe el funcionamiento del dispositivo en zona de saturación es:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.4)$$

Se puede notar que la corriente I_D es independiente del voltaje V_{DS} , por lo que el MOSFET en saturación actúa como una fuente de corriente, controlada por la tensión V_{GS} .

Ya que el MOSFET operando en saturación conduce una determinada corriente en respuesta al voltaje V_{GS} , se puede definir un parámetro del dispositivo que indica qué tan bien se convierte dicho voltaje a corriente, la **transconductancia**:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2.5)$$

En un sentido, este valor representa la sensibilidad del dispositivo. Para altas g_m , un pequeño cambio en V_{GS} produce un gran cambio en la corriente I_D .

2.2. El Inversor CMOS

Este dispositivo es el núcleo de todo diseño. Comprendiendo su operación y propiedades, se simplifica mucho el diseño de estructuras más complicadas como sumadores, multiplicadores, entre otros.

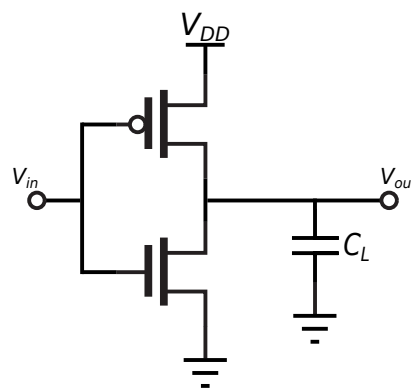


Figura 2.8: Esquemático Inversor CMOS.

La Fig. 2.8 muestra el circuito de un inversor estático. La operación del mismo puede entenderse viendo a los diferentes MOS como conmutadores. Cuando V_{in} está en nivel alto, el transistor NMOS conduce y el PMOS queda en corte. Esto nos deja una conexión directa entre el nodo V_{out} y tierra, obteniendo 0 V a la salida. Por otra parte, cuando la tensión de entrada es baja, el que queda en corte es el NMOS mientras que la conducción la realiza el PMOS, dejando un camino directo entre V_{DD} y V_{out} , obteniendo una tensión de salida en nivel alto.

Las principales propiedades son las siguientes:

- El recorrido de tensión es igual a la tensión de alimentación (V_{DD} y GND), proporcionando altos márgenes de ruido².
- Los niveles lógicos no dependen del tamaño de los MOS, por lo que pueden tener un tamaño mínimo. El tamaño influye en otras cuestiones que dependen del uso, esta elección se discute en el capítulo 5.
- La *resistencia de entrada* es extremadamente alta, ya que la compuerta de un MOS no consume corriente.

La curva de transferencia de tensión del inversor se muestra en la Fig. 2.9, pudiéndose observar una zona de transición muy estrecha, en donde los dispositivos NMOS y PMOS están conduciendo y saturados.

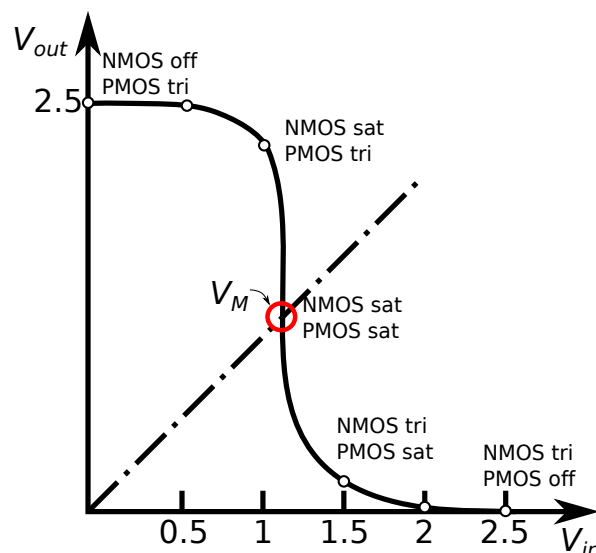


Figura 2.9: Función de Transferencia Inversor CMOS. Los modos de los transistores son off (apagado), tri (triodo) o sat (saturado).

²Los *márgenes de ruido* indican hasta que punto los circuitos son inmunes a las variaciones en los niveles lógicos debido a perturbaciones originadas por el ruido.

2.2.1. Umbral de conmutación

El umbral de conmutación del inversor, V_M , se define como el punto donde $V_{in} = V_{out}$, tal como puede verse en la Fig. 2.9. Por lo general, es deseable que V_M sea la mitad de la tensión disponible, es decir $V_{DD}/2$. Sin embargo, hay aplicaciones en la que se requieren que los inversores estén *desbalanceados*. Si queremos $V_M > V_{DD}/2$ debemos aumentar el ancho del PMOS. En cambio, si aumentamos el ancho del NMOS el umbral se desplaza hacia GND . En [?] pueden observarse las diferentes expresiones analíticas.

2.2.2. Comportamiento Dinámico

Tal como se afirma en [?], el retardo de propagación de los inversores, queda determinado por el tiempo necesario para cargar y descargar su nodo de salida a través de los transistores NMOS y PMOS respectivamente.

El capacitor C_L de la Fig. 2.8 considera todas las capacidades mostradas en la Fig. 2.10, como un capacitor único conectado entre V_{out} y GND . C_L está compuesto por capacidades parásitas entre terminales del MOS ($C_{gd_{12}}$, C_{db1} y C_{db2}), la capacidad de las pistas (C_W) y la capacidad de carga. Esta última capacidad incorpora el concepto de *fan-out* que denomina a la relación entre la capacidad de carga externa y la capacidad de entrada.

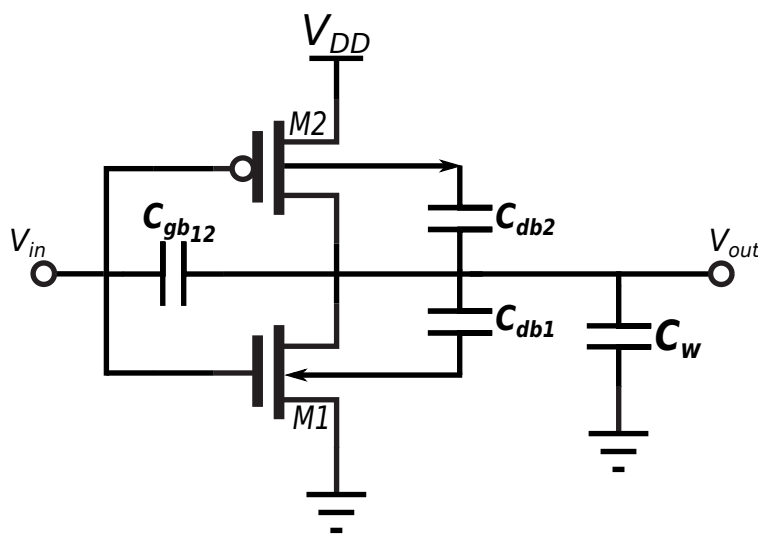


Figura 2.10: Capacidades parásitas que influyen en el comportamiento transitorio.

Retardo de propagación

Teniendo en cuenta las consideraciones antes mencionadas, el retardo de propagación se puede calcular integrando la corriente de carga/descarga del capacitor:

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \quad (2.6)$$

siendo i la corriente, v la tensión a bornes del capacitor, y v_1 y v_2 tensiones inicial y final. El cálculo de esta ecuación resulta muy engorroso, por lo que se recurre al modelo simplificado del inversor como conmutador.

El desarrollo puede verse en [?] y se extrae que el retardo de propagación en la transición alto-bajo es:

$$t_{pHL} = 0,69R_{eq_n}C_L \quad (2.7)$$

mientras que el provocado por la transición bajo-alto es:

$$t_{pLH} = 0,69R_{eq_p}C_L \quad (2.8)$$

Siendo R_{eq_n} y R_{eq_p} las resistencias equivalentes de conducción del MOS tipo N y tipo P respectivamente.

Luego, el retardo de propagación global se obtiene del promedio dado por las Ec. 2.7 y 2.8:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0,69C_L \left(\frac{R_{eq_n} + R_{eq_p}}{2} \right) \quad (2.9)$$

Para lograr que los tiempos sean iguales, teniendo en cuenta que la capacidad de carga es similar para ambas transiciones, se debe cumplir que las resistencias de conducción sean aproximadamente iguales.

2.2.3. Consumo de potencia

El mayor consumo de potencia en un circuito analógico se produce en las conmutaciones que presentan sus unidades. En el caso del Inversor, cada vez que C_L se carga a través del transistor PMOS, se extrae energía de la fuente de alimentación. Parte de esta energía se disipa en el dispositivo tipo P y la otra se almacena en la carga. Este almacenamiento se disipa en el transistor NMOS durante la transición de nivel alto a bajo.

Teniendo en cuenta que durante un ciclo de conmutación (transiciones bajo-alto y alto-bajo) se requiere de una cantidad fija de energía ($C_L V_{DD}^2$). Para calcular el consumo, debemos considerar la frecuencia

de conmutación del dispositivo. Por lo tanto, el consumo de potencia esta dado por:

$$P = C_L V_{DD}^2 f \quad (2.10)$$

El *trade-off* aquí se presenta en la necesidad de mantener/disminuir el consumo (P) pero aumentar la velocidad de trabajo (f), es por esto que, observando la Ec. (2.10), podemos disminuir el área de los transistores para disminuir su capacidad equivalente (C_L) o trabajar a bajas tensiones de alimentación (V_{DD}).

2.3. Triestados

Como su nombre lo indica, estos dispositivos pueden tener su salida en tres estados posibles. Los cuales son conocidos como *Alto*, *Bajo* y *Alta Impedancia (Hi-Z)*. Para lograrlos, estos componentes tienen una entrada adicional de habilitación o *Enable*.

El estado de interés en este caso es el Hi-Z, dado que la salida se comporta como si aún no estuviese conectada al resto de circuito (solo tenemos presente las corrientes de fugas). Es decir, hace que el pin deje de tener relevancia en el circuito.

Tal como afirma [?], estos dispositivos están diseñados de modo que entre en estado de Alta Impedancia más rápido de lo que salen del mismo.

Cuando seleccionamos el funcionamiento lógico normal, el circuito triestado funciona de la misma forma que la compuerta normal. Por esto, un *buffer*³ de tres estados es un circuito utilizado para controlar el paso de una señal lógica de una entrada a la salida.

Las funcionalidades de estos dispositivos suelen ser útiles, principalmente para el diseño de componentes electrónicos que presenten un funcionamiento que pueda ser controlado internamente. Como puede ser un multiplexor, el cual puede usar un *buffer* triestado para dejar activa solo una de sus entradas y anular las otras de forma que no interfieran en la salida.

También se pueden usar para dotar a los dispositivos de funcionalidad controlada externamente, es decir el usuario puede controlar esos *buffer* triestado para controlar el dispositivo o alguna parte/bloque del mismo.

³En electrónica, un amplificador *buffer* es un dispositivo que acopla impedancias en un circuito. En su forma más sencilla es un complemento funcionando como seguidor. Muchas veces, en diseño analógico, se llama *buffer* al inversor clásico.

2.3.1. Tipos de Buffer Triestados

Podemos separar diferentes tipos de *buffer* dependiendo del nivel lógico que habilite la entrada de *Enable*, así como también si la salida está o no invertida. Se desprenden cuatro posibles casos los cuales son mostrados en la Fig. 2.11.

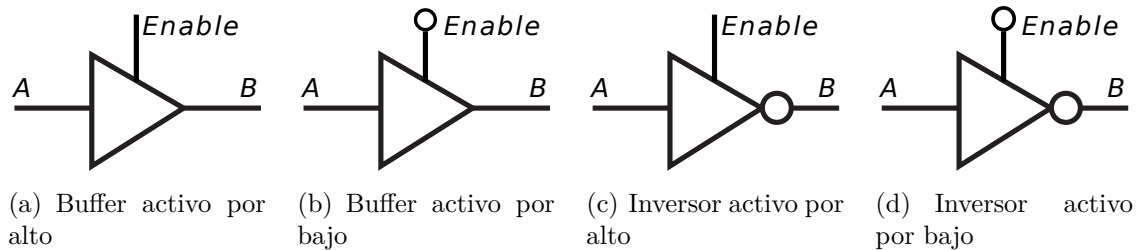


Figura 2.11: Tipos de *Buffer* Triestados.

Por otra parte, en la Tabla 2.1 se pueden observar las correspondientes Tablas de Verdad.

(a) Buffer activo por alto			(b) Buffer activo por bajo			(c) Inversor activo por alto			(d) Inversor activo por bajo		
<i>A</i>	<i>Enb</i>	<i>B</i>	<i>A</i>	<i>Enb</i>	<i>B</i>	<i>A</i>	<i>Enb</i>	<i>B</i>	<i>A</i>	<i>Enb</i>	<i>B</i>
0	0	Hi-Z	0	0	0	0	0	Hi-Z	0	0	1
0	1	0	0	1	Hi-Z	0	1	1	0	1	Hi-Z
1	0	Hi-Z	1	0	1	1	0	Hi-Z	1	0	0
1	1	1	1	1	Hi-Z	1	1	0	1	1	Hi-Z

Tabla 2.1: Tablas de Verdad de *Buffers* Triestados.

2.4. Circuitos Secuenciales

Casi todos los sistemas requieren almacenar información de estado. Estos circuitos se los denominan de lógica secuencial y la salida no sólo depende de los valores actuales de la entrada, sino que también de los valores anteriores de esta. Es decir, tienen memoria.

2.4.1. Latches y Registros

Los registros disparados por flanco de reloj tienen como componente esencial el *latch*⁴, el cual pasa la entrada a la salida cuando la señal de reloj está a nivel alto. Momento en que se encuentra en modo *transparente*. Cuando el reloj pasa a nivel bajo, es decir en el flanco de bajada,

⁴Un *latch* es un circuito sensible al nivel

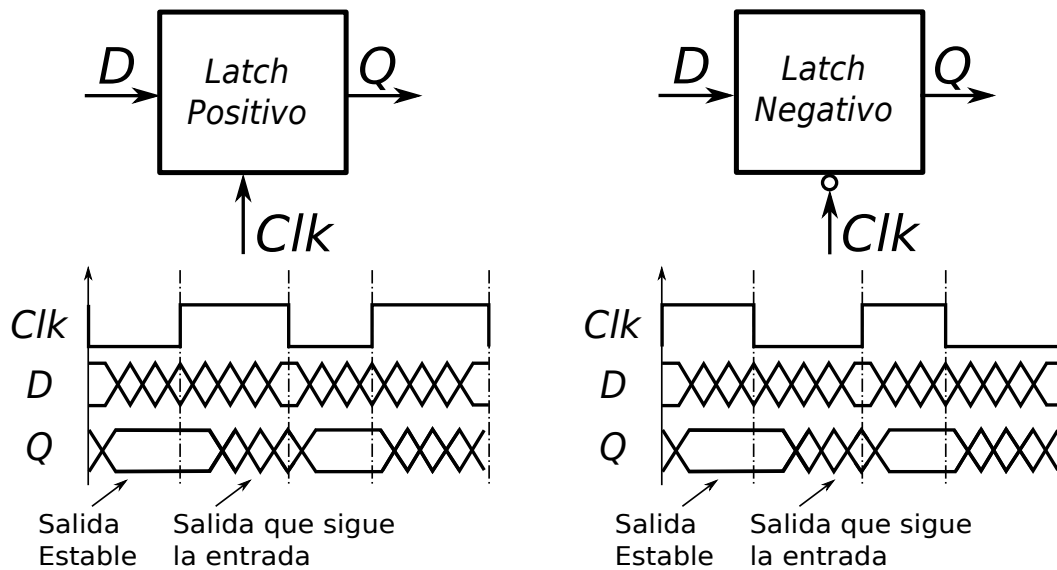


Figura 2.12: Temporización de Latches positivos y negativos.

el dato queda estable a la salida y el latch se encuentra en modo *retención*. Esto se conoce como *latch positivo* y análogamente, existe el *latch negativo* que pasa la entrada a la salida cuando la señal de reloj está a nivel bajo. Ambos se muestran en la Fig. 2.12.

La Fig. 2.12 muestra a *latch* como una caja negra. Es por esto que la técnica más utilizada para construirlos es con el uso de Multiplexores (MUX) de Puertas de Transmisión (*Transmission Gate, TG*⁵), que se muestra en la Fig. 2.13. En un latch positivo se selecciona la entrada 1 del MUX cuando el reloj está alto y la entrada *D* pasa a la salida. En cambio, cuando el reloj tiene nivel bajo se selecciona la entrada 0 y se mantiene estable la salida.

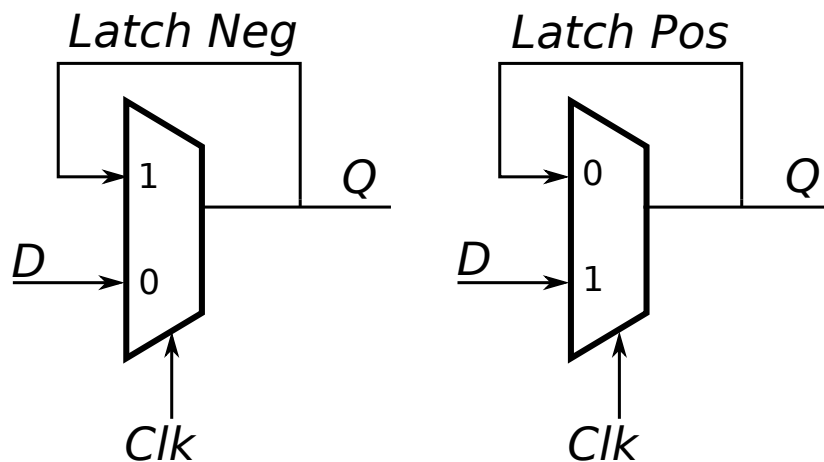


Figura 2.13: Latches positivos y negativos basados en MUX.

⁵la *Puerta de Transmisión* es utilizada en circuitos CMOS para dejar pasar o no una señal.

La implementación a nivel transistor del *latch* positivo con esta arquitectura se muestra en la Fig. 2.14. Cuando *Clk* está en alto la TG inferior se activa y el *latch* es transparente (D se copia en Q). El bucle de realimentación está abierto dado que la TG superior no conduce.

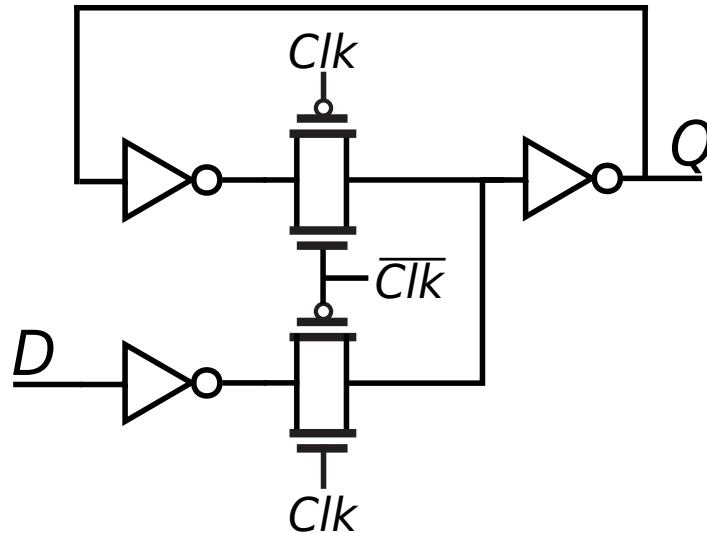


Figura 2.14: Latch positivo a nivel transistor.

2.4.2. Flip-Flop tipo D (DFF)

Los *registros disparados por flanco* sólo muestran la entrada en la transición de reloj, es decir cuando pasa de $0 \rightarrow 1$ ó de $1 \rightarrow 0$. Normalmente se construyen utilizando la estructura *Maestro-Esclavo*, conectando un *latch* positivo y uno negativo en cascada. El método más habitual para construirlos es utilizar dos *latches* en cascada, negativo y positivo como se muestra en la Fig. 2.15. [?].

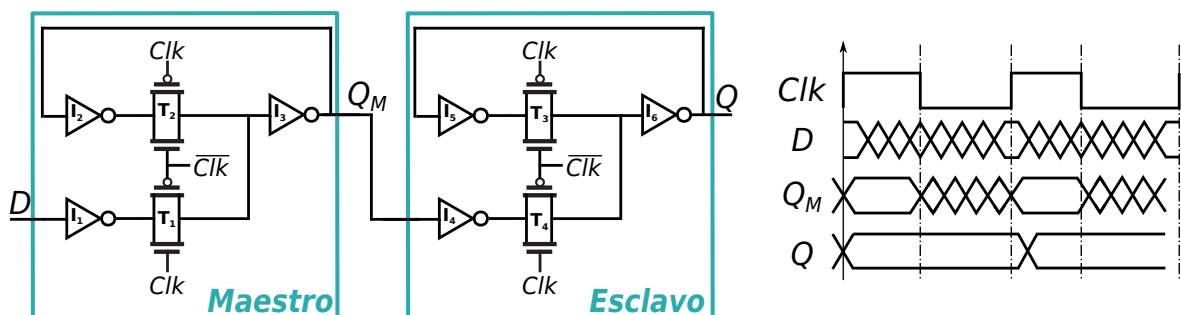


Figura 2.15: Flip Flop tipo D Maestro-Esclavo.

Cuando la señal de reloj está en bajo, T_1 conduce y T_2 no, la etapa maestra es transparente y la entrada D pasa a la salida maestra, Q_M . En ese tiempo T_3 y T_4 están al corte y saturación respectivamente. Y

los inversores I_5 e I_6 mantienen el estado del latch esclavo. Cuando el reloj pasa a alto el maestro pasa a modo retención. T_1 no conduce, el que lo hace es T_2 . Los inversores I_2 e I_3 mantienen el estado de Q_M . Por lo tanto, T_3 conduce y T_4 está al corte y la salida Q copia a Q_M .

2.4.3. Medidas de Temporización

A los registros los podemos caracterizar con tres parámetros de temporización (Fig. 2.16). El tiempo de establecimiento (*settling time*), t_s , que es el tiempo en el que las entradas de datos (D) deben ser válidas antes de que el reloj transicione ($0 \rightarrow 1$ para aquellos disparados por flanco positivo). El tiempo de mantenimiento (*hold time*), t_h , que es el tiempo que los datos de entrada deben seguir siendo válidos después de la transición del reloj. Si estos se cumplen, el dato en la entrada D se copia a la salida Q después de un *retardo de propagación*⁶.

Así como afirma [?], es muy importante que las señales de reloj tengan tiempos cortos de subida y bajada, ya que en caso de no ser así el DFF puede no funcionar correctamente.

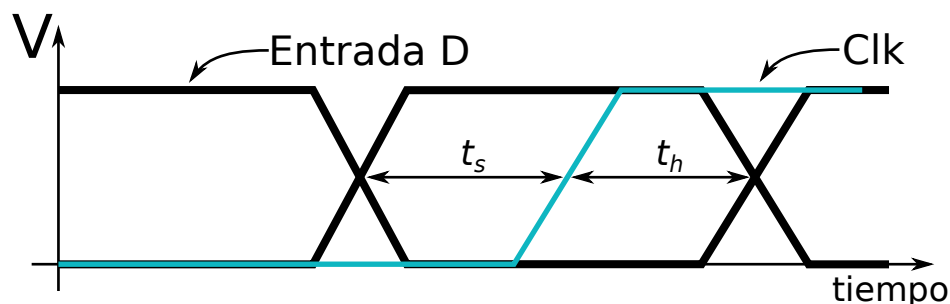


Figura 2.16: Parámetros de temporización para registros.

2.5. Conversión de Datos

Los dispositivos que transforman señales analógicas en digitales o viceversa juegan un rol cada vez más importante en el mundo digital.

De esta forma, los circuitos de muestreo son fundamentales para la conversión de señales analógicas en digitales. Su comportamiento es similar al de una cámara, como asegura [?]. Su principal función consiste en “tomar una foto” de la señal analógica y mantenerla el tiempo que el

⁶En lo que a la electrónica se refiere, un *retardo de propagación* es el tiempo que tarda una señal para atravesar un conductor o dispositivo

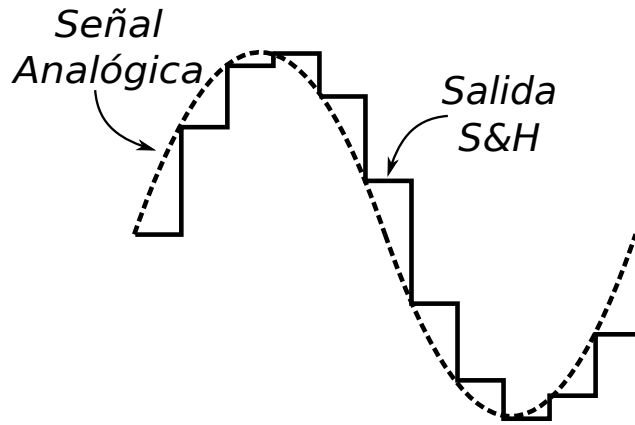


Figura 2.17: Muestreo ideal de Señal Analógica.

ADC necesite para procesar esa información. Es muy importante caracterizarlos cuando se realiza la conversión de los datos, dado que en caso de no hacerlo puede limitar al sistema en velocidad y precisión.

2.5.1. Llave MOSFET

Cuando la tensión entre la compuerta y la fuente es menor que la tensión umbral ($V_{GS} < V_{TH}$), el transistor está cortado; entre los terminales de fuente y drenador existe un circuito abierto, ya que la corriente a través de ellos es nula. Sin embargo, cuando ocurre que $V_{GS} > V_{TH}$ se crea el canal, y el transistor puede conducir. Cuanto mayor es la tensión en la compuerta menor es la resistencia del canal, y ésta puede llegar a aproximarse a un cortocircuito. Así, el MOS es capaz de funcionar como llave.

Por lo tanto, los MOS en diseño analógico son muy utilizados como llaves (Fig. 2.18), con su compuerta como control de la misma. Como se dijo en el Capítulo 2, su compuerta cuando este se encuentra en un correcto punto de operación en Corriente Continua (*Direct Current*, DC), no fuga corriente. Esto hace que la señal de control no interfiera en la

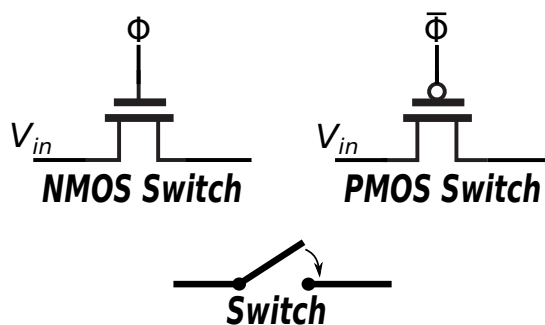


Figura 2.18: MOS como llaves.

información que pasa a través de la llave.

Sumados al comportamiento resistivo (R_{on}) que tiene el MOS operando como llave, dado que actúa en la zona de triodo, existen dos efectos de no-idealidad, que limitan su uso en circuitos de muestreo. Estos son la *inyección de cargas* y *clock feedthrough*⁷.

Inyección de Carga

Observando la Fig. 2.19, podemos entender el fenómeno de inyección de cargas. Cuando la llave MOSFET está prendido, su V_{DS} es chica, y las cargas presentes son resultado de la inversión del canal. Luego, cuando este se apaga, estas cargas se inyectan en V_{in} y en C_L . Sin embargo, se supone que la fuente de alimentación tiene baja impedancia y la inyección de cargas no tiene mucha importancia en este nodo. Pero, las cargas que se inyectan en el capacitor implican un cambio de tensión en el mismo.

Tal como muestra [?], este fenómeno es complejo de determinar, pero es un problema que en sistema de muestreo resulta en errores de no linealidad.

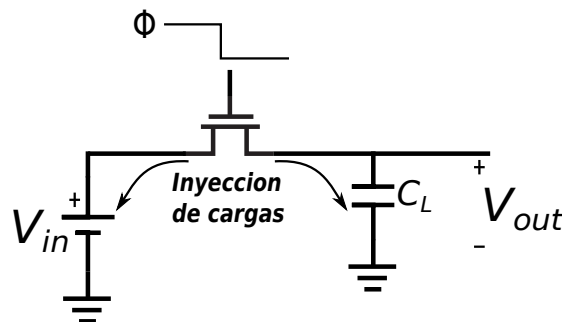


Figura 2.19: Configuración de llave NMOS para mostrar efecto de inyección de cargas.

Clock Feedthrough

Las capacidades compuerta-drenador y compuerta-surtidor del MOS que se muestran en la Fig. 2.20 hacen referencia a un MOSFET trabajando en triodo. Cuando la señal de reloj, Φ , se pone en alto, esta señal pasa a través de las capacidades antes mencionadas. Sin embargo, al cerrarse la llave, el capacitor C_L se carga a la tensión de la alimentación, V_{in} , dejando sin efecto a la capacidad de *feedthrough*. En cambio, cuando la señal de reloj hace la transición a bajo aparece un divisor capacitivo

⁷En electrónica analógica, *clock feedthrough* es el resultado del acoplamiento entre las señales de control de los interruptores analógicos y la señal que pasa por ellos. En electrónica digital, se emplea para denotar el acoplamiento de la señal de reloj con los nodos en donde el acople es indeseado.

vo entre la capacidad compuerta-drenador(surtidor) y la capacidad de carga (C_L), obteniendo una porción de la señal de reloj sobre C_L .

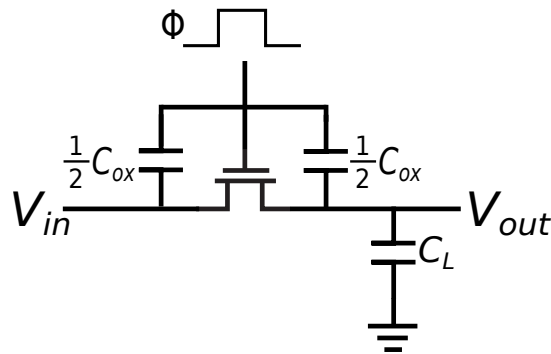


Figura 2.20: Ilustración de capacidad de *feedthrough*.

2.5.2. Reducción de Efectos

Tal como muestra [?] para reducir la inyección de cargas se utiliza una llave *dummy* (capacitor que se conecta y desconecta) como podemos ver en la Fig. 2.21. $M2$ tiene conectados el surtidor y el drenador junto a la salida de $M1$. Notar que la señal de reloj que le llega al *dummy* es el complemento de la que controla la llave $M1$.

Al apagarse $M1$ la mitad de la carga en el canal se inyecta en el *dummy* (por esto el tamaño de $M2$ es la mitad de $M1$). Como $M2$ esta cortocircuitado si aplicamos un voltaje en la compuerta de este podemos inducir un canal. Por lo tanto, la inyección de cargas de $M1$ coincide con las cargas inducidas por $M2$, cancelando la inyección de cargas total. Cuando $M1$ está prendido, la inyección de cargas producida por $M2$ se realiza hacia la fuente ya que posee baja impedancia, dado que tiene surtidor y drenador en corto. Como la fuente esta cargando C_L la inyección de cargas de $M2$ queda sin efecto sobre la capacidad de carga.

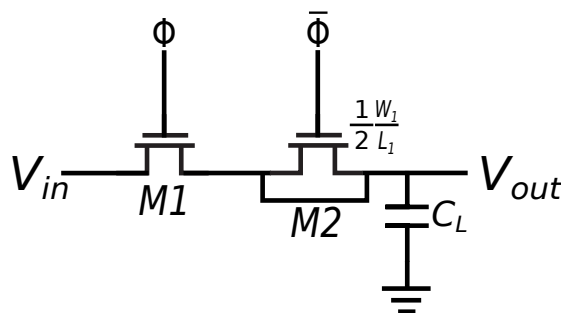


Figura 2.21: Llave *dummy* utilizada para minimizar efectos.

2.5.3. Circuitos de Muestreo y Retención

Las llaves son muy utilizadas en los circuitos de muestreo y retención. Un circuito muy simple es el que se muestra en la Fig. 2.22. Un pulso se aplica en la compuerta del MOSFET, habilitando a V_{in} a cargar el capacitor de retención (C_H). El ancho de este pulso es el que determina la cantidad de carga que va a tener el capacitor. El Amplificador es un *buffer* de ganancia unitaria que aísla el capacitor de otro tipo de cargas externas (este circuito sufre de los efectos mencionados anteriormente).

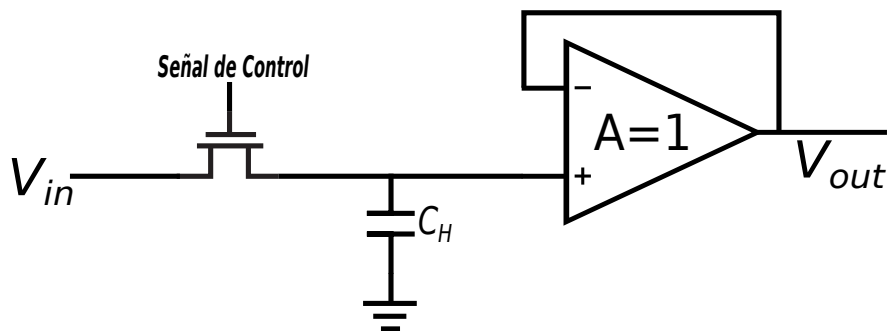


Figura 2.22: Circuito básico de muestreo.

Idealmente un circuito de Muestreo y Retención (*Sample and Hold*, SH) tiene una salida similar a la mostrada en la Fig. 2.17. La señal analógica es capturada instantáneamente y se mantiene hasta el próximo período de muestreo. Sin embargo, se necesita de un período finito de tiempo para que el muestreo ocurra (se cargue C_H). Es por esto que aparece otro tipo de circuitos llamados de Seguimiento y Retención (*Track and Hold*, TH) en donde la señal analógica es “seguida” durante el tiempo que necesita para muestrear la señal. La Fig. 2.23 muestra lo mencionado anteriormente.

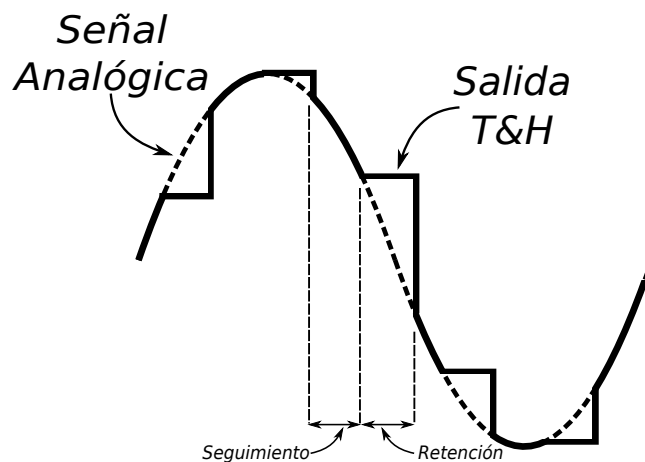


Figura 2.23: Salida Circuito de *Track-and-Hold*.

Capítulo 3

Conversores Analógico-Digital

Los ADCs son el vinculo entre el mundo analógico y los sistemas digitales. Por su muy difundida utilización en sistemas de señal mixta, estos suelen ser los causantes del cuello de botella en las aplicaciones de procesamiento de señales, ya que limitan la velocidad de todo el sistema o su precisión. Un ADC genera una salida digital D a partir de una entrada analógica A

$$D = f(A), \quad (3.1)$$

donde D se define como una serie discreta de m bits

$$D = \sum_{k=0}^{m-1} b_k 2^k, \quad (3.2)$$

con b_k igual al valor individual de cada bit. Puede verse que mientras que la entrada puede tomar infinitos valores la salida esta limitada por el largo de la palabra de salida. El conversor debe vincular estos infinitos valores con alguno de los códigos finitos de salida. Esto supone un error tanto mas grande cuanto mas corta sea la palabra de salida. Este error se llama error o *ruido* de cuantización, ϵ . Haciendo uso de estas definiciones, la entrada analógica puede expresarse como

$$A = V_Q D + \epsilon, \quad (3.3)$$

donde V_Q es la tensión de cuantización del ADC. En la Fig. 3.1 se muestran las curvas de salida y error de cuantización para un ADC ideal. En la Fig. 3.2 se muestran las curvas de entrada analógica, salida digital y error en función del tiempo para una entrada senoidal. Al mínimo valor de cambio entre dos códigos adyacentes se lo denomina, Δ , definido como el mínimo valor distinto de cero que puede arrojar el conversor (anteriormente llamada tensión de cuantización).

$$V_Q = \Delta = \frac{V_{FS}}{2^m}, \quad (3.4)$$

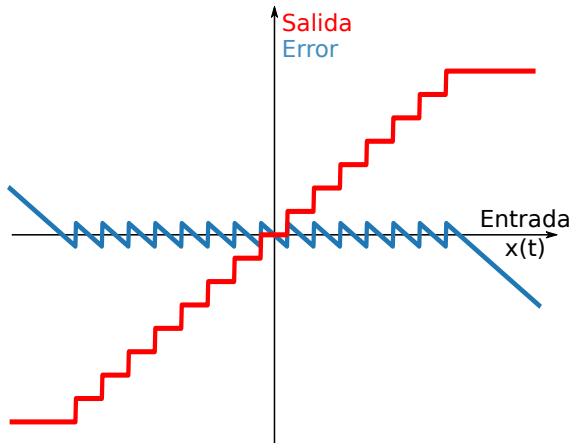


Figura 3.1: Función de transferencia para un ADC ideal y error de cuantificación.

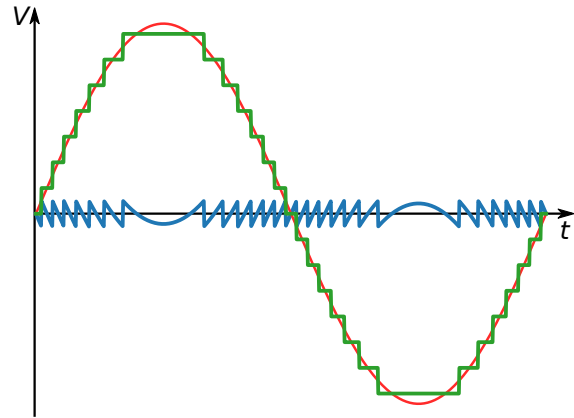


Figura 3.2: En rojo: Señal de entrada, en verde: Salida del ADC, en azul: Error de cuantificación del ADC.

donde V_{FS} es la tensión de escala completa o *full-scale*.

Como se dijo anteriormente la conversión A/D introduce un error de cuantización entre la tensión analógica de entrada y la señal de salida reconstruida. Si se asume que el error ϵ se distribuye de manera uniforme entre $-\Delta/2, \Delta/2$ como se muestra en la Fig. 3.3, el valor medio del error es, por tanto, cero y la potencia del ruido P_n es la varianza σ_e^2 de esa distribución uniforme

$$P_n = \sigma_e^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} \epsilon_q^2 d\epsilon_q = \frac{\Delta^2}{12}. \quad (3.5)$$

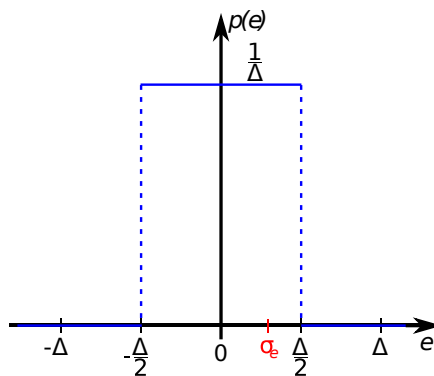


Figura 3.3: Función de densidad de probabilidad de los valores del error de cuantificación.

Si la amplitud de la señal pico-pico de entrada (se asume una sinusoidal), es $V_{REF}/2$, su potencia total sera $P_s = V_{REF}^2/8 = 2^{2m}\Delta^2/8$ por ende, la Relación Señal Ruido (*Signal-Noise Ratio*, SNR) será:

$$SNR = \frac{P_s}{P_n} = \frac{2^{2m-3}\Delta^2}{\Delta^2/12} = \frac{3}{2}2^{2m}. \quad (3.6)$$

Si se expresa este valor en dB se tiene que:

$$SNR|_{\text{dB}} = 6,06m + 1,76 \text{ dB}. \quad (3.7)$$

Existen diversas topologías que permiten la conversión analógico-digital en sistemas de alto rendimiento. Estas arquitecturas se pueden clasificar de acuerdo a la cantidad de pasos o *step* que necesitan desarrollar para obtener el dato convertido en el dominio digital [?]. En primer lugar se mencionan las arquitecturas de un paso (*one-step*) como el caso de los ADC de tipo **flash**, interpolado y plegado. Mientras que las topologías de múltiples pasos (*multistep*) pueden ser **pipeline** y de **aproximaciones sucesivas** (Cap 8 de [?]).

3.1. Conversores de Tiempo Entrelazado

En sistemas donde el objetivo principal es obtener gran velocidad, se pueden emplear múltiples ADCs trabajando en paralelo. Esto implica que un conversor puede comenzar a trabajar sin necesidad de que el inmediatamente anterior haya concluido la conversión.

La técnica de entrelazado (o intercalado) temporal en la que se basan estos conversores [?] consiste en el uso de N canales en paralelo, cada uno de los cuales posee un circuito de muestreo y un sub-ADC, como se muestra en la Fig. 3.4(a). La tasa de muestreo de cada sub-ADC es N veces menor que la tasa de muestreo del conversor completo.

Este principio permite obtener conversores con tasa de muestreo elevada relajando la exigencia de los sub-ADC internos. En efecto, la tasa de muestreo del TI-ADC aumentará a medida que aumente el número de conversores trabajando en paralelo. Como puede observarse en la Fig. 3.4(b), las señales que activan cada sub-ADC se encuentran desfasadas una fracción $1/N$ de su período de muestreo T_{ch} . Entonces la frecuencia global de muestreo del conversor, F_S se define como:

$$F_S = \frac{1}{T_S} = \frac{N}{T_{ch}}. \quad (3.8)$$

La implementación de distintas jerarquías de muestreo y sub-muestreo sumadas a las diferentes topologías [?, ?, ?] usadas para los sub-ADC

permiten aumentar las prestaciones de los conversores en cuanto a velocidad.

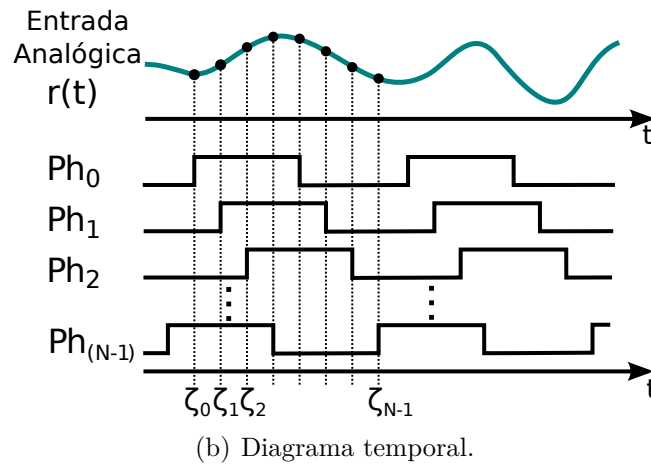
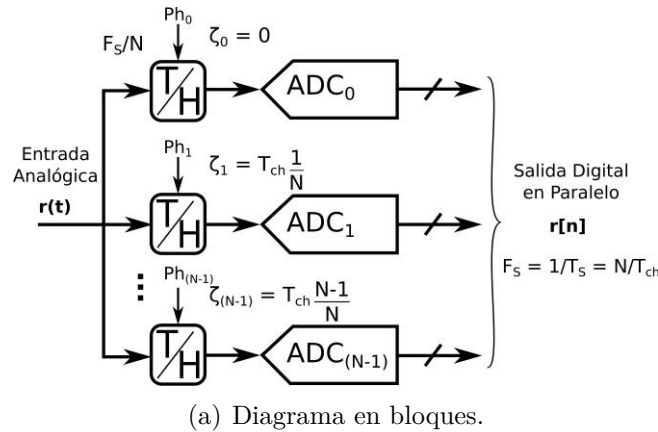


Figura 3.4: Técnica de entrelazado temporal.

Sin embargo, a medida que aumenta la exigencia en velocidad de muestreo, el desempeño de los TI-ADC se ve amenazado por el desajuste (*mismatch*) de los circuitos de muestreo y subADCs. En particular, el *mismatch* en la ganancia, temporización, *offset* y ancho de banda disminuyen la precisión de los resultados finales. Los efectos de estos errores en el dominio del tiempo y la frecuencia han sido analizados extensamente [?, ?, ?].

Es por esto, que la implementación práctica de un TI-ADC presenta múltiples desafíos para lograr un aprovechamiento óptimo de su arquitectura. El principal inconveniente de su implementación radica en el concepto que se basa en suponer que los M conversores en paralelo son exactamente iguales. Es decir, cada convertidor individual debe mostrar la misma respuesta a la señal de entrada y de reloj. Entonces, dado que esta premisa no puede satisfacerse en su totalidad ni por diseño ni por fabricación, resulta necesario analizar los posibles problemas y soluciones

en cada implementación de ADC temporalmente entrelazado.

Capítulo 4

Error de Sincronización en Señales de Reloj

Una de las principales dificultades que presenta la arquitectura de tiempo entrelazado es la sincronización de todas las señales que controlan el muestreo, ya que deben cumplir especificaciones de temporización exigentes, razón por la cual se emplean diferentes técnicas de calibración [?]. Eje central del presente Proyecto Integrador que será abordado a continuación.

4.1. Efecto del error de tiempo de muestreo

El desajuste entre las señales de reloj, conocido como *sampling phase mismatch* se produce por diferentes fuentes, como son la propagación de las señales de reloj, las variaciones de los *buffers* y llaves de muestreo, errores sistemáticos de *layout*, etc. [?]. Se presenta como uno de los problemas de desapareamiento más difíciles de detectar y calibrar/compensar [?].

El efecto del desajuste entre las fases de muestreo se manifiesta en forma dependiente de la frecuencia de la señal de entrada y resulta un serio problema cuando el ancho de banda de la señal muestreada es más cercano a la frecuencia de *Nyquist* del sistema ($F_s/2$) [?].

Un error muy común presente en la digitalización de señales de alta velocidad es el *jitter*¹ en las señales de reloj. Tal como afirma [?], el *jitter* se presenta cuando la llave de muestreo está abierta, que se traduce en un error de voltaje que es proporcional a la tasa de cambio (*Slew Rate*) de la señal de entrada, tal como muestra la Fig. 4.1.

¹Se denomina *Jitter* a una variabilidad temporal, ligera desviación de la exactitud, de la señal de reloj. Es la primera consecuencia de un retraso de la señal. La representación espectral de las variaciones temporales se denomina ruido de fase.

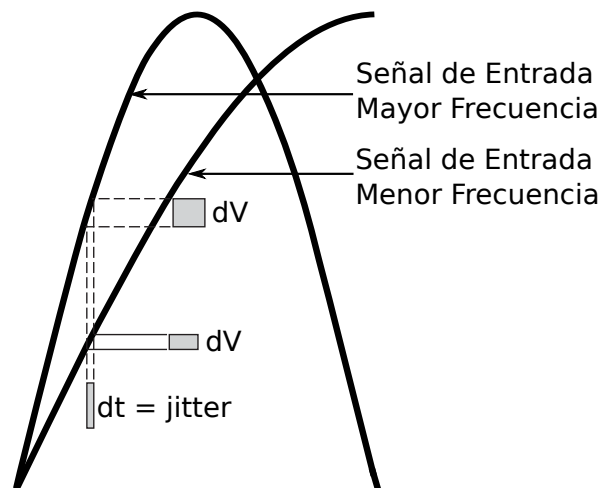


Figura 4.1: Impacto de la frecuencia de entrada en el jitter de Reloj.

El límite teórico de la SNR impuesto por el *jitter* en la señal de reloj se expresa en la Ec. (4.1).

$$SNR(dB) = -20\log(2\pi f_{in}\sigma) \quad (4.1)$$

Donde f_{in} es la frecuencia de entrada y σ el *jitter* en segundos. En la Fig. 4.2 se muestran una serie de curvas que especifican el efecto del *jitter* a través de la SNR y el Número Efectivo de Bits (*Effective Number Of Bits*, ENOB), Ap. A, en función de la frecuencia de entrada. En rojo se observa el límite por la cuantización del conversor, que en este caso adoptó una resolución de 8 bits.

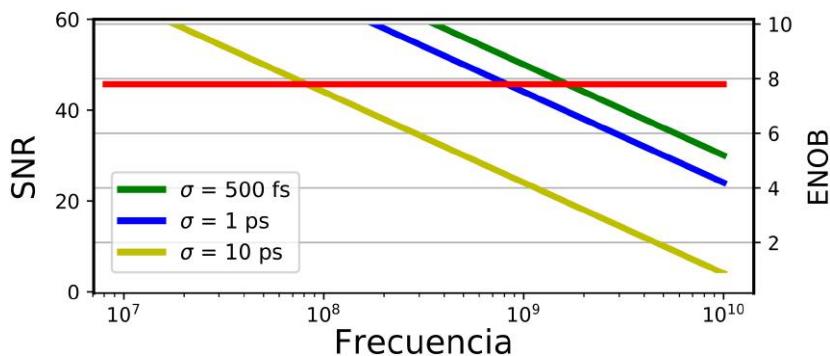


Figura 4.2: Degradación de la SNR en función de la frecuencia de entrada debido al *jitter*.

En conversores entrelazados en el tiempo que contienen gran cantidad de fases de muestreo el efecto del desajuste entre estos canales es análogo al efecto planteado anteriormente. Por lo tanto, podemos observar en la Fig. 4.2 que trabajando a frecuencias elevadas el efecto del desajuste en la sincronización de las fases de muestreo implica que el desempeño del

conversor disminuya notablemente.

Así la compensación/calibración de los desapareamientos entre los canales de los TI-ADC es un punto fundamental a tratar para lograr disminuir la degradación en la señal de entrada y alcanzar los requerimientos de los nuevos sistemas de comunicaciones basados en DSP [?].

4.1.1. Técnicas de Detección y Ajuste de Fases de Muestreo

Las técnicas de calibración en convertidores temporalmente entrelazados pueden ser primeramente clasificadas según su dominio de detección, dominio de calibración y el método de ejecución [?].

Las propuestas sobre técnicas de calibración/compensación del desajuste entre las fases de muestreo de los TI-ADC abarcan casi todas las combinaciones de dominios de *detección, ajuste y modo de ejecución* representados en la Tabla 4.1. Empezando en sentido inverso a lo anterior, el modo de ejecución en segundo plano (*background*) es generalmente la técnica preferida por sobre la ejecución tipo de técnica en fuera de línea (*foreground*) ya que evita pausar el uso del ADC cuando se necesita una recalibración. Es decir, las técnicas en segundo plano pueden mantenerse corriendo mientras compensa las variaciones de fase generadas por las fluctuaciones de la temperatura y tensión del circuito integrado.

Por otro lado, los métodos de ajuste utilizados pueden ser digitales o analógicos. Entre las propuestas de compensación en el dominio digital podemos encontrar [?, ?] los cuales se basan en la implementación de un banco de filtros o filtros interpoladores a la salida del TI-ADC para compensar la fase de cada canal en forma individual. En estas implementaciones el método de compensación trata de converger en valores de coeficientes de filtros digitales que compensen los errores de fase de las muestras originales del conversor. Sin embargo, en aplicaciones de muy alta velocidad (como por ejemplo receptores de enlaces ópticos), la compensación digital del error de tiempo/fase de muestreo llega a ser prohibitiva ya que el *hardware* necesario para implementar esta clase de filtros digitales requiere una gran complejidad en técnicas de paralelismo y su consumo de potencia puede ser muy elevado si se lo compara con

Tabla 4.1: Técnicas de Calibración de desajustes en TI-ADC.

Método de Detección	Método de Corrección	Modo de Ejecución
Analógico	Analógico	Background
Digital	Digital	Foreground

el resto de los filtros típicos utilizados en el DSP [?, ?]. Debido a esto, muchas veces se prefiere utilizar compensación de fase de muestreo en el dominio analógico, tal como proponen [?, ?]. Estas últimas se basan en circuitos de retardo programable que permiten controlar la fase relativa entre las diferentes señales de reloj que comandan los canales del TI-ADC.

Dado que las propuestas de detección de desajustes entre las fases de muestreo son muy variadas, nos focalizaremos en las que pueden ser implementadas en sistemas receptores de comunicaciones y aquellos que han presentado alternativas en chip para su verificación [?, ?, ?, ?].

Se trabaja en las técnicas de calibración que se basan en detectar en el dominio digital y calibrar en el dominio analógico. Con ellas se obtienen dos grandes ventajas, la primera es que se puede realizar la detección en forma flexible y eficiente mediante algoritmos digitales que resulten más convenientes. La segunda ventaja consiste en poder realizar el ajuste de fase en forma simple sobre el dominio analógico, las fases de reloj de los conversores precisamente. Esto último evita el elevado consumo de potencia que requieren los complejos filtros digitales de compensación de fase y que aumenta aún más cuando las velocidades de muestreo son desde algunos GHz hasta las decenas de GHz ya que los filtros deben ser paralelizados para alcanzar estas velocidades.

4.2. Calibración Analógica

La problemática antes discutida puede observarse claramente en la Fig. 4.3. En ella, se realizan 4 conversiones en paralelo. Podemos ver la diferencia entre la toma de muestras ideal (cada T_S) y un caso más cercano a la realidad de conversores con esta arquitectura en donde un error de *timing* conlleva a obtener un bajo desempeño del conversor. En [?] asegura que, en el dominio del tiempo, el error es mayor cuando la señal de entrada presenta una tasa de variación mayor de la señal de entrada o se obtiene un cruce por cero.

Es por esto que estas arquitecturas necesitan de todas sus fases relativas de reloj correctamente sincronizadas. Como los problemas de desajuste están siempre presentes, teniendo en cuenta lo expresado en la Sección 4.1.1, es necesario agregarle circuitos analógicos con retardos programables para corregir/calibrar estos desajustes de *timing* entre los N canales que actúan.

Si bien todo dispositivo lógico presenta un *retardo de propagación*

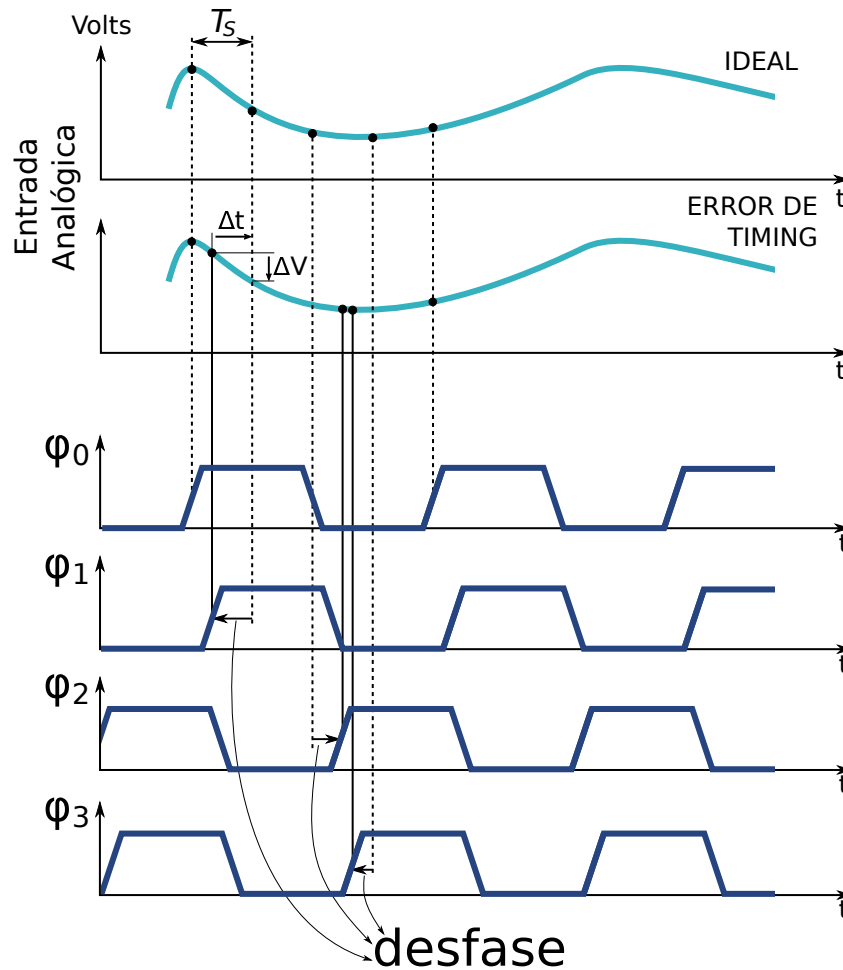


Figura 4.3: Error de *Timing* en la etapa de Muestreo.

propio (Sección 2.4.3), la idea consiste en poder ajustarlo externamente mediante bloques más elaborados y sobre las fases de muestro. Para ello se utilizan dos alternativas que pueden utilizarse por separado o en conjunto: por un lado *buffers* limitadores de corriente y por otro cargas capacitivas habilitadas por llaves para cargar los nodos de salida.

De esta forma, se emplean bancos de triestados y/o capacitores con peso binario [?] para poder programar el retardo de propagación de la señal de reloj y así ajustar los defasajes requeridos entre fases para comandar las N llaves de muestro.

Como se mencionó en la Sección 4.1.1, la detección se realiza en el dominio digital a través de un algoritmo basado en la minimización del error cuadrático medio (*Least Mean Square*, LMS). Este algoritmo toma el valor de una de las fases como referencia para realizar la calibración. A partir de ella se calculan los errores para las restantes efectuando una resta. Luego incrementa o reduce el retardo para las señales de muestro de las otras columnas de acuerdo al error calculado, variando los capa-

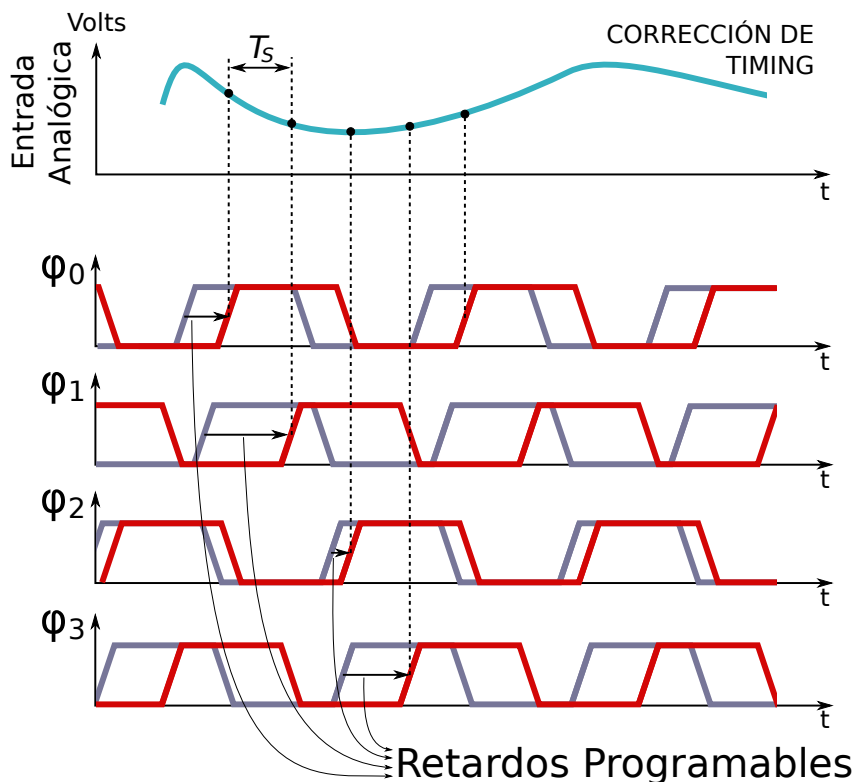


Figura 4.4: Calibración de *Timing* con Retardos Programables.

citores o triestados de cada fase. Finalmente, se obtienen nuevos datos sobre el error de fase: si ambos valores son mejores que los anteriores la iteración es aceptada, de lo contrario un nuevo ajuste es realizado para dar inicio a un nuevo ciclo [?].

En la Fig. 4.4 podemos ver como al agregar estos Retardos Programables a las N fases, tras correr este algoritmo, podemos calibrar estos desajustes. En azul apreciamos las señales previa a los circuitos de retardo, mientras que en rojo la salida de los mismos.

Se tiene un *rango de ajuste* que se delimita entre la configuración que aporta más corriente con la menor carga en su nodo de salida y la configuración que aporta mínima corriente y tiene en su nodo de salida la mayor carga (siempre y cuando las señales no se degraden en exceso, es decir que puedan alcanzar los valores máximo y mínimo de conmutación).

Parte II
Marco Metodológico

Capítulo 5

Diseño

En el presente capítulo se muestra el diseño e implementación de un chip conversor analógico digital temporalmente entrelazado prototipo, puntualmente los bloques encargados de la generación y calibración de las señales de reloj que manejan las conversiones de datos llevadas a cabo por 4 columnas de 8 conversores SAR cada una. Primero detalla el diseño de estos bloques y luego se muestra la arquitectura del conversor. Finalmente se comentan aspectos de verificación y fabricación del chip prototipo.

5.1. Flujo de Diseño Analógico en Circuitos Integrados

Antes de entrar en detalles sobre el diseño llevado a cabo, es necesario delinear el flujo de diseño analógico tenido en cuenta para lograr cualquier desarrollo. La tarea de diseñar un circuito integrado analógico incluye muchas etapas. La Fig. 5.1 muestra el método general a seguir en el diseño de circuitos analógicos. El diseñador es responsable de todos estos pasos excepto por la fabricación.

En el primer paso se definen las especificaciones que deberá cumplir el diseño: este paso es muy importante ya que determina las capacidades y limitaciones iniciales del desarrollo. A continuación se realiza el diseño y simulación de los circuitos elaborados a nivel esquemático, con el modelo brindado por el fabricante y los procesos de fabricación también brindados por este (*corners*, ver Sección 5.1.1). En esta etapa pueden realizarse múltiples iteraciones con el objetivo de alcanzar las especificaciones del paso anterior. Luego se procede a realizar la disposición física y conexionado de los elementos del circuito, conocido como *layout*, donde se ubican y conectan los transistores que componen el diseño en el

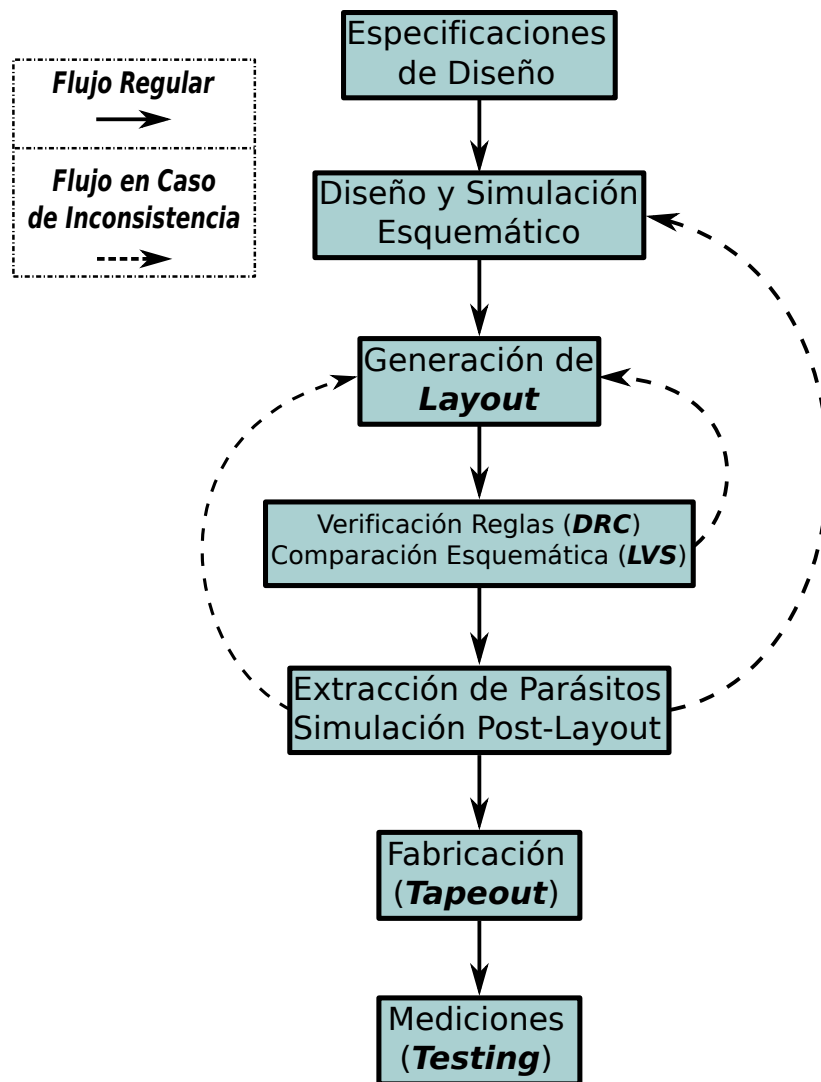


Figura 5.1: Flujo de diseño analógico en circuitos integrados.

área preestablecida, uno de los desafíos del diseño analógico es tratar de utilizar la menor cantidad de área posible. Una vez realizado esto, se verifica que el *layout* cumpla con las reglas de diseño establecidas por el fabricante (*DRC*) y que represente lo que se planteó a nivel esquemático (*LVS*). Estas operaciones se realizan con herramientas automáticas de verificación, las cuales indican los errores cometidos en caso de haberlos. De ser así se reordena el *layout* de manera que pase las revisiones. Luego de pasarlas se realiza la extracción del circuito equivalente de lo dispuesto físicamente. Aquí se consideran los parásitos introducidos por las conexiones, disposiciones de dispositivos, entre otros. Esto permite simular los circuitos en condiciones más realistas que las realizadas en el segundo paso, ya que se contemplan las características introducidas por la tecnología de fabricación. A partir de los resultados es posible que deban reformularse algunos de los circuitos o cambiar el *layout* para lograr

las especificaciones requeridas. Finalmente, cuando se alcanza el desempeño deseado, el circuito se encuentra listo para la fabricación. Luego de la fabricación, el diseñador encara el último paso del flujo, el cual verifica si el sistema diseñado cumple con lo especificado inicialmente, es la etapa de calibración y pruebas.

5.1.1. Procesos de Fabricación

También llamados *corners*, hacen referencia a un ejemplo de una técnica de Diseño de Experimentos (*Design-of-Experiments*, DoE) que consiste en una variación de parámetros de fabricación usados en la aplicación de un diseño de circuito integrado a una oblea semiconductor. Los *corners* representan los extremos de las variaciones de estos parámetros dentro de los cuales un circuito que ha sido grabado en la oblea debe funcionar correctamente.

En el diseño de circuitos integrados en VLSI y la fabricación de semiconductores, un *corner* del proceso representa una variación de 3 a 6 sigma (σ) de las concentraciones de dopaje nominales (entre otros parámetros) en transistores en una oblea de silicio. Esta variación puede causar cambios significativos en el ciclo de trabajo y en la velocidad de cambio de las señales digitales, y en ocasiones puede provocar una falla catastrófica de todo el sistema.

Una convención para nombrar los *corners* es utilizar dos letras, en donde la primera hace referencia a los NMOS y la segunda a los PMOS. En esta nomenclatura existen tres tipos de *corners*: *Typical* (típico), *Fast* (rápido) y *Slow* (lento). Por su parte, *fast* y *slow* exhiben que la movilidad de portadores es mayor o menor de lo típico, respectivamente. Por ejemplo, el *corner* nombrado como FS hace referencia a NMOS rápidos y PMOS lentos.

5.2. Muestreo Entrelazado de Señales Analógicas

Existen arquitecturas en donde el muestreo entrelazado se divide en jerarquías. Entre ellas se pueden encontrar o no *buffers* intermedios, en [?] se realiza una comparativa de ellas, advirtiéndose que sin esta etapa se obtienen mejores resultados. Para el caso de este diseño, se trabaja con dos jerarquías de TH sin *buffer* entre medio esto se muestra en la Fig. 5.2 (C_{sar} es la capacidad de entrada de cada SAR). La primera constituye el *front sampling* (φ). La segunda (θ), representa el *second sampling* y se

compone de bloques presentes en cada unidad SAR. El número total de canales (N) se calcula multiplicando el número de *fases* N_ϕ , y el número de sub-ADCs en cada una, N_θ :

$$N = N_\phi \times N_\theta \quad (5.1)$$

Las señales de control del *front* se muestran como φ_0, φ_1 , etc. Estas señales controlan la primera jerarquía de muestreo del Chip. Todas ellas tienen la misma frecuencia y ancho de pulso, pero cada una está desfasada un 25 % respecto a la anterior. Las señales llamadas θ_0, θ_1 , etc. son las señales de control de los circuitos de muestreo internos de cada SAR (*second sampling*). Esta técnica de muestreo difiere de la presentada en [?, ?], donde se utiliza un *buffer* entre etapas (*frontsecond*).

La primera etapa de muestreo consiste en cuatro llaves (transistores) diferenciales que toman la señal con una frecuencia de 800 MHz, y cada una actúa con un desfase de un cuarto de ciclo (312,5 ps) con respecto a la llave anterior. Debido a que las señales de comando de las compuertas tienen un ciclo de trabajo de 50 %, la señal de entrada es seguida por dos transistores de forma simultánea en todo momento, pero es congelada a la salida de una sola llave cada vez. Otras ocho llaves conforman cada una de las subjerarquías de muestreo secundario, resultando en $N = 32$, esto puede observarse en la Fig. 5.2. Estas últimas, controladas por θ ,

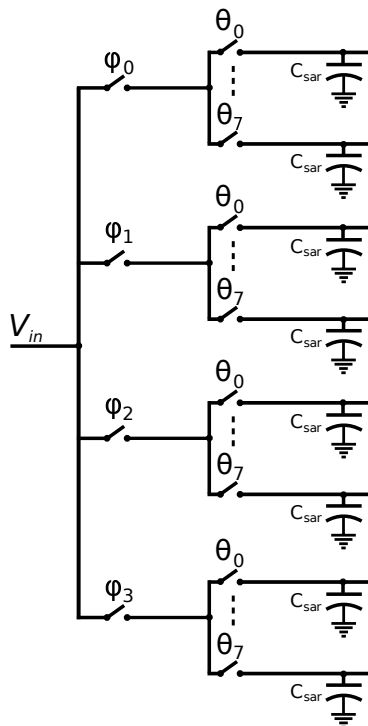


Figura 5.2: Arquitectura de muestreo.

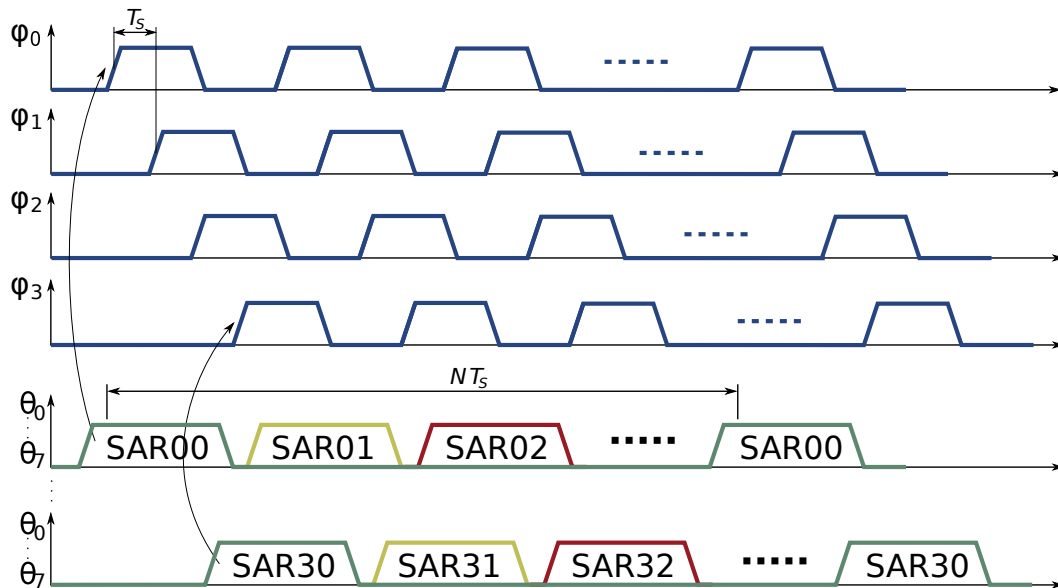


Figura 5.3: Fases de muestreo.

tienen una frecuencia de 100MHz, un ancho de pulso del 12,5% del ciclo de trabajo y están desfasadas en 1,25 ns entre sí. El *timing típico* se muestra en la Fig. 5.3, en donde advertimos que dos llaves siempre están en seguimiento y dos siempre en retención. Por otra parte, se observa que cada pulso de *front* está centrado en el *second* y que cada pulso va tomando diferentes SARs.

5.3. Sincronismo

Tal como se dijo en el Capítulo 3, al utilizar arquitecturas paralelas se debe asegurar el sincronismo de las señales que comandan este tipo de conversiones, más aún cuando se proponen arquitecturas con diferentes jerarquías de muestreo sin etapa de *buffer* entre ellas [?].

Los valores antes mencionados sobre frecuencia, ancho de pulso, ciclo de trabajo y corrimiento de fase deben ser lo más cercanos posible al valor ideal para asegurar el correcto funcionamiento del conversor. En caso de que esto no suceda, puede ocurrir que la señal de entrada sea seguida por más llaves de lo permitido o que la conversión termine siendo defectuosa, disminuyendo el rendimiento. Por lo tanto, es de suma importancia agregar *Celdas de Retardo Programable*, las cuales permiten agregarle programabilidad a las fases para lograr corregir cualquier corrimiento indeseado en ellas.

A continuación se presenta una descripción de las características de los bloques diseñados para tal fin.

5.3.1. Generación y Calibración de Fases de Reloj

Este bloque se encarga de crear las señales (aquí denominadas *fases*) de reloj que son usadas para sincronizar los diferentes procesos en el chip. El procedimiento consiste en tomar una señal diferencial de reloj desde el exterior y generar, a partir de ella, señales de temporización para los bloques de muestreo, cuantización y transmisión. Para la calibración se emplean las Celdas de Retardo. En la Fig. 5.4 se muestra un diagrama en bloques completo de la generación del sincronismo del TI-ADC más el Transmisor (TX).

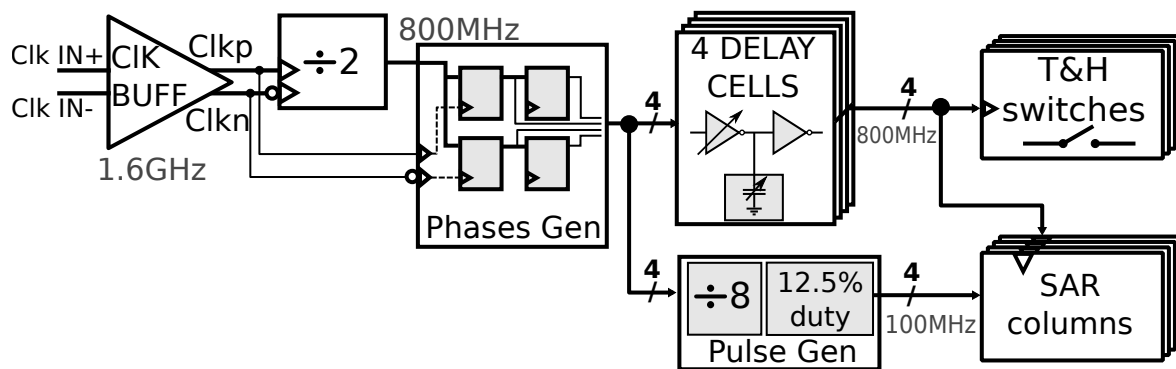


Figura 5.4: Diagrama en Bloques de la generación del sincronismo completo.

Los bloques principales que componen esta celda son:

- **Buffer de entrada** (*Clock Buffering*): Como se mencionó en la Sección 2.2, la excursión de un inversor es definida por la tensión de alimentación. Por lo tanto este bloque se encarga de llevar las señales de reloj de entrada (cuadrada diferencial de 1.6GHz) de baja amplitud a valores de tensión adecuados (V_{DD} y V_{SS}) y además se toma una señal *single ended* de 1.6GHz utilizada por el TX.
- **Generador de Fases** (*Phases Gen*): genera, a partir de las señales entregadas por el *buffering*, cuatro señales cuadradas de 800MHz desfasadas 25 %, con 50 % de ciclo de trabajo.
- **Celdas de Retardo Programable** (*Delay Cells*): permiten realizar ajustes en el defasaje de las señales generadas en el bloque anterior.
- **Generador de Pulsos y Sincronismo** (*Pulse Gen - Retiming*): producen los pulsos necesarios para manejar los bloques SAR y transmisor, y los sincronizan adecuadamente.

5.3.2. Generador de Fases

Para obtener una señal de 800 MHz con ciclo de trabajo de 50 %, se utiliza un divisor de frecuencia por dos formado por un DFF y un inversor (Fig. 5.5). La señal de reloj de entrada es una onda cuadrada diferencial de 1,6 GHz y valores de tensión *single ended* de 0 V y 1,2 V, que proviene de la etapa de *Clock Buffering* mencionada anteriormente.

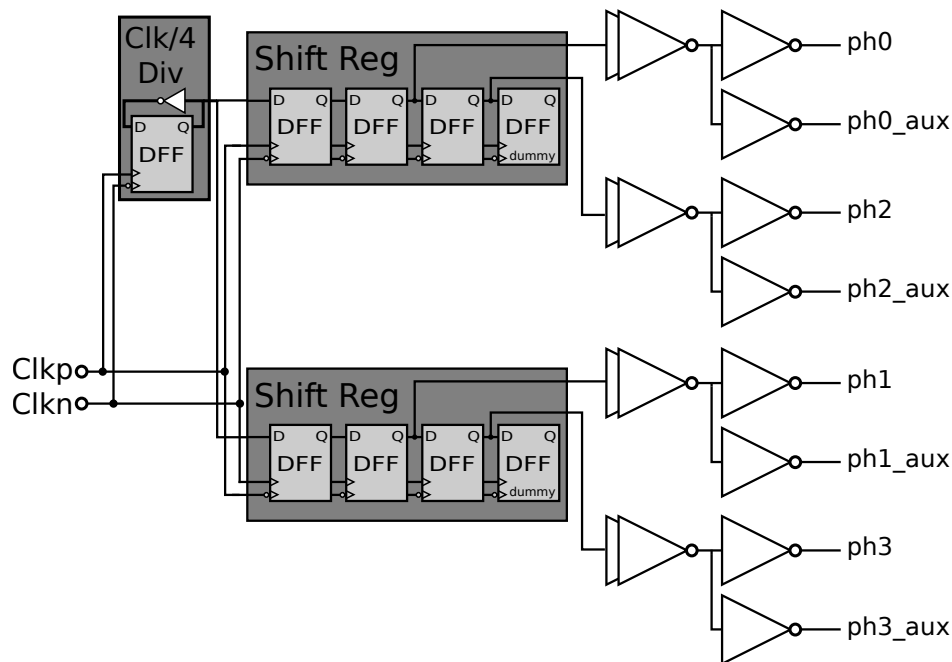


Figura 5.5: Generación 4 fases de 800 MHz

Una vez obtenida la señal de 800 MHz se emplean dos registros de desplazamiento manejados por la misma señal de entrada de 1,6 GHz, uno de ellos con la misma fase que el divisor y el otro con la fase invertida, de esta manera con dos registros podemos obtener las 4 fases desfasadas 90° entre ellas. En la Fig. 5.6 se muestran las señales resultantes del circuito.

Además, se utilizó una cadena de inversores para bufferear las señales y replicarlas, para conectarlas a los circuitos siguientes. La secuencia: ph0, ph1, ph2, ph3 presenta una distancia aproximada de 312,5 ps entre una y la siguiente. Las correcciones las realizan las celdas de retardo con una correcta configuración.

Estas 4 señales son las que efectivamente ingresarán a las celdas de retardo. Además de estas señales, se desprenden otras cuatro fases auxiliares que son utilizadas para conformar los pulsos de sincronismo de las columnas de SAR y del TX, sin pasar por el retardo (ph0_aux, ph1_aux, ph2_aux, ph3_aux).

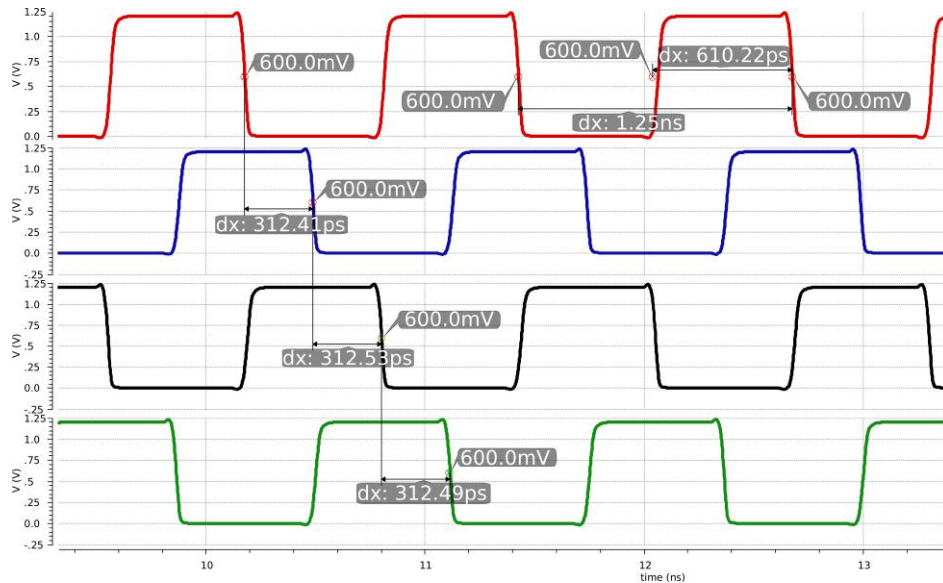


Figura 5.6: Señales de salida del circuito Generador de Fases.

5.3.3. Generador de Pulsos de Sincronismo

El objetivo de este circuito es la generación de una onda cuadrada de 100 MHz de frecuencia ($T = 10$ ns), con un ciclo de trabajo de 12,5% (1,25 ns). Por lo tanto, se diseñó con una cadena de DFF actuando en divisor x2 (divisor x8 en total), manejados el primero por un reloj de 800 MHz y su complemento y los restantes cada uno por la señal de salida del anterior. De esta forma se consigue una onda cuadrada de 100 MHz de frecuencia, pero con un ciclo de trabajo de 50%. Se utilizó una lógica combinacional entre las señales intermedias, para conseguir un pulso de 1,25 ns de duración, repetido cada 10 ns.

Las señales de 800 MHz a partir de las que se generan los pulsos se toman desde el bloque de generación de fases, sin pasar por las celdas de retardo, es decir `ph0_aux`, `ph2_aux`. Por último, la Fig. 5.8 podemos

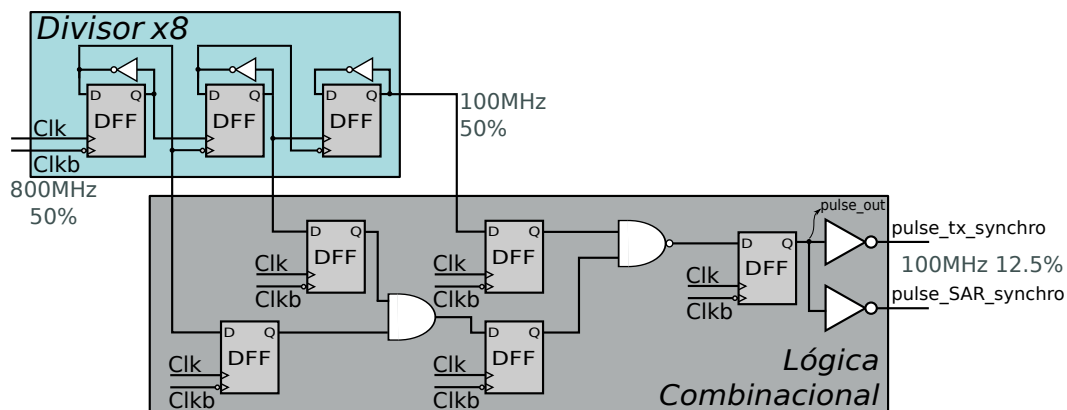


Figura 5.7: Generación de pulsos.

observar los pulsos obtenidos.

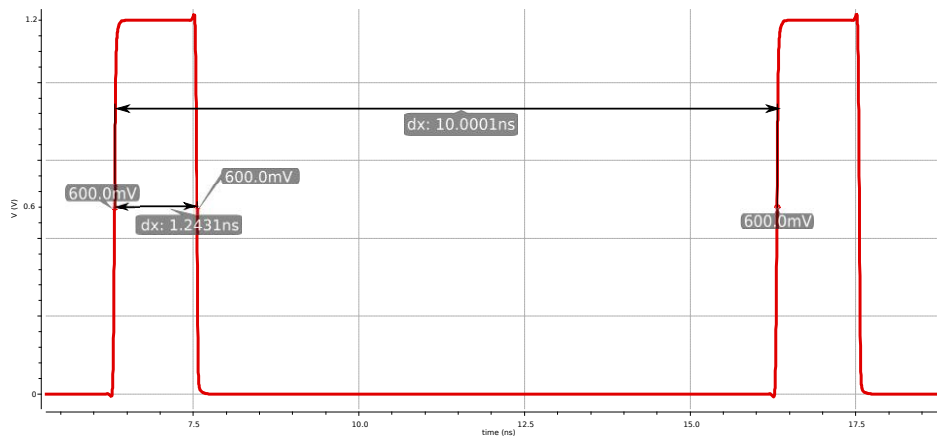


Figura 5.8: Pulsos generados.

Resincronización y División de Pulsos

Una vez obtenido el pulso de sincronismo para las celdas SAR, se procede a resincronizar el pulso y replicarlo en cuatro para enviar una a cada columna de celdas SAR. Cada pulso se separa del anterior en 312,5 ps, y se envían en la secuencia: `pulse<0>`, `pulse<1>`, `pulse<2>`, `pulse<3>`. Para conseguir esto se aplicó el circuito de la Fig. 5.9. Las señales de reloj utilizadas en este caso son las salidas de las celdas de retardo, adecuadamente buffereadas. Con esto se logran correctos tiempos de establecimiento y sincronismo con las señales de reloj para el bloque de TH. La salida se muestra en la Fig. 5.10.

Además de la obtención de los cuatro pulsos de sincronismo para

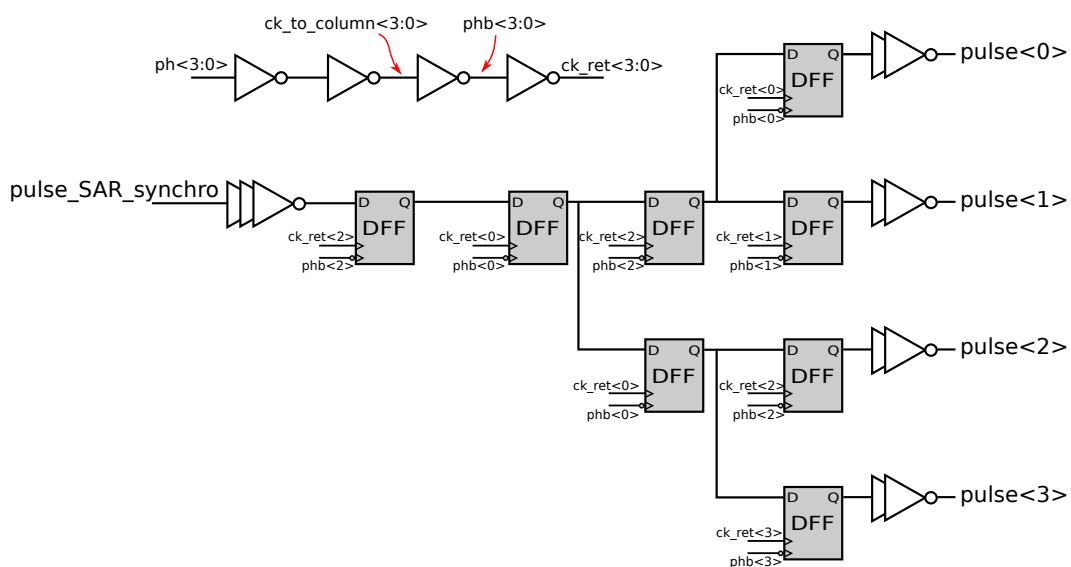


Figura 5.9: Obtención de los cuatro pulsos de sincronismo para las columnas SAR

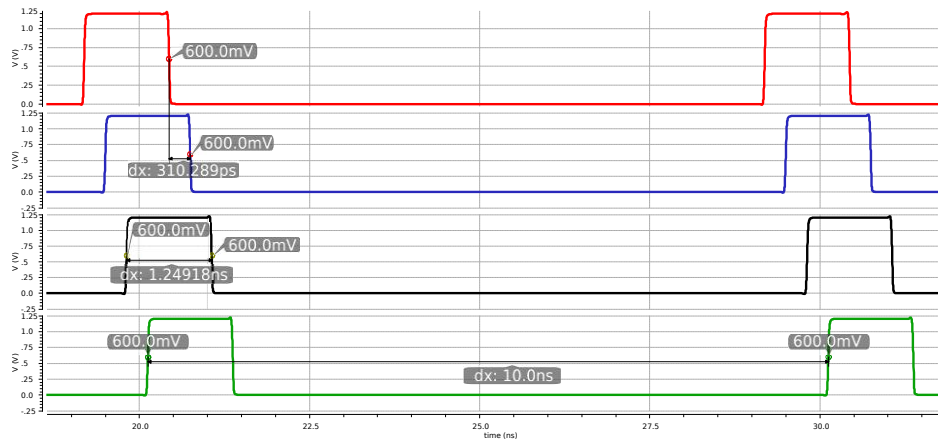


Figura 5.10: Generación de pulsos

las columnas de SAR, se toman de este bloque las señales de reloj que manejarán luego estos pulsos en cada columna, indicadas en la Fig. 5.9 como `ck_to_column<3:0>`.

A cada columna de SAR ingresa una señal de pulso de sincronismo, una señal de 800 MHz en fase con la señal de reloj de la llave de *track and hold*, y una señal de 800 MHz en contrafase con la anterior, todas ellas buffereadas dentro de cada columna.

Integrado en cada columna de bloques SAR se encuentra un registro de desplazamiento que hace pasar el pulso por los 8 SAR en el tiempo correspondiente, de manera que sólo una unidad SAR en cada columna capture el valor de la señal de entrada.

5.4. Celdas de Retardo Programable

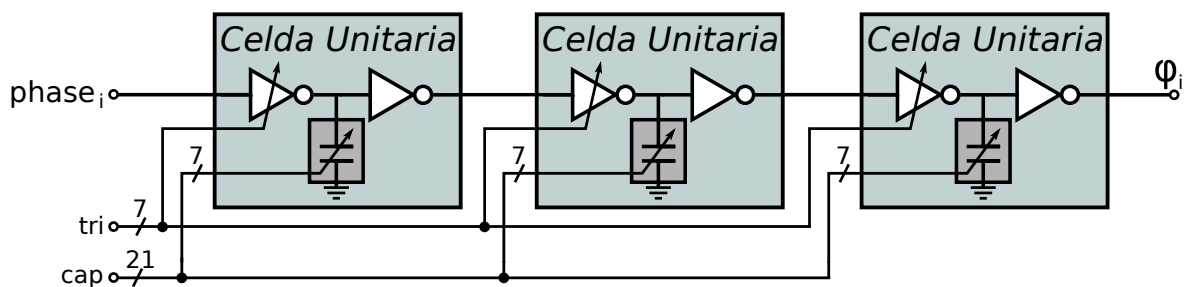
Teniendo en cuenta la explicación de la Sección 4.2, se diseñaron estas celdas para ofrecer la programabilidad deseada a la hora de ajustar las fases relativas de las señales de reloj que comandan las llaves de muestreo. Si recordamos la explicación brindada en la Sección 4.1, trabajando a 1,6 GHz un desajuste de 500 fs reduce la performance significativamente y la calibración debe ser rigurosa. Es por esto que se requería un rango de ajuste por fase de 120 ps y un paso (*step*) de ajuste menor a los 150 fs con la programabilidad brindada por los capacitores partiendo de una configuración de triestados, en todos los procesos posibles.

El bloque global, que se implementa una vez para cada fase de 800 MHz [Fig. 5.11(a)], está compuesto por 3 sub-bloques o celdas individuales [Fig. 5.11(b)] iguales conectadas en cascada. Cada celda individual consta de un arreglo de 7 inversores triestados (para aumentar o limitar

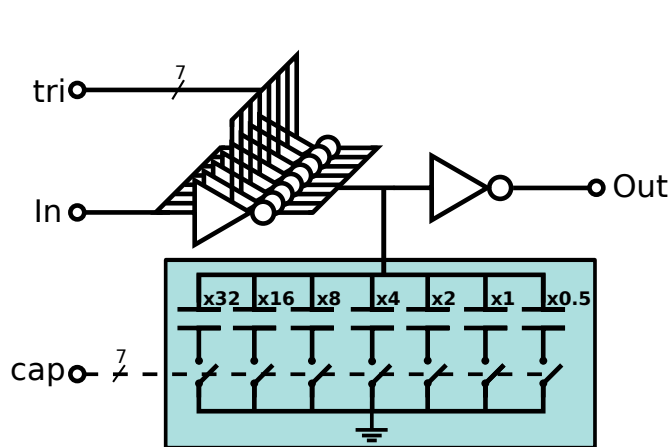
corriente) [Fig. 5.11(c)] y un arreglo de 7 capacitores. En ambos casos los pesos de los elementos escalan en forma binaria. Tanto el encendido de los capacitores (señales **cap**) como el de los triestados (señales **tri**) es programable. En el primer caso, la configuración de capacitores encendidos se hace de manera individual para cada sub-bloque y se encienden por alto, mientras que los triestados de los tres sub-bloques se configuran de la misma forma. Cada uno de ellos es activo por alto, pero presentan una etapa inversora previa a su entrada de habilitación que hace que se configuren por estado lógico 0.

Se incluyen además, entre etapas, *buffers* inversores que requieren tener un tamaño especial para no cargar demasiado el nodo de salida de la etapa anterior y poder mover el nodo de entrada de la etapa siguiente (*fan-out*), necesarios para la optimización de flancos (Cap 5 de [?]).

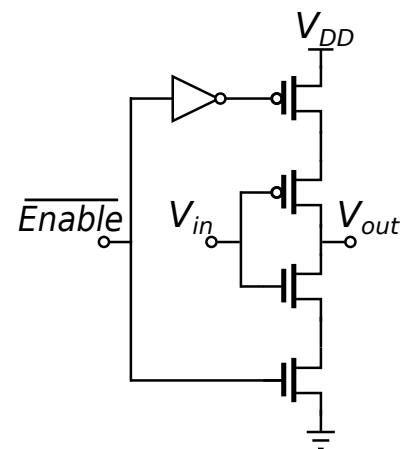
Un parámetro a tener en cuenta es el ciclo de trabajo de las señales a la salida de estas celdas, dado que debía ser lo más cercano posible al 50% sin superarlo y ser tal que la llave pueda obtener (muestrear) el valor de la señal. La importancia radica en que sólo dos de las cuatro llaves pueden tomar muestras en simultaneo y si los ciclos de trabajo



(a) Celda de Retardo por Fase.



(b) Celda de Retardo Individual.



(c) Esquemático Inversor Triestado.

Figura 5.11: Celdas de Retardo Programable.

no se corrigen puede que una tercera comience a conducir pidiendo más corriente y deteriorando el desempeño del conversor. Es por esto, que a la salida de cada celda de retardo por fase se agregaron inversores desbalanceados para corregir ciclos de trabajo.

La relación binaria en los inversores se logró escalando el tamaño (*sizing*) de los MOS y la relación entre tipo P y N que los componen, tratando de mantener el umbral de conmutación cerca de $V_{DD}/2$.

Registros de Configuración

Para prender/apagar triestados o capacitores es necesario poder interactuar con el *Chip* desde el exterior, por lo tanto para realizar calibraciones y mediciones de distintos tipos se empleó una topología basada en registros de desplazamiento para configurarlo. El control de los registros a escribir se realiza por medio de 4 líneas de datos.

- **Ctrl_Clk:** Reloj para desplazar los valores por los registros.
- **Ctrl_Load:** Pulso de carga que indica cuando se deben pasar las configuraciones del registro al bloque.
- **Ctrl_Din:** Entrada de datos, sobre esta línea se colocan los valores con los que se quieren cargar los registros.
- **Ctrl_Dout:** Salida de datos, está conectada al último registro de la cadena, puede ser útil para obtener los valores de la configuración presente en el chip.

La estructura del bloque de configuración se muestra en la Fig. 5.12. En donde se aprecia que la carga de registros se realiza de manera serial.

Como se mencionó anteriormente, los datos que se desean cargar se van desplazando por las celdas de control identificadas como REG_i a

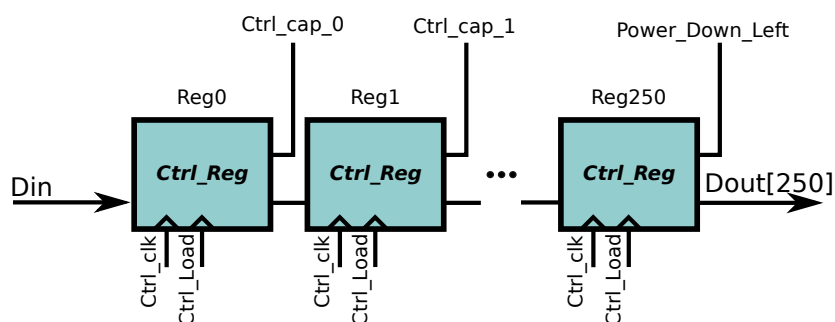


Figura 5.12: Arquitectura de configuración para los registros.

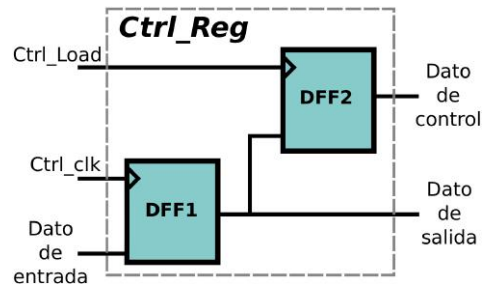


Figura 5.13: Celda de control unitaria.

medida que los flancos positivos de reloj van llegando. Al mismo tiempo, por la línea *Ctrl_Dout*, se pueden apreciar los bits que estaban presentes anteriormente en los registros. Luego de $M + 1$ pulsos de reloj (con M igual al número de registros), el primer dato alcanzará la entrada del último registro de la cadena.

Las celdas de control poseen dos salidas. Una conectada a la entrada de la celda siguiente y otra que se conecta a la celda a controlar. La estructura de una celda unitaria puede verse en la Fig. 5.13, la misma se compone de dos DFF controlados por distintas señales de reloj.

Uno de los DFF forma parte del registro de desplazamiento, es controlado por la señal de reloj externa, tiene como entrada el dato proveniente del exterior o la salida de la celda anterior y su salida se conecta a la entrada del otro DFF de la celda y a la entrada de la siguiente celda. El DFF restante tiene su salida conectada al dato a controlar y es manejada por una señal externa diferente, la cual es un pulso único que indica cuando el dato debe pasar al bloque en cuestión.

Debido a la topología de esta celda, cada vez que se desee cargar una nueva configuración se deben ingresar los valores correspondientes a todos los registros.

Para el caso de las Celdas de Retardo se requieren 112 registros que hacen referencia a 7 configuraciones de triestados por cuatro fases (28)

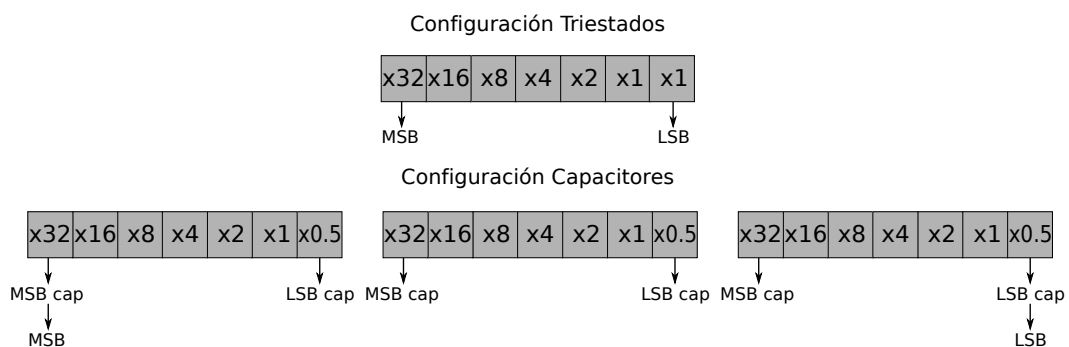
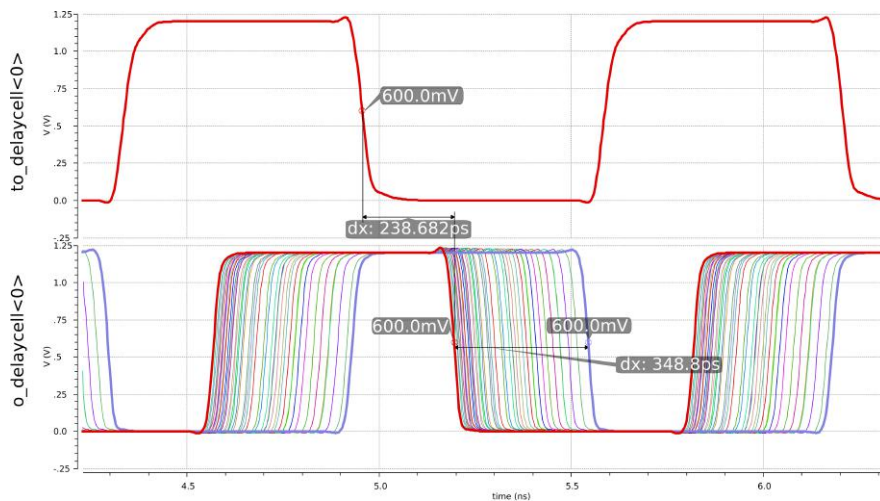


Figura 5.14: Disposición de la configuración de las Celdas de Retardo.

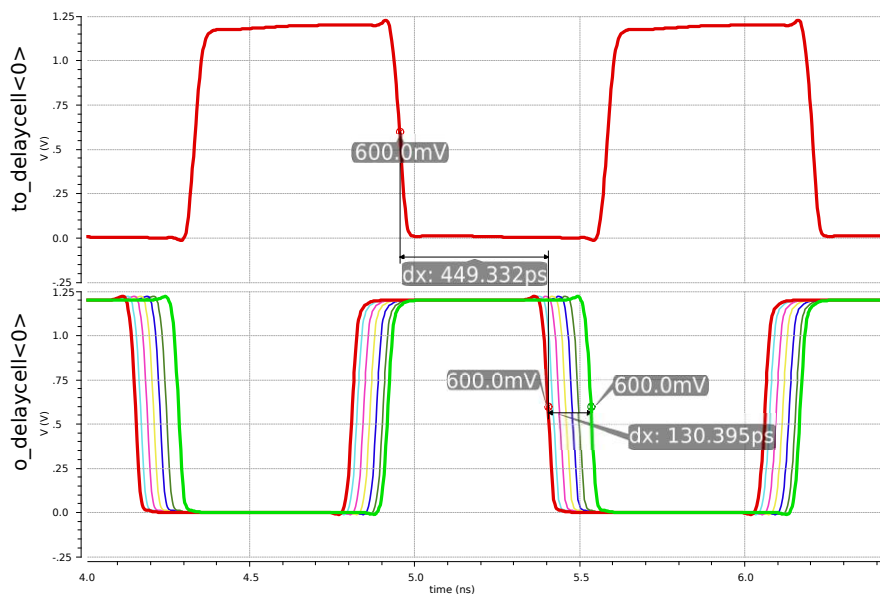
y 21 configuraciones de capacitores por la misma cantidad de fases (84). El orden de carga corresponde en primer lugar a la fase 1 seguida por 3, 2, 0. La disposición se muestra en la Fig. 5.14 en donde se marcan el Bit más significativo (*Most Significant Bit*, MSB) y el Bit menos significativo (*Less Significant Bit*, LSB) para los diferentes bancos de configuración.

5.4.1. Simulaciones

Se realizaron distintos tipos de simulaciones para evaluar el comportamiento de las celdas bajo diferentes circunstancias variando tensión ($V_{DD} \pm 10\%$), temperatura (0° - 65° - 125°) y el proceso (*corners*: TT, FF, SS, FS, SF).



(a) Efecto producido por diferentes configuraciones de triestados.



(b) Efecto producido por diferentes configuraciones de capacidad.

Figura 5.15: Efecto producido por las Celdas de Retardo.

Tabla 5.1: Configuración de Triestados para obtener ajuste de retardo de 120 ps con capacidad.

<i>Corners</i>	Triestados ON	V_{DD} [V]	Temperatura [°C]	Retardo [ps]
TT	x8-x4-x2	1,2	65	130,4
FF	x8-x1-x1	1,32	0	132,1
SS	x16-x4-x1-x1	1,08	125	121,2
FS	x8-x4-x1	1,32	125	137,1
FS	x16-x1	1,08	125	132,5
SF	x8-x4-x1	1,32	125	122,1
SF	x16	1,08	125	127,5

Para mostrar el efecto que producen las celdas se grafican por simplicidad la Fase 0 y corner *TT*. Para el caso de la Fig. 5.15(a) se muestra el retardo producido por las diferentes configuraciones de triestados dejando el valor de capacidad en un valor intermedio (los MSB de cada banco de capacitores prendido) y en el Fig. 5.15(b) se muestra el retardo de aproximadamente 120 ps producido por el ajuste de capacidad, desde ningún capacitor conectado hasta todos ellos cargando el nodo de salida, para una configuración de triestados determinada. En la Tabla 5.1 podemos observar las distintas configuraciones que alcanzan el retardo requerido por capacidad para los diferentes *corners*.

Por otro lado, se verificó el retardo producido en función de la configuración de triestados utilizada, cargando cada nodo de salida de las celdas unitarias con capacidad media para determinar las configuraciones antes mencionadas. Como puede verse en la Fig. 5.16 el crecimiento responde de manera exponencial y similar para los diferentes procesos. Nuevamente, por simplicidad, se grafica sólo la Fase 0 obteniendo resultados

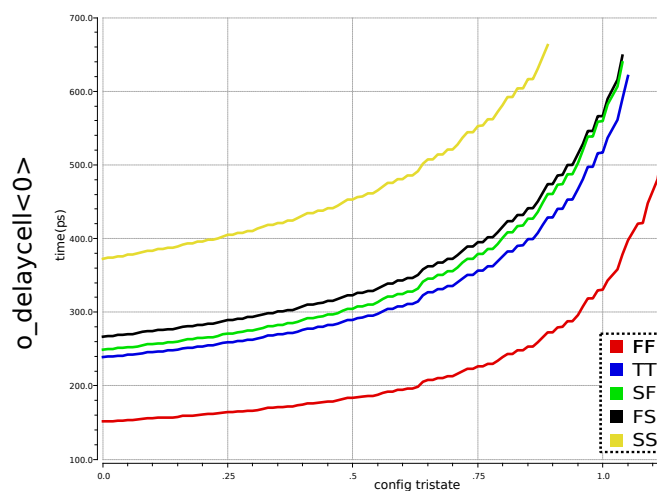
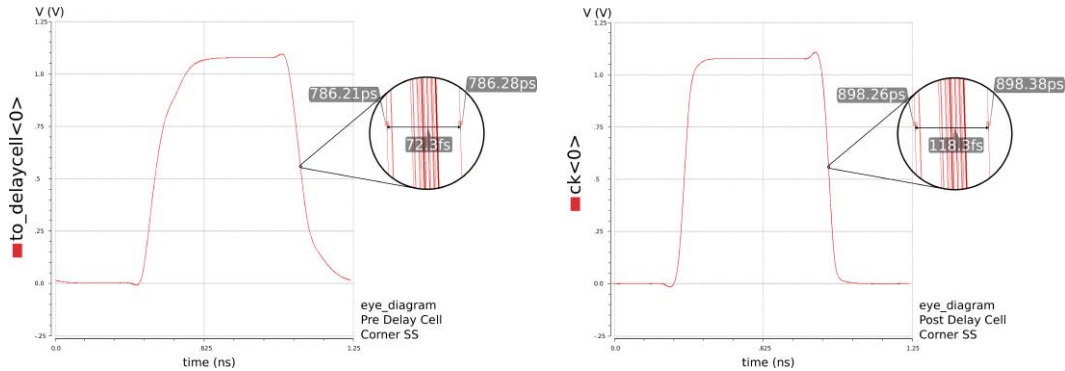


Figura 5.16: Retardos producidos por las celdas en función de la configuración de Triestados.

análogos para las tres restantes.

En el diagramas Ojo de la Fig. 5.17 podemos ver, tras una simulación con extracción de parásitos RC, el efecto del *jitter* producido en las fases. Se muestra para el *corner SS* (peor caso) en la configuración de triestados activos mostrados en la Tabla 5.1 y todos los capacitores cargando el nodo de salida (*configuración lenta*).



(a) Efecto previo a las celdas de retardo.

(b) Efecto posterior a las celdas de retardo.

Figura 5.17: Diagrama Ojo para configuración lenta en corner SS.

Si bien no es de consideración el efecto producido en la misma fase de reloj al pasar por las Celdas de Retardo (118,3 fs), podemos observar en la Fig. 5.18 que el mismo se agrava cuando tenemos en cuenta la diferencia relativa que hay entre fases consecutivas. Dado que esto debe ser lo más cercano posible al cuarto de ciclo de la fase (312,5 ps) observamos como el efecto es insignificante previo a las celdas de retardo (curva en amarillo) pero luego de atravesar estas celdas (curva en rojo) la consecuencia es mayor. Lo que justifica la implementación de las Celdas de Retardo y que cada una de ellas debe ajustarse por separado, para poder compensar estos desapareamientos y llegar lo más posible a la idealidad para obtener un desempeño aceptable.

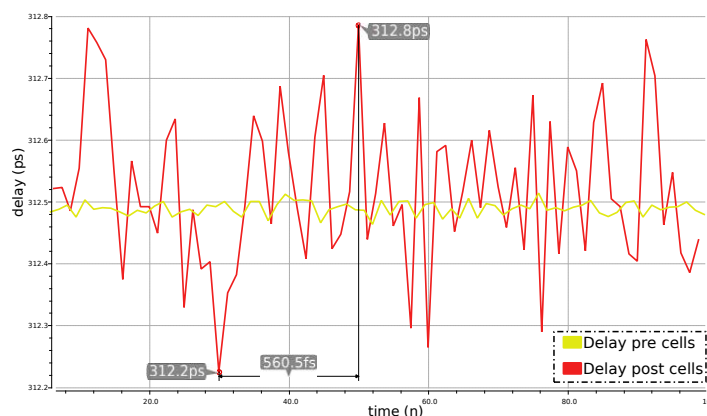


Figura 5.18: Diferencia de tiempo entre fases previo y posterior a las Celdas de Retardo.

5.4.2. Implementación Física

Como resultado final del diseño de las Celdas de Retardo se obtuvo lo mostrado en la Fig. 5.19. En esta se identifican, en recuadros de línea continua, las celdas por fase, mientras que los de línea discontinua referencian a los Registros de Control que le corresponden a cada una de ellas.

Puede verse en la Fig. 5.20 el *layout* de uno de los bancos de capacitores que componen a las celdas unitarias (recordar que se utilizan 3 de estos por fase). Allí se distinguen los distintos sub-arreglos de capacitores unitarios (uno posee la mitad) conectados a sus respectivas llaves selectoras que, según lo comandado por la configuración a través de los registros cargan al nodo de salida de los triestados o quedan “flotando” a masa. La razón por la que se implementa de esta forma, con capacitores unitarios en pequeños arreglos, es para hacer el diseño más inmune al *mismatch*. El *trade-off* se da entre el tamaño de los capacitores y el error mínimo en el proceso de fabricación. Suponiendo que el proceso sea ex-

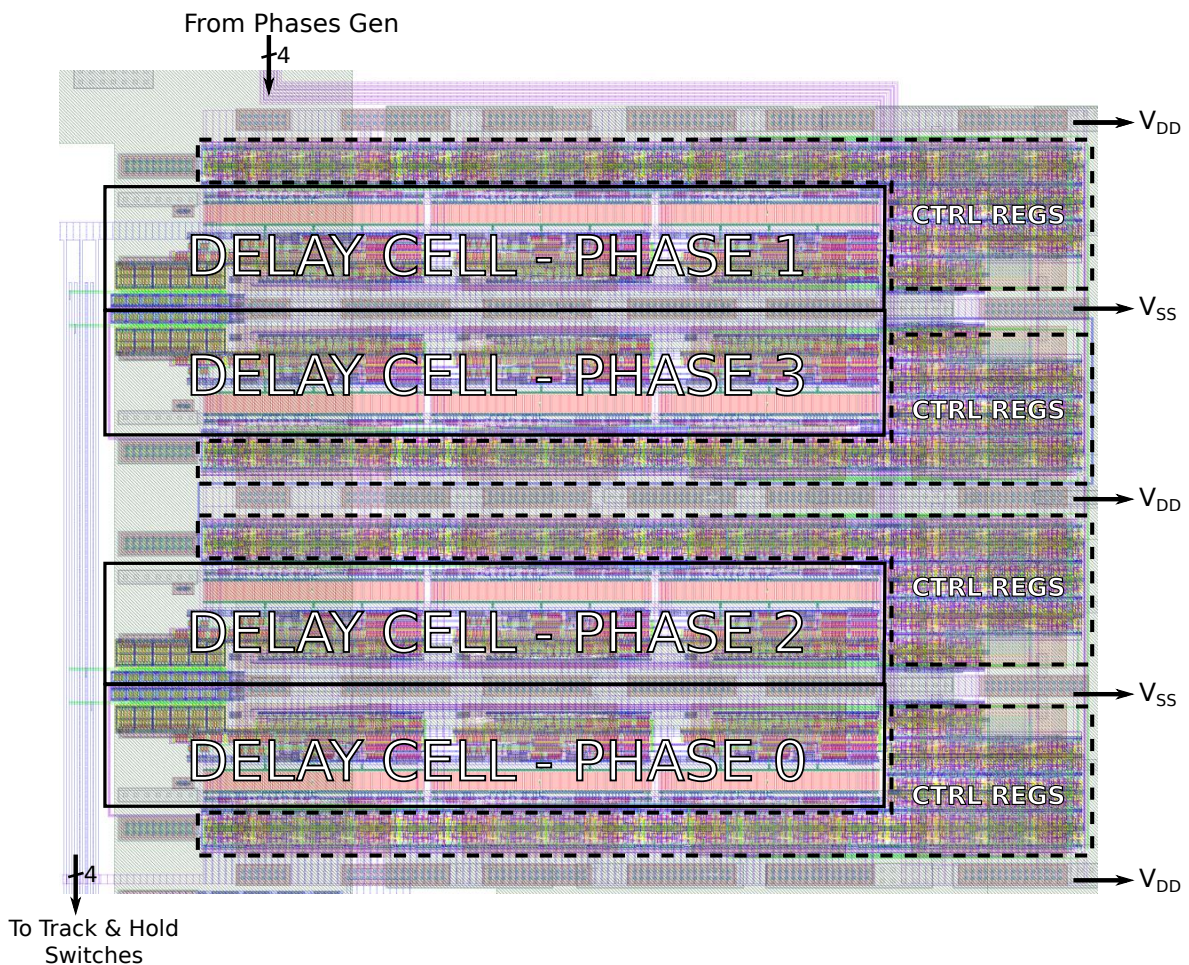


Figura 5.19: *Layout* Bloque Global de Celdas de Retardo.

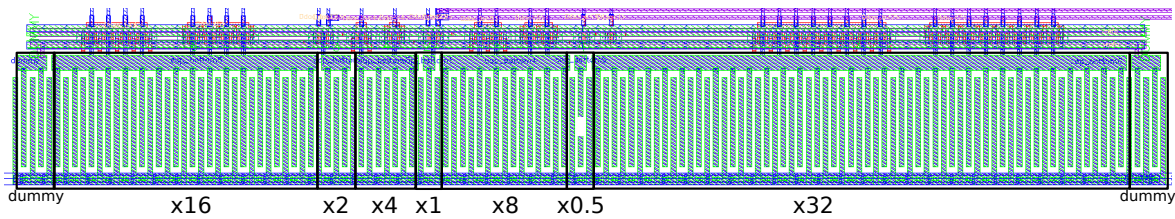


Figura 5.20: *Layout* del banco de capacitores.

celente y asegure un error mínimo regular, mientras más pequeños sean los capacitores, este mínimo error representará un porcentaje mayor de la capacidad que con el área antes mencionada se pueda alcanzar. Esto indica que el área debería ser lo suficientemente grande como para que el porcentaje del error de proceso represente una diferencia de capacidad despreciable.

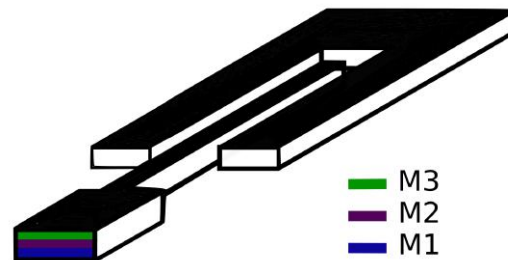


Figura 5.21: Capacitor Unitario.

Lo cierto es que a medida que aumenta el área de los capacitores, aumenta su capacidad y a medida que ésta aumenta, mayores serán los requerimientos de corriente sobre los transistores que conforman las llaves selectoras. Para este diseño se emplearon capacitores de 3,27 fF. Éstos fueron diseñados e implementados con metales, su estructura puede verse en la Fig. 5.21.

En la disposición física de las diferentes celdas que componen este bloque, se debió tener especial cuidado en las señales de reloj, las líneas que transportan estas señales deben ser completamente simétricas. Esto es, deben tener la misma longitud y área, la misma cantidad de conexiones realizadas de la misma forma, etc. De no cumplirse lo anterior se introducen errores sistemáticos, agregando *mismatch* (siendo lo que se quiere corregir) y por lo tanto se degrada la performance del circuito.

Para todos los bloques se mantuvo la simetría en área, longitud y acople entre las líneas que transportan las señales de reloj dado que en caso de no ser así puede generar más desapareamientos. Para lograr el menor acople posible entre señales de reloj y pulsos, en su mayoría

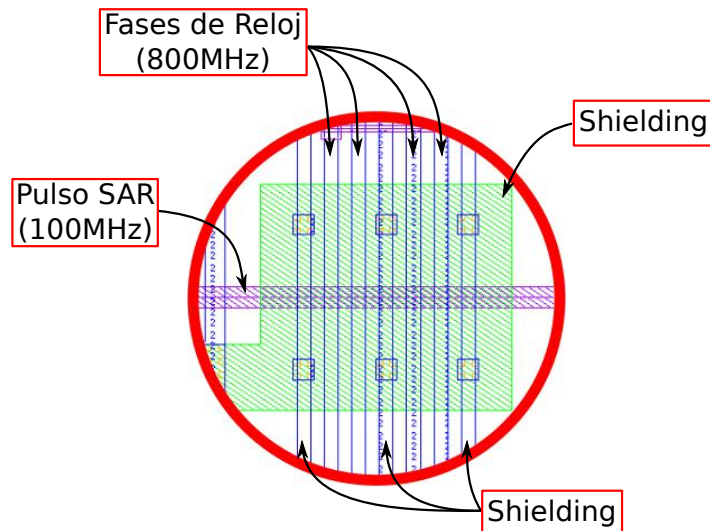


Figura 5.22: *Layout* del blindaje entre señales de reloj y pulso.

de diferentes frecuencias, se utilizaron capas de aislación intermedias (*shielding*). Un caso se muestra en la Fig. 5.22, en donde el Metal 3 (**M3**) hace de blindaje entre las fases de reloj (800 MHz) de Metal 4 (**MQ**) y el pulso de sincronismo de SAR (100 MHz) en Metal 2 (**M2**).

Por otro lado, se resalta el desacople en la **alimentación**. Su función es filtrar cualquier tipo de señal espuria que haga que los niveles de tensión se vean alterados por tiempos significativos. Se emplearon capacitores MOS y Metal-Aislante-Metal (*Metal-Insulator-Metal*, MIM) conectados en paralelo.

Se utilizaron barras del metal más alto, **MA**, para distribuir las líneas de alimentación (V_{DD} y V_{SS}), desde los *pads* hasta los circuitos, ya que las mismas deben ofrecer un camino de muy baja impedancia para asegurar el correcto funcionamiento de estos. La mayor parte de las conexiones, desde jerarquías inferiores hasta el bloque *top*, se realizaron en forma de rejilla (*grid*) para que las señales sufran la menor atenuación posible.

La Fig. 5.23 muestra el *layout* del sincronismo completo del TI-ADC prototipo. En el se distinguen los bloques antes explicados. En la Tabla 5.2 puede verse el área empleada en la implementación física.

Tabla 5.2: Área utilizada por el Sincronismo.

	Phases Gen	Pulse Gen	Delay Cells	Clock Buffering	Retiming
Alto [μm]	75	26	231	115	57
Ancho [μm]	70	64	297	245	74
Área [mm^2]	0,0052	0,0017	0,069	0,028	0,0042

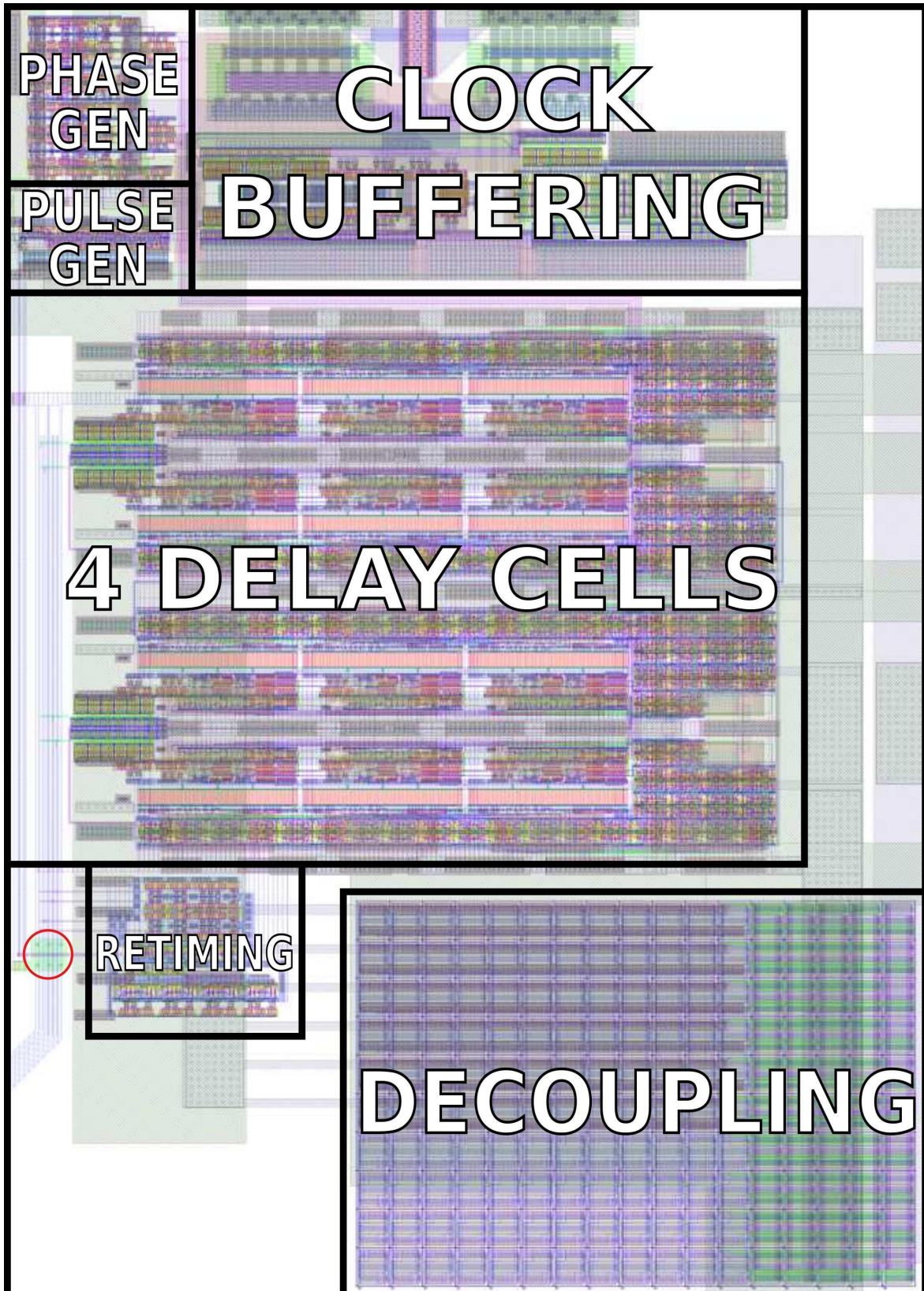


Figura 5.23: *Layout Sincronismo.*

5.5. Elección de Arquitectura

A continuación, se justifica la utilización de los bloques antes descritos. Se comienza comparando brevemente las arquitecturas de conversores A/D nombradas en el Capítulo 3. En la Tabla 5.3 se muestra el orden de merito de cada arquitectura, según un parámetro particular. Esta caracterización se llevo a cabo en base a [?], donde se evalúan conversores comerciales para aplicaciones industriales. Los limites de resolución y frecuencia para cada arquitectura se muestran en la Fig. 5.24, considerando una tecnología de fabricación de $130nm$ [?].

Tabla 5.3: Cuadro comparativo entre arquitecturas ADC.

Orden de merito	Latencia	Frecuencia de muestreo	Resolución	Consumo	Costo	Área
1	Flash	Flash	Sigma-Delta	SAR	SAR	SAR
2	SAR	Pipeline	SAR	Sigma-Delta	Sigma-Delta	Sigma-Delta
3	Pipeline	SAR	Pipeline	Pipeline	Pipeline	Pipeline
4	Sigma-Delta	Sigma-Delta	Flash	Flash	Flash	Flash

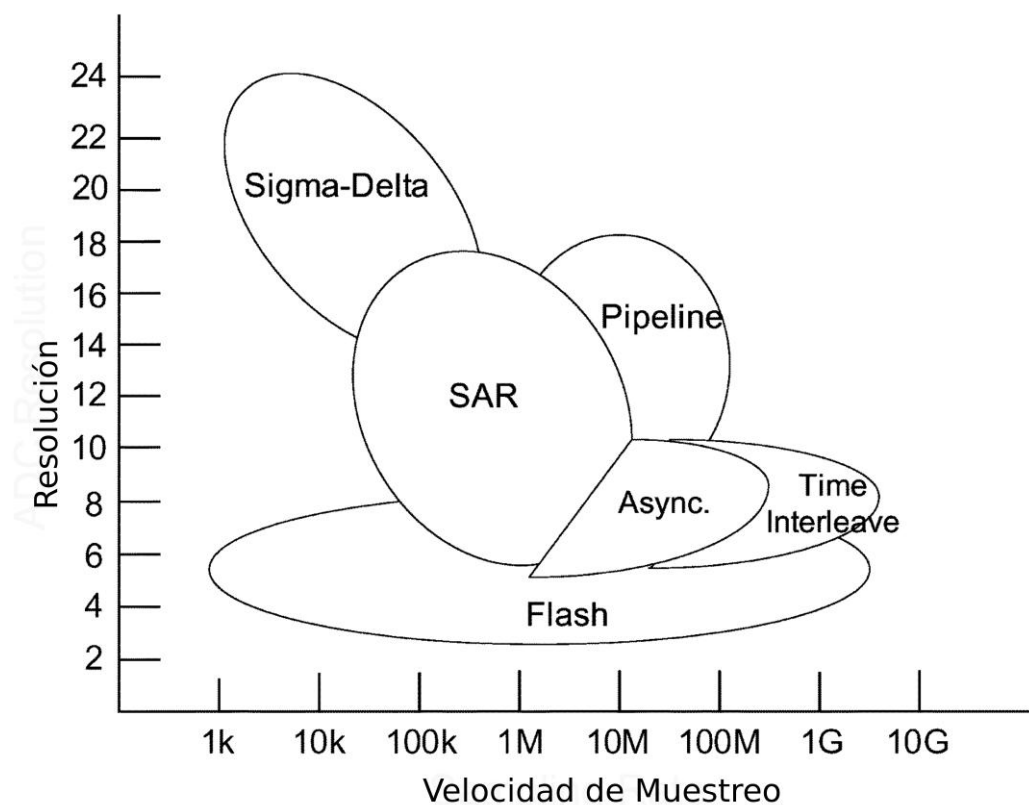


Figura 5.24: Límites de resolución y frecuencia en 130 nm.

Para alcanzar el rango de muestreo propuesto, se debe utilizar arquitectura paralela. Dado que no se podrán alcanzar las especificaciones deseadas (ver la Sección 1.3) con un convertor individual, se implementó un convertor con arquitectura de **Tiempo Entrelazado**..

Los conversores individuales que conformarán el TI-ADC serán SAR asíncrona (*Asynchronous SAR*, A-SAR) que ha sido propuesta por su ventaja de velocidad sobre la SAR síncrona (*Synchronous SAR*-SAR) [?, ?] y será la base del Proyecto integrador complementario de Álvaro Fernández Bocco y Leandro Ariel Reyes.

Se destaca que el conversor diseñado debe ser capaz de enviar todas las muestras capturadas y digitalizadas sin diezmado, ya que interesa emular un sistema real de comunicaciones y por lo tanto se reutiliza un bloque de transmisión adecuado y una interfaz de alta velocidad para poder transmitir al DSP todas las muestras de la señal de información.

5.6. Descripción de la Arquitectura del Circuito Integrado

La representación esquemática de la arquitectura del circuito integrado se muestra en la Fig. 5.25. El chip prototipo se compone de un conversor analógico/digital de tiempo entrelazado junto al circuito transmisor de datos digitales, ambos diseñados para trabajar a alta velocidad.

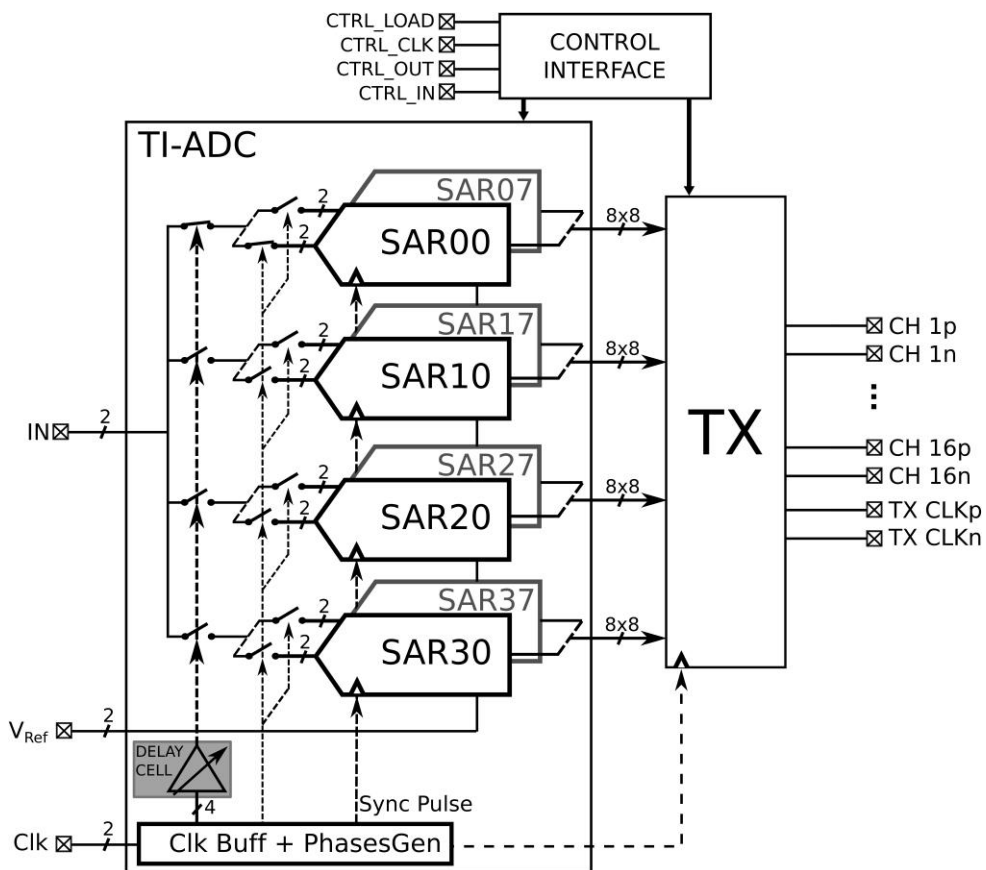


Figura 5.25: Diagrama en bloques de la arquitectura implementada.

En esta implementación de la arquitectura se intercalan temporalmente 32 conversores ADC organizados en 4 canales o *fases* que contienen 8 sub-ADC cada uno sincronizados para que cada uno pueda trabajar sin necesidad de que la conversión del inmediatamente anterior haya concluido (*arquitectura paralela*). Todas las fases tienen un circuito de TH que muestrea la entrada con una frecuencia y corrimiento de fase determinados por los circuitos anteriormente mencionados. Los datos producidos por los sub-ADC se agrupan en un bus de 256 bits, son multiplexados y transmitidos por un *driver* de Señalización Diferencial de Baja Tensión (*Low Voltage Differential Signaling, LVDS*). La resolución del ADC es 8 de bits y la tasa de muestreo es de 3,2 GS/s. Tal como se mencionó anteriormente, el circuito integrado posee múltiples registros de configuración para el control de, entre otros, desplazamientos de fase en las señales de muestreo, compensación de *offset* y ajuste de reloj en el comparador en los sub-ADC y canales de transmisión.

Además se agregó un oscilador en anillo, *Ring Oscillator*, ya que no es posible determinar de manera directa el proceso de fabricación. Se incluye el diseño de este bloque lo suficientemente simple como representativo. Con algunas mediciones sobre su funcionamiento, puede determinarse la deriva respecto de lo esperable en corner TT.

5.7. Fabricación de Prototipo

5.7.1. Verificación de Diseño

Las máscaras de *layout* del chip completo se muestran en la Fig. 5.26. Estas máscaras fueron verificadas para cumplir todos los requisitos y reglas de fabricación, incluyendo verificaciones de efecto antena, reglas de densidad de capas de metal y reglas de efecto de electro-migración en todas las conexiones.

El diseño de *layout* fue optimizado para lograr mínima caída de tensión por efecto resistivo de las pistas de alimentación (*IR drop*) y se garantizó una caída de tensión menor de 10 mV en todas las líneas de alimentación de 1,2 V desde los *pads* de alimentación hasta cada uno de los circuitos funcionales.

Se verificaron en forma exhaustiva las funcionalidades de todos los bloques mediante simulación post-layout basada en extracción de parásitos y variando todos los *corners* de proceso, tensión y temperatura (PVT).

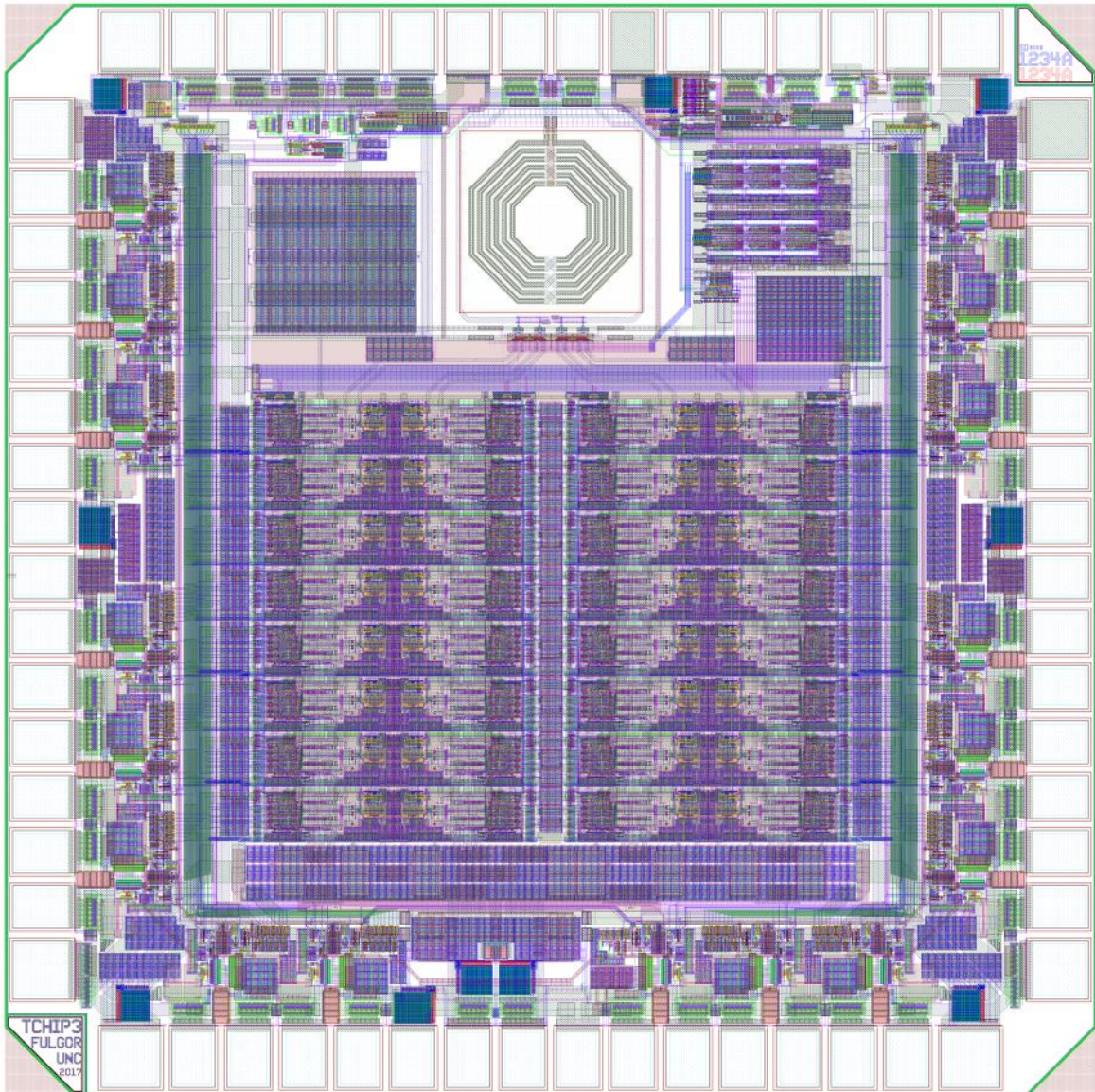


Figura 5.26: Máscaras de *layout* del diseño completo del prototipo fabricado.

5.7.2. Envío a Fabricación

Finalmente, el *testchip3* (Convertor TI-ADC) fue enviado a fabricación utilizando un proceso CMOS estándar de $0,13 \mu\text{m}$ de la empresa *GlobalFoundries* (Burlington-EEUU) a mitad de Noviembre de 2017. El tamaño total del chip fabricado es de $2 \text{ mm} \times 2 \text{ mm}$, incluyendo todos los bloques y *pads* de conexión. En la Fig. 5.27 se muestra una fotografía con microscopio de la pastilla de silicio recibida (*die*).

Por otra parte, en la Fig. 5.28 se muestra otra fotografía con microscopio donde se observa la conexión entre la pastilla de silicio y los pines del encapsulado, también llamado *Bonding Pad*.

El número de pines del chip es de 64 y fue encapsulado en *QFN-64* ya

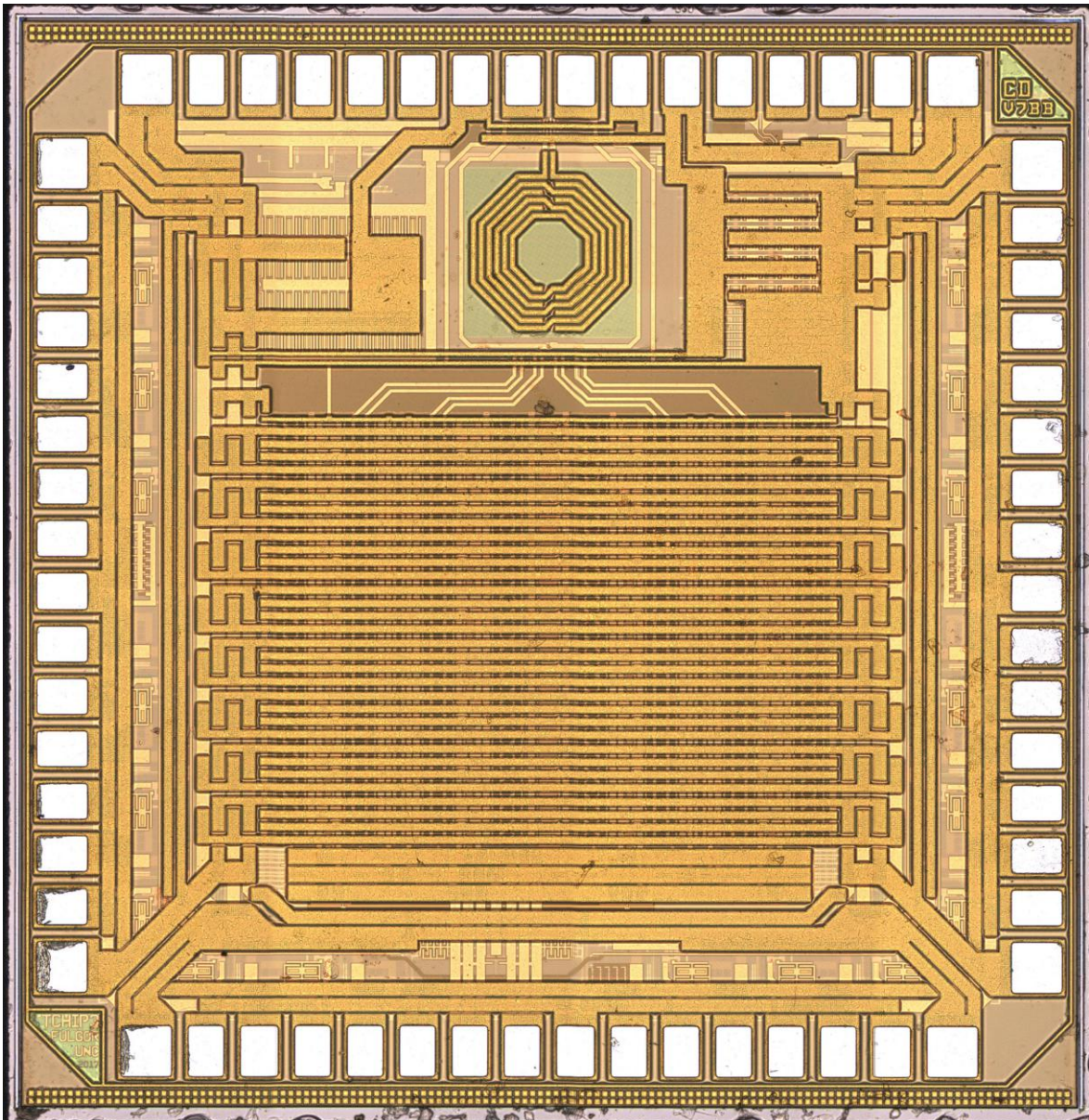


Figura 5.27: Fotografía en microscopio de la pastilla de silicio (*die*). Tamaño total : 2mm x 2mm. Fotografía tomada en LAMARX-FAMAF-UNC.

que era el empaquetado con máximas capacidades de velocidad (mínimos parásitos) disponible desde la empresa MOSIS. En la Fig. 5.29 se puede observar el pinout correspondiente del chip.

El proceso de fabricación y encapsulado demandó un tiempo de ocho meses aproximadamente, durante los cuales se desarrolló parte de la plataforma de mediciones que se detallará en el próximo capítulo.

De los 64 pines de la Fig. 5.29, 34 de ellos son salidas de los TX, ya que se tienen 16 canales más un *clock* de referencia en modo diferencial. A su vez se tienen pines de alimentación de 1,2 V y 2,5 V en redundancia con el fin de tener más puntos de conexión para poder tener menor caída

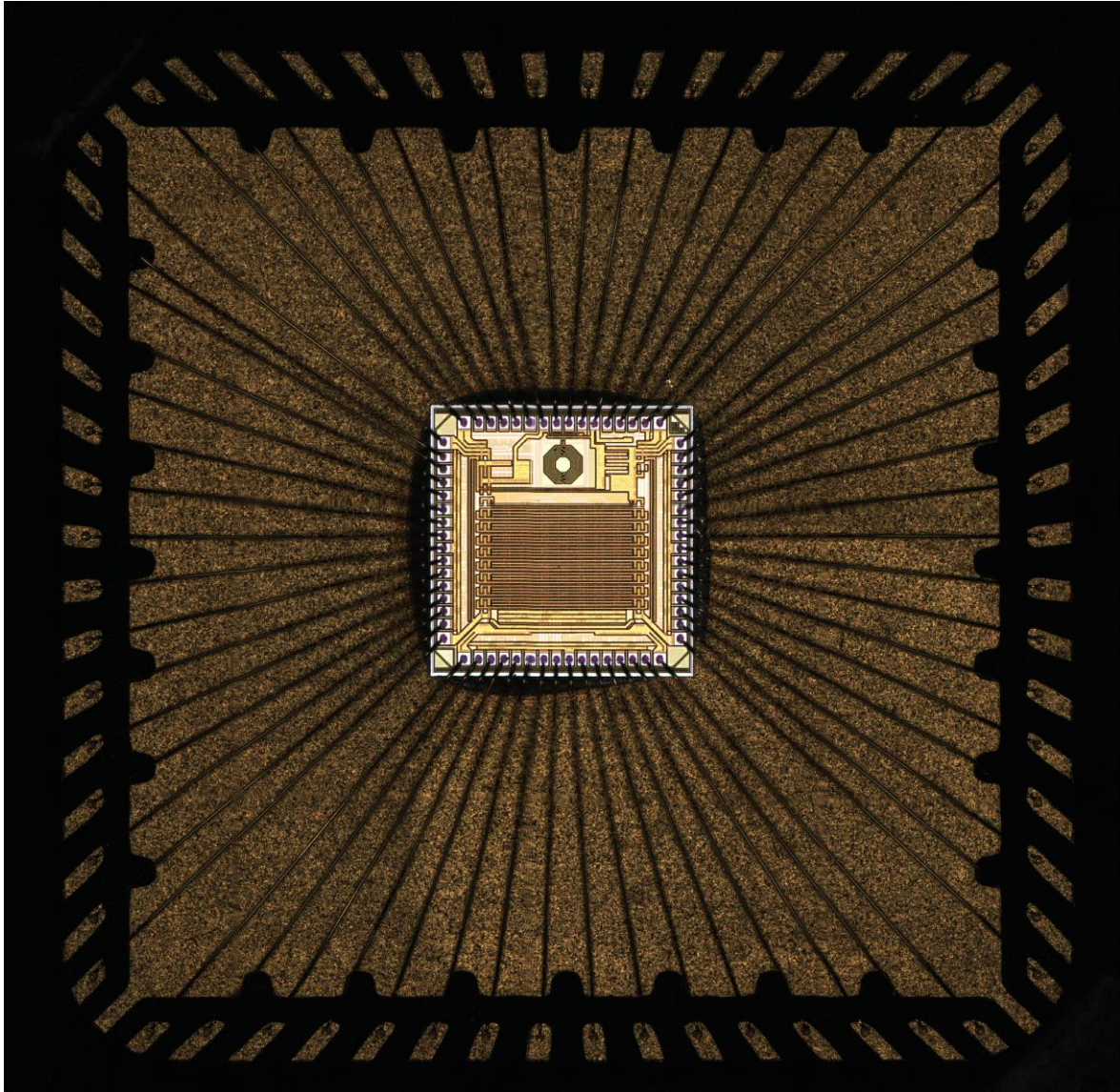


Figura 5.28: Fotografía en microscopio del *Bonding Pad*. Tamaño total : 7mm x 7mm. Fotografía tomada en LAMARX-FAMAF-UNC.

de tensión desde los *pads* hasta los circuitos.

Por otra parte se tienen tres entradas de referencia de tensión, dos de ellas para el TI-ADC y otra de 1,2 V para el TX. Otros pines de entrada son de la señal analógica a digitalizar. Se observa que hay dos pines de tierra (V_{SS}) a los lados de éstos con la función de minimizar el desapareamiento de las dos entradas.

Por último, los pines restantes corresponden a la entrada de reloj principal del chip, que ingresa en modo diferencial, y 4 pines para realizar el control del integrado, de los cuales 3 son entradas y uno de salida.

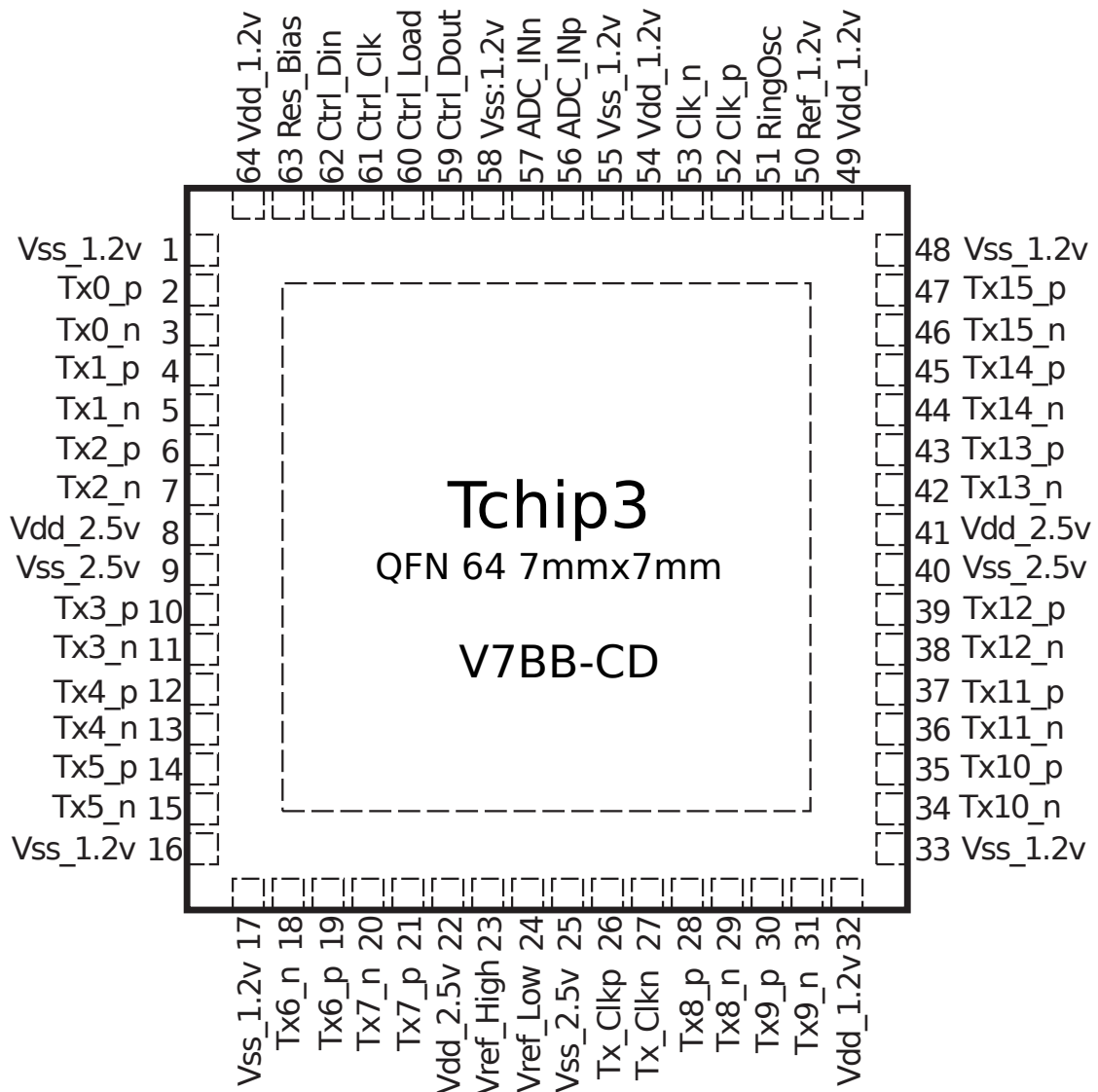


Figura 5.29: Pines de salida del encapsulado del chip. Encapsulado QFN-64.

Capítulo 6

Plataforma de Evaluación

En este Capítulo se describe la plataforma de *software* y *hardware* desarrollada para realizar pruebas y mediciones necesarias para evaluar el funcionamiento del chip. La disposición y conexión entre los elementos se muestra en la Fig. 6.1. El Dispositivo Bajo Prueba (*Device Under test*, DUT) es el chip diseñado, el cual se monta sobre una Placa de Circuito Impreso (*Printed Circuit Board*, PCB) la cual fue diseñada especialmente para realizar todas las pruebas. La placa se conecta con otros dispositivos tales como generadores de señales, Osciloscopio de Almacenamiento Digital (*Digital Storage Oscilloscope*, DSO), fuentes de alimentación, una Computadora Personal (*Personal Computer*, PC) y un Kit de Arreglo de Compuertas Programables en Campo (*Field-Programmable Gate Array*, FPGA).

Como puede notarse por lo mencionado anteriormente, la plataforma de mediciones integra una gran variedad de elementos a nivel de especificaciones, protocolos, etc., que serán detallados en las secciones

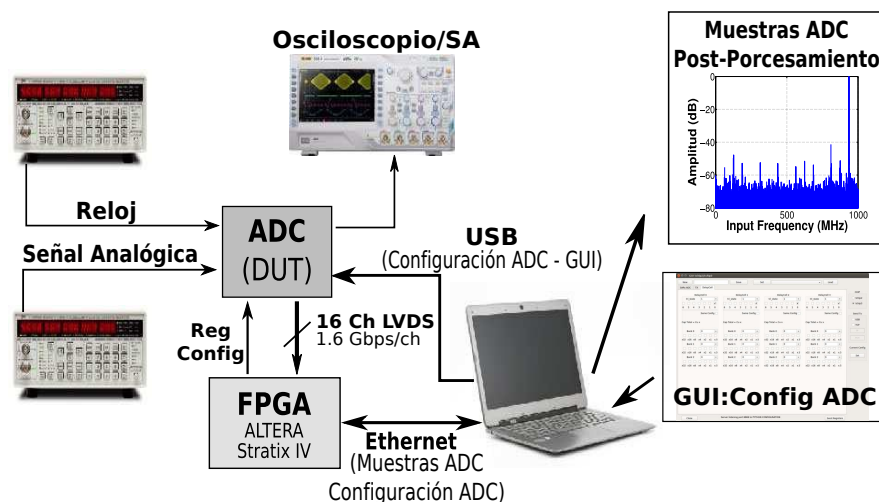


Figura 6.1: Composición de la plataforma de evaluación.

siguientes.

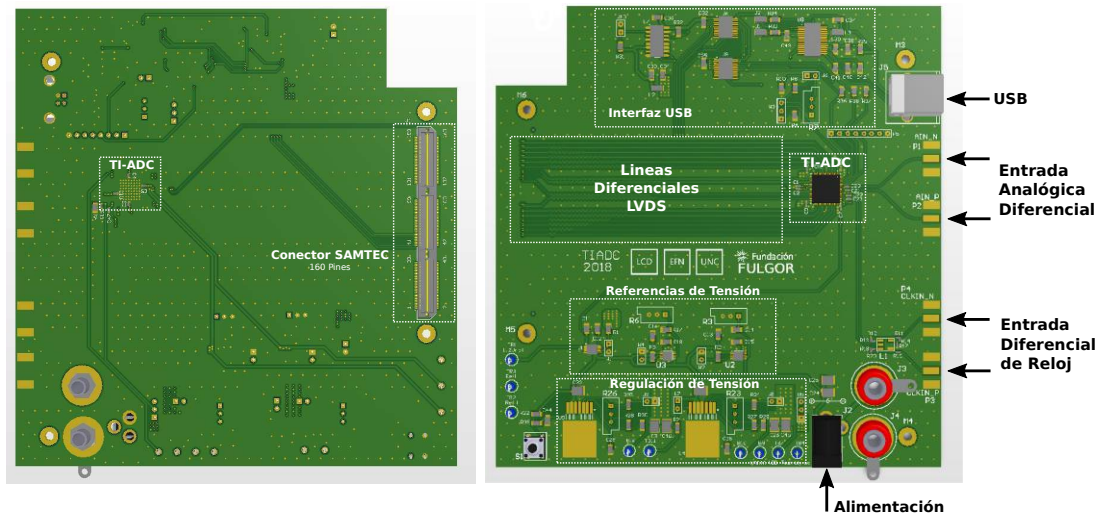
6.1. Instrumentación

Tanto en la puesta a punto como en las posteriores mediciones se emplearon diferentes instrumentos que se describirán brevemente a continuación.

- Generador de señal: utilizado para ingresar la señal de reloj del chip prototipo, el mismo debe alcanzar al menos los 2 GHz. Otro se utiliza para generar la señal a digitalizar. Este debe ser capaz de ir de los pocos MHz hasta unos GHz, y se debe poder controlar mediante Ethernet, para poder automatizar mediciones mediante Scripts.
- Osciloscopios: se utilizaron dos osciloscopios, uno para medir señales de baja frecuencia, hasta los 100 MHz aproximadamente, y otro de mayor ancho de banda, con una tasa de muestreo de hasta 40 GS/s para poder visualizar las salidas de alta velocidad del chip y luego replotear los diagramas de ojo mediante la PC.
- Filtros Pasa Bajo y *Splitter*: estos filtros se utilizaron para filtrar los armónicos de la señal analógica de entrada y los *splitter* para poder obtener una señal *full-differential* ya que la salida de los generadores es *single-ended*.

6.2. Placa de Circuito Impreso

La primera fase de desarrollo de la plataforma de mediciones comprendió el diseño de un PCB multicapa (de 6 capas en total) en la que se monta el chip encapsulado. El diseño de PCB (ver Fig. 6.2) incluye consideraciones especiales para el manejo de señales de alta velocidad. Para ello se utilizaron líneas de transmisión diferenciales tipo *Microstrip* de impedancia controlada (100 Ω diferencial) para las conexiones de señal de reloj y entrada analógica. Además la placa cuenta con un bus de 16 canales LVDS de alta velocidad que conectan las salidas digitales del chip prototipo con la tarjeta FPGA. Estas líneas también son diferenciales, de impedancia controlada a 100 Ω y fueron apareadas en longitud de trazo total para evitar el desajuste de tiempo de propagación. Con este apareamiento de longitudes, el tiempo de desfase máximo estimado entre



(a) Vista inferior, con conector a FPGA. (b) Vista superior, con montaje de componentes principales.

Figura 6.2: PCB para mediciones del Chip.

las líneas LVDS se mantiene en el orden de unos pocos pico-segundos y se evitan así problemas de *skew* entre los receptores del chip FPGA y la señal de reloj de referencia enviado por el TI-ADC hacia la FPGA para sincronismo.

En la Fig. 6.2 se muestra el diseño de la capa superior e inferior del circuito impreso.

En el centro de la placa se ubica el chip prototipo de TI-ADC. Entre los detalles de diseño que incluye este circuito impreso se destacan:

- Conectores SMA para señales de alta velocidad e impedancias controladas: entrada analógica y reloj.
- Conector de 160 pines para conexión con placa FPGA mediante bus diferencial LVDS.
- Interfaz de Puerto Serial Universal (*Universal Serial Bus*, USB) para configuración de registros del chip desde la PC.
- Implementación de balun de radiofrecuencia (*Radio Frecuencia*, RF) opcional para pasaje de señal *single-ended* a *full diferencial*¹.
- Diseño de múltiples desacoplos capacitivos para minimización de impedancia de alimentación.

¹Se diseñaron dos versiones de la placa, en una se soldó el balun de RF para utilizar un reloj *single-ended* de entrada y en la otra no se soldó el balun y se cortocircuitó su conexión, de manera que la entrada de reloj diferencial se conecte directamente al chip

- Referencias de tensión ajustables de precisión y de bajo ruido.
- Reguladores de tensión en 1,2 V y 2,5 V para alimentación del chip prototipo.

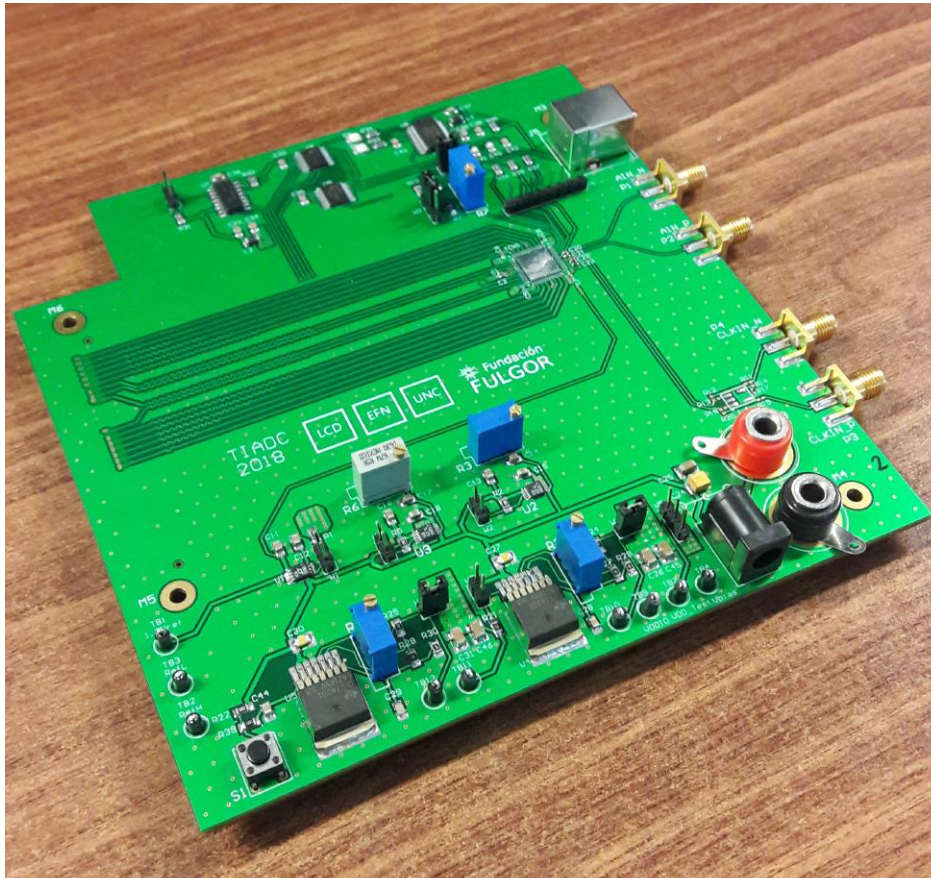


Figura 6.3: Fotografía de PCB para el chip prototipo de TI-ADC.

6.3. Recepción de Datos de Alta Velocidad y Configuración en Lógica Programable

Se desarrolló un sistema sobre lógica programable FPGA de alto desempeño *ALTERA Stratix IV* [?] para poder capturar en memoria todas las muestras digitalizadas por el TI-ADC y poder cargar los 251 registros de configuración del *Chip*.

El diseño sobre FPGA basado en [?] incluye la configuración, descripción de *hardware* y síntesis de:

- Deserializadores de alta velocidad.
- Lógica para ordenamiento de muestras capturadas.

- Configuración de PLL.
- Memoria RAM.
- Máquina de Estado Finito (*Finite-State Machine*, FSM).
- Microprocesador.
- Interfaz Ethernet.

En la Fig. 6.4 se observa un diagrama en bloques de la plataforma implementada en este proyecto. Uno de los bloques es el hardware implementado en la FPGA, el cual se ocupa de recibir los 16 canales LVDS de 1,6 Gbps (cada uno) más un *clock* de referencia, y deserializarlos hacia una memoria.

El sistema opera de la siguiente manera: primero la tarjeta FPGA recibe y ordena las muestras del ADC en una memoria interna tipo FIFO (*First In First Out*), luego pasa los datos de la memoria interna a una memoria RAM implementada dentro de un microprocesador embebido (NIOS) y finalmente los datos son transferidos por red LAN *Ethernet* a una PC local o remota.

El sistema es capaz de capturar en tiempo real las muestras del ADC hasta agotar la memoria interna de hasta 512 KB para luego transferir los datos a alta velocidad por Gigabit *Ethernet* a la red. Cabe destacar que en el microprocesador NIOS se embebe un Sistema Operativo

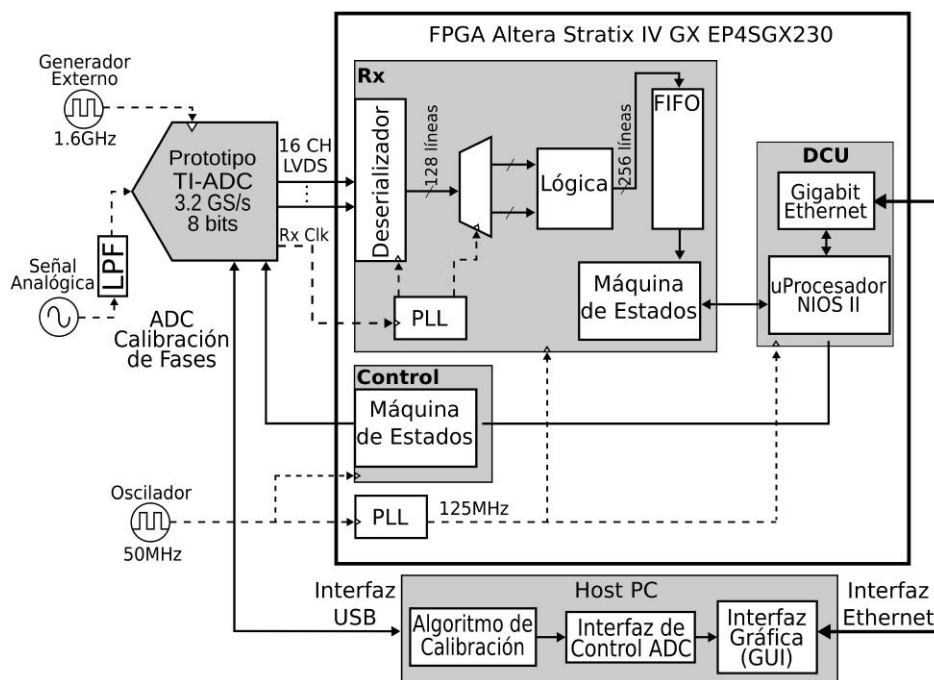


Figura 6.4: Diagrama en Bloques de la plataforma.

de Tiempo Real (*Real-Time Operating System*, RTOS) que se ocupa de administrar los pedidos de captura de muestras y transferirlas a la PC cuando son solicitadas. Finalmente desde la PC las muestras son analizadas utilizando *software* de alto nivel para procesamiento de señales (*Python*).

Los registros de configuración dentro del chip pueden cargarse a través de la interfaz USB entre la placa PCB y el chip fabricado o mediante otro bloque presente dentro de la FPGA. El cual opera de la siguiente manera: primero se envían los bits de configuración desde la Interfaz Gráfica de Usuario (*Graphical User Interface*, GUI) hacia el NIOS, mediante la red LAN *Ethernet*, el cual se encarga de guardarlos en una memoria RAM propia. Luego, una máquina de estados, diseñada para tal fin, toma estos datos de memoria y los envía serialmente hacia los registros. Finalmente se envía el pulso de *CTRL_LOAD* finalizando la carga de los mismos.

En la Fig. 6.5 se muestra una fotografía del sistema de ensayo montado. En el centro de la imagen se observa el *kit FPGA ALTERA DE4*, a la derecha la placa de soporte del chip prototipo que se describió en la sección anterior y a la izquierda una placa DAC de Texas Instruments (no utilizada en estas mediciones).

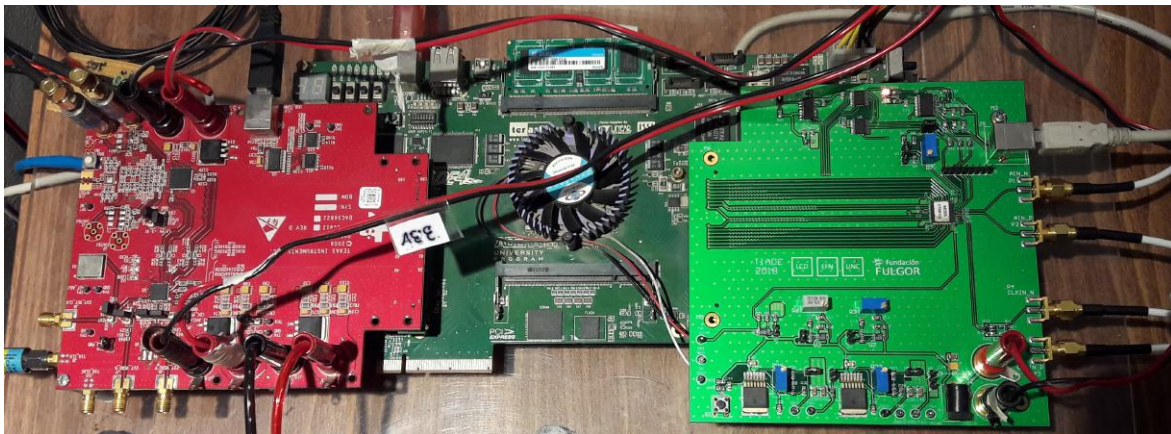


Figura 6.5: Fotografía de la plataforma de *hardware* para mediciones. Placa ADC (derecha) conectada a la placa FPGA (centro) para captura de las señales digitalizadas. Además, una placa DAC para emulación (izquierda) no utilizada en estas mediciones.

6.4. Interfaz Gráfica de Usuario

Como se explicó anteriormente, los registros de configuración del chip son accesibles por medio de una interfaz gráfica basada en [?]. La misma permite tanto ajustar los valores de los registros como obtener la configuración actual del chip de manera gráfica en una PC estándar. Una

vista general del programa desarrollado se muestra en la Fig. 6.6. Allí se distinguen diferentes zonas que se describen a continuación:

1. Guardado de configuraciones. Se permite el salvado de configuraciones para su posterior uso. Para ello se debe ingresar el nombre en la casilla y luego pulsar “*New*” o “*Save*”. Para el primer caso la configuración se agrega al listado de las disponibles y en el segundo se escribe a un archivo presente en el disco.
2. Carga de configuraciones. Es posible leer las configuraciones guardadas en el archivo y colocarlas en un listado de forma que sean fácilmente accesibles. Se emplea el botón “*Load*” para obtener el nombre de todas las configuraciones guardadas. Luego de elegir una en particular, se procede a cargar la GUI con esos valores, para ello se presiona “*Set*”.
3. Secciones del chip. Las diferentes secciones del chip se agruparon en 3 pestañas para permitir la configuración de partes similares del chip.
4. Zona de configuración. Las opciones y valores correspondientes a los registros se muestran aquí. Esta zona cambia de acuerdo a la pestaña que se haya seleccionado.
5. Selección de chip. La plataforma está diseñada para dar soporte tanto al chip de este Proyecto Integrador como a su versión anterior. Para ello se emplean dos botones que permiten elegir con cual chip se está trabajando. La función de dichos botones es el reordenamiento de la trama a enviar y la habilitación/deshabilitación de los registros correspondientes.
6. Forma de envío de registros. Existen 2 botones que permiten seleccionar el medio por el cual la GUI enviará los registros al chip, ya sea por USB o mediante el Protocolo de Control de Transmisión, (*Transmission Control Protocol*, TCP). Para el primer caso, el envío de datos es controlado por medio de un circuito integrado fabricado por *Future Technology Devices International*, FTDI², el cual sirve de conexión entre el puerto USB de una computadora y el chip. En el segundo caso, los datos son enviados por TCP a través de la IP y el puerto indicado en los campos de texto correspondientes de la GUI. Dichos registros son recibidos por la FPGA y enviados al chip.

²Empresa privada escocesa de dispositivos semiconductores, especializada en tecnología USB.

7. Envío de datos. Mediante el botón “*Send Registers*” se envía la configuración realizada por el medio indicado (USB o TCP). Como se dijo anteriormente, la trama se organiza según el chip seleccionado.
8. Lectura de la configuración del chip. Mediante el botón “*Set*” en el cuadro “*Current Registers*” es posible obtener (vía USB) la configuración actual que existe en el chip.
9. Mensajes del programa. En esta parte se podrán observar los mensajes que va arrojando la interfaz a medida que se van produciendo eventos. Hasta el momento se muestra principalmente si la aplicación logró abrir un puerto a la espera de configuraciones enviadas de manera remota.
10. Cierre de la interfaz. A través del botón “*Close*” podemos salir de la GUI.

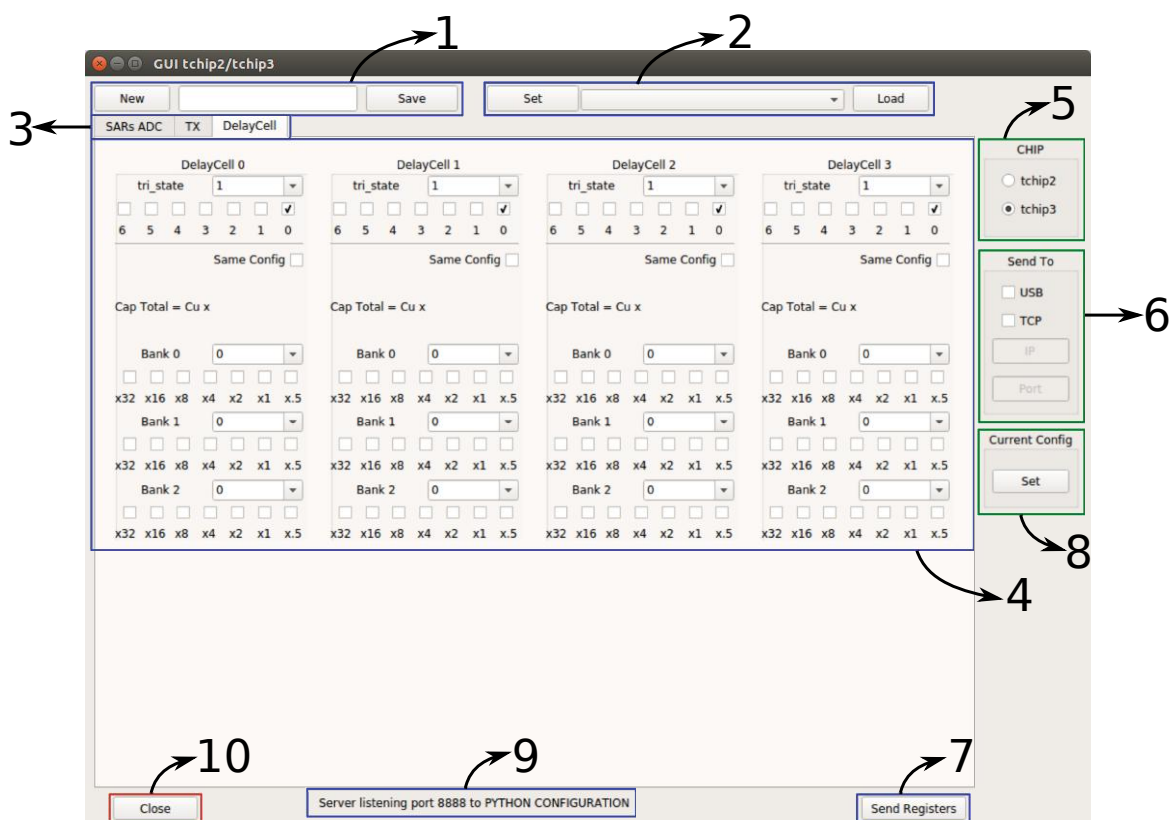


Figura 6.6: Vista general de la GUI desarrollada.

Para desarrollar este programa se empleó el *framework* para desarrollo de aplicaciones multiplataforma Qt³. Qt no es un lenguaje de programación en sí mismo. Es un conjunto estandarizado de conceptos, prácticas

³<https://www.qt.io>

y criterios que se emplean para resolver problemas basado en el lenguaje C++. De ahí que la sintaxis empleada sea la misma. Qt brinda un Entorno de Desarrollo Integrado (*Integrated Development Environment*, IDE) que permite la elaboración de código a partir de una interfaz completamente gráfica. Esto puede servir para acelerar proyectos donde no se necesite demasiado control ni flexibilidad. En el caso del presente proyecto, se priorizó el desarrollo en base al código y la parte gráfica se empleó para disponer los elementos en la ventana creada. Además, Qt contiene una gran cantidad de librerías que se pueden usar para implementar una gran cantidad de funcionalidades como leer diferentes tipos de archivos, realizar gráficos en tiempo real, acceder a periféricos de la PC o dispositivo móvil y más. Finalmente es importante notar que la versión usada corresponde a la de código abierto, por lo que no es necesario incurrir en gastos adicionales, además de que se cuenta con una gran comunidad a la cual se puede acudir en busca de ayuda en el momento que se requiera.

6.4.1. Funcionalidades

La interfaz se implementó en primer lugar desarrollando pequeños bloques de código correspondientes a registros individuales de las diferentes zonas del chip. Por ejemplo, en el caso de los SAR se tienen 32 instancias de la misma terna de registros (*Power Down*, `pd_sar`, Calibración de *Offset*, `os_cal` y Cancelación de Picos de Corriente, `iref_cancel`). Luego se integraron en la ventana principal incluyéndolos como librerías y replicándolos las veces que fue necesario.

Además del código correspondiente a los registros del chip se usaron las librerías proporcionadas por FTDI Ltd.⁴ para controlar el circuito integrado FT232B. El chip FT se puede emplear como un convertidor USB a “paralelo” configurando una serie de registros internos. Esta es la funcionalidad adoptada en este proyecto ya que se desea controlar las cuatro líneas dedicadas a la configuración del chip. La generación de la trama con los datos que se cargan en el chip se hace de forma secuencial, escribiendo bit a bit en las líneas de los puertos.

Para el salvado de las configuraciones se empleó un archivo en Lenguaje de Marcado Extensible (*eXtensible Markup Language*, XML⁵) el cual permite una fácil representación de información estructurada como es el caso de los registros de un dispositivo. Además este tipo de archivos pue-

⁴<http://www.ftdichip.com/Products/ICs/FT232B.html>

⁵<https://www.w3.org/XML/>

de ser procesado fácilmente con cualquier lenguaje; en el caso particular de nuestra aplicación, Qt posee soporte oficial para el procesamiento de datos presentados en este formato. Cuando se desee guardar un conjunto de configuraciones se debe elegir un nombre que la identifique, este paso no es importante para el programa que gestiona la GUI ya que la misma se maneja con un número de identificación para reconocer que configuración se desea guardar o leer. Luego de pulsar el botón “*New*” de la pantalla que se mostró en la Fig. 6.6, el programa procede a leer todos los campos que corresponden a las configuraciones y a almacenarlos en una estructura. A continuación se procede a la escritura del archivo con los valores presentes en esta estructura.

La interfaz de usuario posee la capacidad de ser controlada de forma remota a través del TCP. Para ello se abre un puerto (8888 en este caso) en la PC local en modo de escucha (*listen*), el cual está a la espera de conexiones entrantes desde otras aplicaciones. Cuando otro programa establece la conexión, debe enviar una trama con un formato especial que se muestra en la Fig. 6.7. Esta se compone de la siguiente forma:

- Identificador de medio de envío. Señala el comienzo de una trama con configuraciones para el chip y a su vez permite definir si los datos se enviarán al chip mediante USB o TCP, según sea dicho caracter una **U** o una **T** respectivamente.
- Identificador de trama. Permite definir qué datos se cargarán en el chip. Las posibilidades para este caracter son **D** y **F**. El primero representa que solo los datos que corresponden a las celdas de retardo deben ser tenidos en cuenta, mientras que el segundo le indica a la aplicación que todos los datos recibidos deberán cargarse.
- Identificador de chip. Indica si las configuraciones recibidas serán para para la versión actual o la anterior del chip en cuestión, con los caracteres **3** o **2** respectivamente.
- Datos a cargar en el chip. Son los nuevos valores para los registros.
- Caracter de finalización de trama. Señala el fin de una trama con configuraciones para el chip. Se usó el símbolo **#** para ocupar este rol.

Si la información recibida no presenta el formato descrito anteriormente la trama se desecha y la configuración no se actualiza. Si la trama

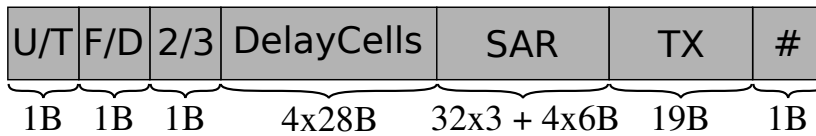


Figura 6.7: *Frame* a recibir por la GUI mediante TCP.

tiene la forma correcta se procede a identificar qué segmentos corresponden a las configuraciones para actualizar la ventana con los nuevos valores y a continuación se envían hacia el chip por USB o TCP según corresponda. Como confirmación hacia la aplicación remota que desea actualizar la configuración del *chip*, se transmite el caracter **R**.

6.4.2. Pruebas y Mediciones

Empleando un DSO conectado a los pines de reloj (Ctrl_clk) y entrada de datos (Ctrl_Din) del chip se registró la variación de los niveles en estas líneas en función del tiempo para luego contrastar con las configuración ingresada en la GUI y así poder comprobar el correcto funcionamiento del programa. Parte de una captura se muestra en la Fig. 6.8. En la misma se observa cómo la línea Ctrl_Din cambia cuando se producen los flancos descendentes de la señal de reloj, Ctrl_clk. Esto es consistente con la descripción de los registros realizada en la Sección 5.4 donde se explicó que la carga de las celdas de control se realizaba durante el flanco de subida de la señal de reloj.

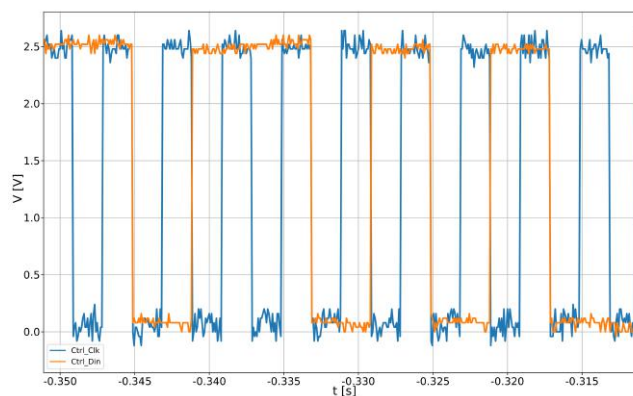


Figura 6.8: Captura de las señales medidas en la interfaz de control.

Capítulo 7

Mediciones y Resultados

En este capítulo se exponen las mediciones, análisis del desempeño y características principales extraídas de las pruebas realizadas sobre los circuitos fabricados. Las mediciones relacionadas con la linealidad, ruido y temporización se realizaron a partir de las muestras convertidas por el ADC luego de ser transmitidas por la plataforma hacia una PC en la cual se emplean *scripts* en lenguaje **Python** para realizar su correcto procesamiento. En cambio, las mediciones de consumo de los bloques individuales se realizaron desactivando los registros presentes en cada uno de ellos y se obtuvieron medidas indirectas. Los circuitos de calibración se evaluaron contrastando los datos obtenidos cuando la calibración estuvo activa con lo obtenido con la calibración apagada.

7.1. TI-ADC

Una de las primeras comprobaciones es la de identificación del *corner* en el que se realizó el proceso de fabricación, tal como se mencionó en la Sección 5.6. Los resultados de simulación del *Ring Oscillator* se muestran en la Tabla 7.1. Se soldaron 2 *chips* sobre dos placas de evaluación. Las mediciones realizadas sobre cada una de ellas se muestran en la Tabla 7.2. Comparando estos resultados puede verse que la *placa 1* se encuentra más cercana al *corner TT*, mientras que la *placa 2* está en un estado intermedio entre *corner TT* y *corner SS*.

Mediciones	TT	FF	SS
f[MHz]	780	1130	565

Tabla 7.1: Resultado de simulaciones de *Ring Oscillator*.

Laboratorio	<i>Tchip3</i> - placa 1	<i>Tchip3</i> - placa 2
f[MHz]	686,4	629,8

Tabla 7.2: Resultado de mediciones de *Ring Oscillator*.

Luego, se efectuaron mediciones para relevar las características del arreglo de 32 conversores en conjunto junto a los circuitos de sincronización y calibración correspondientes. Para llevarlas a cabo se tienen en cuenta **todas** las muestras recibidas por la plataforma.

En la Fig. 7.1, podemos apreciar el comportamiento de las Celdas de Retardo en el tiempo. La medición calcula la diferencia de fase entre las fases 0 y 2, obteniendo el rango y el paso de ajuste al modificar el código de Capacitores, aumentando de a uno por vez. Se muestran tres curvas para diferentes configuraciones de triestados, en **azul** se tiene una configuración lenta, en **naranja** una intermedia y en **verde**, con todos los triestados encendidos, la configuración más rápida posible. Se observa que al variar estas configuraciones, el rango y el paso de ajuste alcanzan diferentes valores.

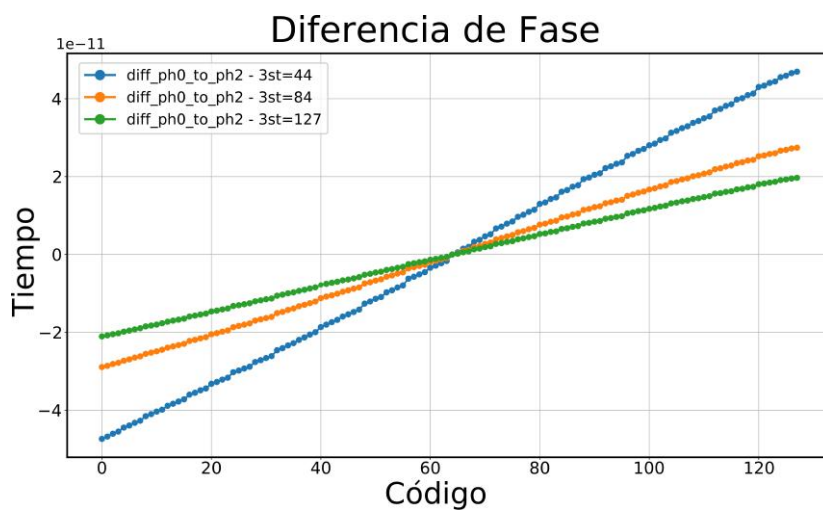


Figura 7.1: Diferencia de tiempos entre fases 0 y 2.

7.1.1. Calibración de Fases

Idealmente la diferencia entre fases adyacentes deben ser iguales al período de muestreo, T_S . Si esto no se cumple las fases presentan un error que se debe minimizar. La información de las fases se obtiene a partir de las muestras para una entrada sinusoidal. Luego se clasifica cada muestra de acuerdo a la columna del arreglo de conversores a la

que pertenezca, de manera que se obtengan 4 señales sinusoidales. Los valores de frecuencia y fase son calculados para cada una de estas señales.

Como se mencionó en la Sección 4.2, para realizar la calibración se utilizó un algoritmo LMS. La Fig. 7.2 muestra un ciclo de calibración de 100 iteraciones, con una frecuencia de entrada de 396 MHz y la fase 0 como referencia. La curva en **naranja** representa el error medido en la fase 2, las curvas **azul** y **verde** son las mediciones de las fases 1 y 3, respectivamente. El error relativo entre estas últimas dos es pequeño dado que se diseñó para que sean controladas por las mismas señales de reloj. La convergencia del algoritmo se puede apreciar en la Fig. 7.2.

Inicialmente el error de fase se ubica alrededor de los 15 ps y el valor de ENOB permanece cercano a los 6 bits. Luego de 70 iteraciones, el ENOB se eleva hasta 7,03 bits acercándose al valor promedio de ENOB del arreglo de SARs. También puede verse cómo el error relativo de las fase se reduce hasta 0,1 ps.

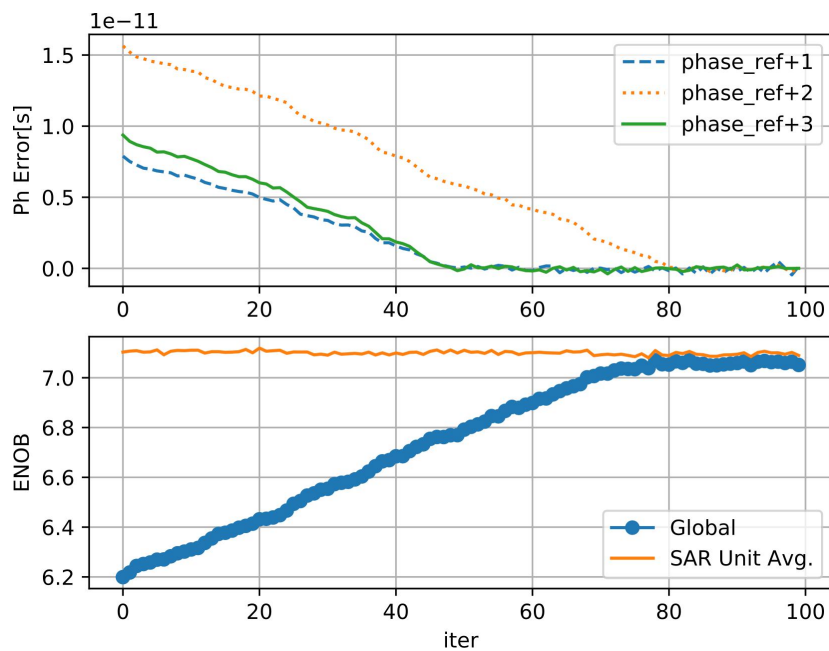
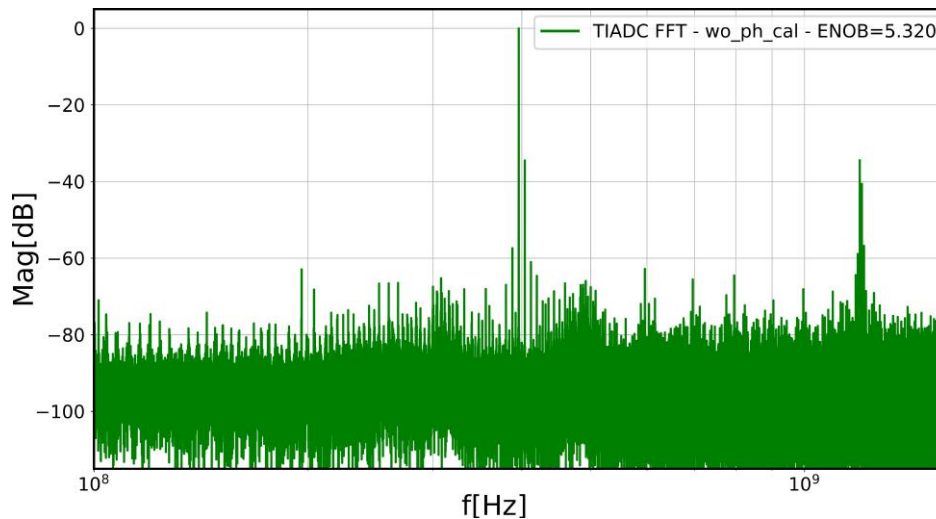
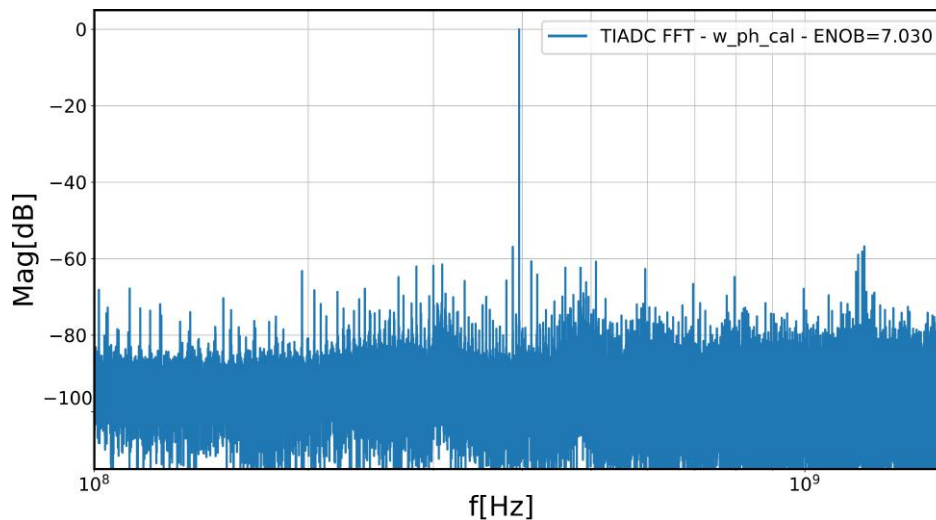


Figura 7.2: Evolución del error de fase y el ENOB durante la calibración.

Esta mejora en ENOB también es reflejada en las gráficas de la Transformada Rápida de Fourier (*Fast Fourier Transform*, FFT) de la Fig. 7.3. Un único tono con frecuencia de 396 MHz y -6 dBm de amplitud es usado como señal de entrada. En este caso las muestras adquiridas sin la calibración de fase encendida presentan armónicos y espurios cuyas amplitudes son mayores que en el espectro de las muestras adquiridas con la calibración activa. El ejemplo más notorio es el que se observa en el tercer armónico de la señal de entrada, ubicado cerca de 1,2 GHz.



(a) FFT con fases NO calibradas.



(b) FFT con fases calibradas.

Figura 7.3: Efecto de la calibración de fases en la FFT.

7.1.2. Linealidad y Ruido

Las mediciones de SNR, la Relación Señal-Distorsión (*Signal to Distortion Ratio*, SDR) y la Relación Señal-Ruido y Distorsión (*Signal to Noise and Distortion Ratio*, SNDR) se muestran en la Fig. 7.4. La SNDR es más cercana a la SNR que a la SDR, la diferencia ronda los 15 dB. Esto significa que, en el diseño realizado, el ruido contribuye en mayor escala a la SNDR que la distorsión.

En particular, hasta frecuencias de entrada próximas a los 700 MHz se observó que la SDR se mantiene en aproximadamente 55 dB. En tanto la SNR y la SNDR adquieren valores entre 40 y 42 dB (7 bits de ENOB) hasta los 400 MHz para luego comenzar a caer. Los valores antes mencionados se obtuvieron con la calibración de las fases de muestreo

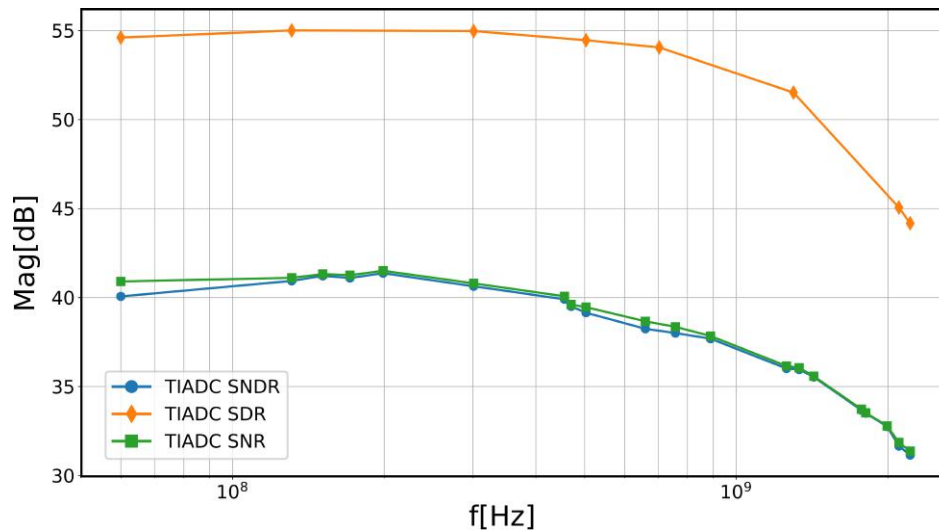


Figura 7.4: Mediciones de linealidad y ruido en el conversor entrelazado.

activa. La mejora obtenida debida a esta calibración puede observarse en la Fig. 7.5. La degradación se debe a la limitación impuesta por el *jitter* presente en las fases, tal como se explicó en la Sección 4.1. Para este conversor entrelazado se estimó un *jitter* (σ) de 1,75 ps.

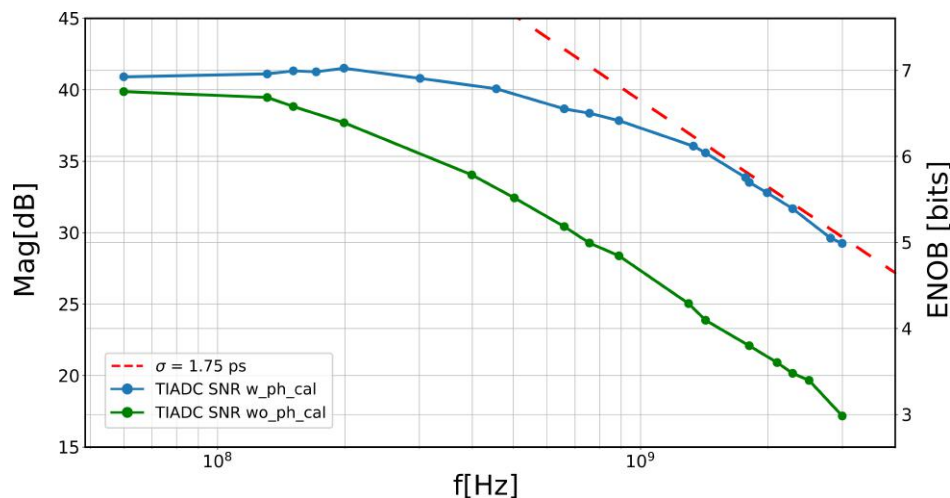


Figura 7.5: jitter.

La Fig. 7.6 muestra el Rango Dinámico Libre de Espurios (*Spurious-Free Dynamic Range, SFDR*) del TI-ADC en función de la frecuencia. Esta medición considera el peor caso para las señales espurias, es decir aquella que tenga la mayor amplitud sin importar su posición en el espectro (no sólo contempla los armónicos). El valor de SFDR se encontró cercano a los 50 dB hasta los 450 MHz aproximadamente para luego caer con una pendiente aproximada de 20 dB/dec.

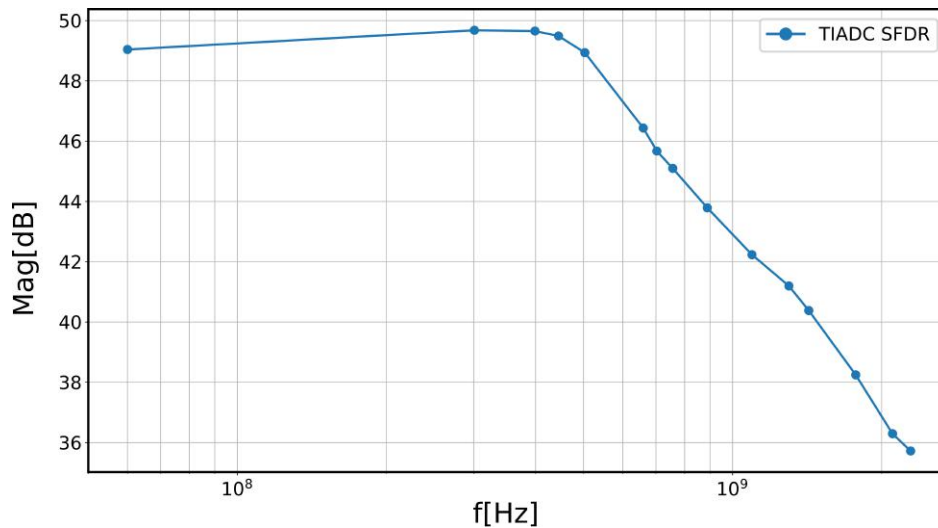


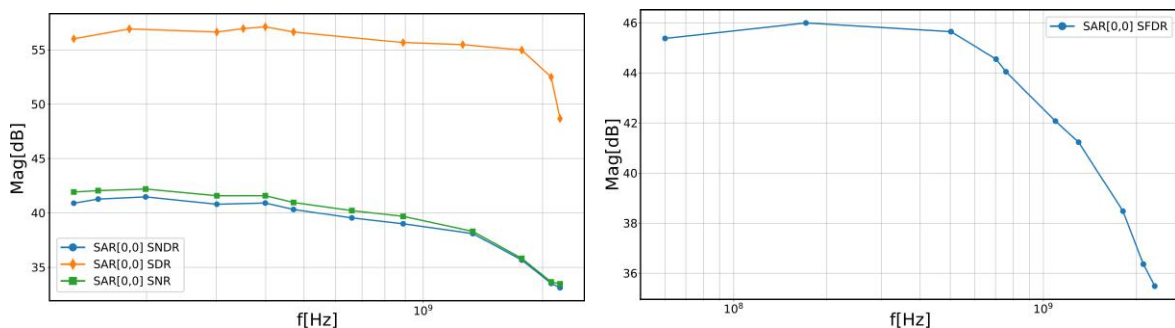
Figura 7.6: SFDR en el TI-ADC.

7.2. SAR

Para relevar las características de la celda SAR, se consideran sólo las muestras provenientes de **una** celda en particular. Como entrada se empleó una señal sinusoidal cuya amplitud se estableció entre 70% - 85% de la amplitud máxima admitida por el convertor.

Las mediciones de Linealidad y Ruido (SNR, SDR, SNDR) son presentadas en función de la frecuencia de entrada en la Fig. 7.7(a). Mientras que las mediciones de SFDR, también llevadas a cabo a diferentes frecuencias de entrada, en la Fig. 7.7(b). Los resultados se obtuvieron para el SAR 0 de la fase 0.

Los resultados de las mediciones de No Linealidad Diferencial (*Differential NonLinearity*, DNL) y No Linealidad Integral (*Integral NonLinearity*, INL) se muestran en la Fig. 7.8. El gráfico de DNL muestra que



(a) Mediciones de linealidad y ruido para el SAR [0,0].

(b) Rango dinámico libre de espurios para el SAR [0,0].

Figura 7.7: Mediciones de linealidad y ruido en el SAR [0,0].

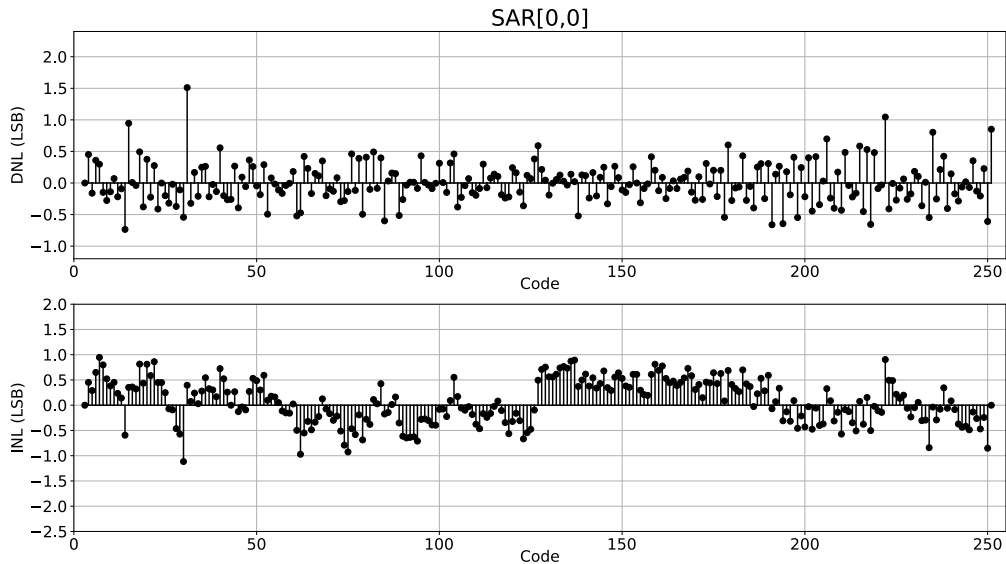
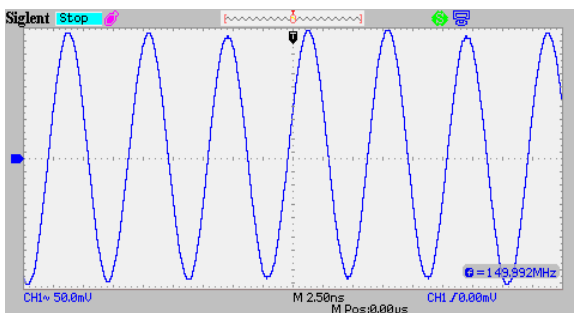


Figura 7.8: Medición de DNL e INL para el SAR 0 Phase 0, $F_s = 3,2 \text{ GS/s}$, $F_{in} = 1,4 \text{ MHz}$.

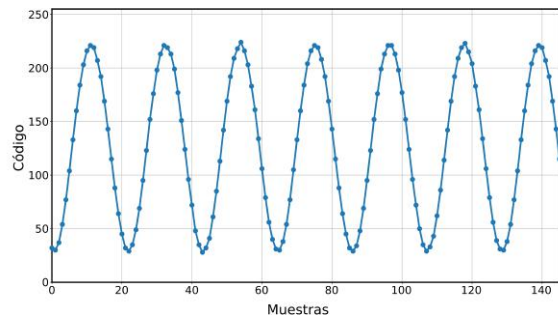
no toma valores por debajo de -1 LSB, por lo que se comprueba que no hubo códigos perdidos.

Lo anteriormente plasmado corresponde a la performance obtenida en la celda SAR con la calibración de *offset* y el ajuste del lazo del comparador. Para mayores detalles sobre el funcionamiento de esta celda y los distintos circuitos realizados para conseguir este desempeño se recomienda la lectura del Proyecto Integrador complementario realizado por los alumnos Fernández Bocco, Álvaro y Reyes, Leandro Ariel [?].

Finalmente y a modo ilustrativo se muestra una comparativa en la Fig. 7.9 en donde se observa una señal analógica de entrada de 150 MHz, la cual fue tomada a través del Osciloscopio, sintetizada por un Generador de Funciones [Fig. 7.9(a)] y la correspondiente conversión realizada por el TI-ADC diseñado y fabricado [Fig. 7.9(b)].



(a) Señal Sinusoidal Analógica de Entrada.



(b) Señal Convertida por el TI-ADC.

Figura 7.9: Señal de entrada y convertida por el Conversor diseñado y fabricado.

7.3. Potencia Consumida

Las mediciones de consumo fueron hechas sobre los pines de alimentación del chip ya que no se tiene acceso a las líneas de alimentación de cada bloque en cuestión, por lo que se efectuaron mediciones indirectas. En el chip hay dos niveles para las fuentes de alimentación nominales: 1,2 V y 2,5 V. La primera es principalmente usada para alimentar todos los módulos en el TI-ADC, la última esta destinada al driver del TX. Para la señal de entrada se utilizó una señal de 59 MHz y 75 % de la escala completa. En la Tabla 7.3 se resumen los valores obtenidos en el proceso de medición.

Tabla 7.3: Mediciones de potencia consumida.

Bloque del chip	Condición	P [mW]
TX	Operación Normal	432,5
TX	Dato Convertido es 0	322,5
Canal del TX individual	Operación Normal	18,7
Canal del TX individual	Dato Convertido es 0	16,5
Arreglo de 32 SAR	Operación Normal	68,4
SAR Individual	Operación Normal	2,1
Generador de fases + Celdas de Retardo	Operación Normal	103,2
TI-ADC (Gen. de fases + Celdas de retardo + Arreglo de 32 SAR)	Operación Normal	171,6
TCHIP _{Total} (TI-ADC + TX)	Operación Normal	604,1

Capítulo 8

Conclusiones

A través del presente Proyecto Integrador se logró integrar y aplicar gran cantidad conceptos tanto teóricos como prácticos vistos a lo largo de la carrera, principalmente referidos a las materias relacionadas al diseño analógico y digital.

Los bloques necesarios para la generación y calibración de fases del chip conversor de tiempo entrelazado fueron diseñados y caracterizados dentro del desarrollo de este proyecto. En el mismo se consideraron todos los aspectos fundamentales de diseño de conversores A/D de alta velocidad como lo son el **área** ocupada, el consumo de **potencia**, la **resolución** efectiva y la **velocidad** de muestreo.

Se estudiaron diferentes técnicas de generación y calibración de señales de reloj en conversores de tiempo entrelazado. Se llevó al diseño e implementación aquella que genera de manera analógica las cuatro fases de reloj a partir de una única señal, para después poder realizar la calibración, también de manera analógica, a través de las Celdas de Retardo Programables. Esta calibración se realiza en base a la detección de desapareamientos calculados en el dominio digital. De esta forma se verifico la flexibilidad y eficiencia de realizar la detección mediante algoritmos digitales y realizar un ajuste preciso y dentro de los parámetros esperados sobre el dominio analógico, las fases de reloj de los conversores precisamente.

El desarrollo requirió grandes esfuerzos de diseño para la optimización en velocidad de cada bloque, hasta alcanzar las **máximas frecuencias** posibles en el proceso de fabricación **disponible**. La tecnología empleada fue de transistores CMOS de 130 nm, cuyo auge de utilización fue en el año 2001, mientras que los diseños mas modernos utilizan tecnología de 7 nm. Es por esto último que es importante destacar que más allá de no utilizar tecnologías recientes, se logró alcanzar un diseño con espe-

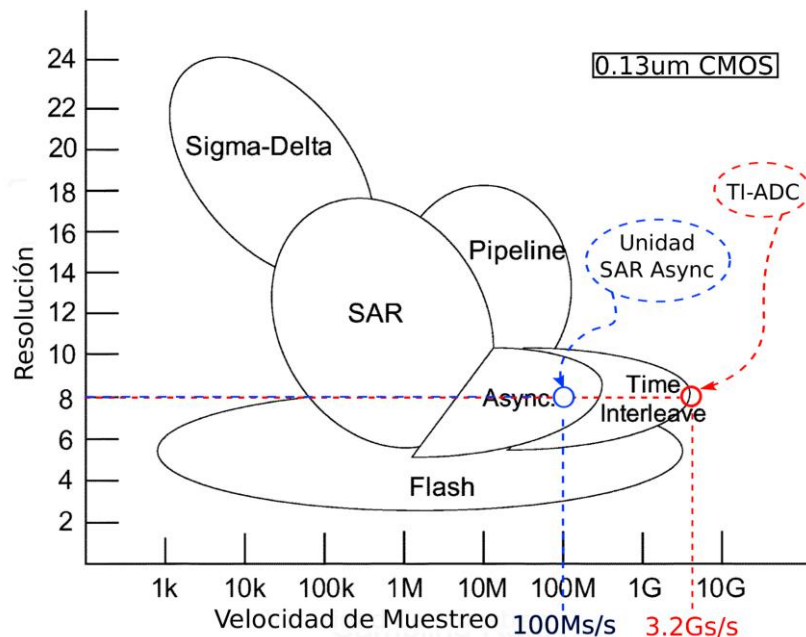


Figura 8.1: Límites de resolución y frecuencia en 130nm. Resultados alcanzados.

cificaciones exigentes. Es decir, a través de este diseño se explotaron al límite las capacidades de la tecnología, Fig. 8.1 [?].

Se requirió desde el diseño de algunas de las celdas básicas, como compuertas, registros, amplificadores, etc., hasta la integración de los bloques complejos. Se simuló la funcionalidad del diseño y el cumplimiento de especificaciones en todos los *corners* de proceso, tensión y temperatura.

El *layout* del chip fue realizado con la premisa de alcanzar las máximas prestaciones de velocidad y la más alta confiabilidad posible. Se verificaron tanto los aspectos funcionales del *layout* (extracción de parásitos, *mismatch* de transistores y caídas de tensión en las líneas de alimentación) como los aspectos de confiabilidad (reglas de diseño, recomendaciones de diseño y densidades de corriente para evitar efectos de electromigración). El prototipo fue enviado a fabricación en una única “corrida”, el día 13 de Noviembre del año 2017 y se recibió el día 16 de Julio del año 2018. El área ocupada por los bloques correspondientes a los bloques de sincronismo fue de aproximadamente 0,1 mm² dentro de un área total del chip prototipo de 4 mm².

Para la etapa de mediciones y caracterización del circuito integrado se desarrolló *hardware* y *software* de una plataforma dedicada. Se realizó un placa de circuito impreso multicapa con requerimientos de líneas de transmisión diferenciales de impedancia controlada para señales de alta velocidad. Además, se desarrolló el *hardware* de recepción de datos en base a lógica programable sobre una FPGA de altas prestaciones. La

plataforma se completó con un *software* de interfaz gráfica de usuario para el control y configuración del chip desde una computadora. Las mediciones se realizaron usando el lenguaje Python para procesar los datos obtenidos por la plataforma.

En base a pruebas experimentales se demostró la correcta operación de todos los circuitos de la multicapa impresa. En donde se ajustaron los diferentes niveles de tensión requeridos así como también la interfaz USB para la carga de registros de configuración y los bloques de la FPGA utilizados para tal fin.

Luego se realizaron las mediciones del conversor y su caracterización en frecuencia a fin de poder ubicar sus prestaciones en el contexto bibliográfico. En las mediciones se demuestra una correcta operación del conversor entrelazado en el tiempo. Para altas frecuencias de entrada el desempeño del conversor se vio afectada por el ancho de banda del TH y al *jitter* en el reloj de muestreo, tal como era de esperarse dadas las limitaciones de la topología y el diseño.

Fruto del análisis y el diseño realizado, se comprobó una mejora notable en las prestaciones (esencialmente el aumento del ENOB) del conversor al aplicar un algoritmo basado en LMS para la calibración para las fases de muestreo. El mismo seteo una configuración estable de tries-tados en las Celdas de Retardo para las cuatro fases de reloj y actuó sobre los capacitores que retardaban las señales de reloj para obtener el desfase necesario. El aumento de ENOB fue de aproximadamente 16 %.

Finalizando con este Proyecto Integrador, se exponen algunas valoraciones personales con respecto al trabajo realizado. El cual tiene como objetivo aplicar y profundizar los conocimientos obtenidos durante los años de carrera, para obtener finalmente el título de grado de Ingeniero Electrónico. Durante la ejecución del mismo, fue necesario demostrar constancia, responsabilidad, capacidad de resolución de problemas y criterio profesional, para hacer frente a los desafíos tanto impuestos en el proyecto como los que se fueron presentando y que serán similares a los que se presentarán a lo largo de mi vida profesional.

Bibliografía

- [1] *ADC07d1520 7-Bit, Dual 1.5-GSps or Single 3.0-GSps Analog-to-Digital Converter (ADC) | TI.com.*
- [2] *LM97600 7.6 Bit, 1/2/4 Channel, 5/2.5/1.25 GSps, Analog-to-Digital Converter (ADC) | TI.com.*
- [3] *MAX109 8-Bit, 2.2GSps ADC with Track/Hold Amplifier and 1:4 Demultiplexed LVDS Outputs - Maxim.*
- [4] *Understanding Data Converters*, Application Report SLAA013, Texas Instruments, 1995.
- [5] O. AGAZZI, D. CRIVELLI, M. HUEDA, H. CARRER, G. LUNA, A. NAZEMI, C. GRACE, B. KOBEISSY, C. ABIDIN, M. KAZEMI, M. KARGAR, C. MARQUEZ, S. RAMPRASAD, F. BOLLO, V. POSSE, S. WANG, G. ASMANIS, G. EATON, N. SWENSON, T. LINDSAY, AND P. VOOIS, *A 90nm CMOS DSP MLSD Transceiver with Integrated AFE for Electronic Dispersion Compensation of Multi-mode Optical Fibers at 10Gb/s*, in 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, Feb. 2008, pp. 232–609.
- [6] ALTERA, *Stratix IV GX FPGA Development Kit User Guide*, Mar. 2014.
- [7] R. J. BAKER, *CMOS Circuit Design, Layout, and Simulation*, Wiley-IEEE Press, U.S.A, 3rd ed., May 2011.
- [8] W. C. BLACK AND D. A. HODGES, *Time interleaved converter arrays*, IEEE Journal of Solid-State Circuits, 15 (1980), pp. 1022–1029.
- [9] T. CHALVATZIS, E. GAGNON, M. REPETA, AND S. P. VOINIGESCU, *A Low-Noise 40-GS/s Continuous-Time Bandpass $\Sigma\Delta$ ADC Centered at 2 GHz for Direct Sampling Receivers*, IEEE Journal of Solid-State Circuits, 42 (2007), pp. 1065–1075.

- [10] S. W. M. CHEN AND R. W. BRODERSEN, *A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13- μ m CMOS*, IEEE Journal of Solid-State Circuits, 41 (2006), pp. 2669–2680.
- [11] D. E. CRIVELLI, M. R. HUEDA, H. S. CARRER, M. D. BARCO, R. R. LÓPEZ, P. GIANNI, J. FINOCHIETTO, N. SWENSON, P. VOOIS, AND O. E. AGAZZI, *Architecture of a Single-Chip 50 Gb/s DP-QPSK/BPSK Transceiver With Electronic Dispersion Compensation for Coherent Optical Channels*, IEEE Transactions on Circuits and Systems I: Regular Papers, 61 (2014), pp. 1012–1025.
- [12] K. DORIS, E. JANSSEN, C. NANI, A. ZANIKOPOULOS, AND G. V. D. WEIDE, *A 480 mW 2.6 GS/s 10b Time-Interleaved ADC With 48.5 dB SNDR up to Nyquist in 65 nm CMOS*, IEEE Journal of Solid-State Circuits, 46 (2011), pp. 2821–2833.
- [13] C. DUPILLIER, *A Bell 212a and V22 Compatible Single Chip CMOS Modem*, in Solid-State Circuits Conference, 1985. ESSCIRC '85. 11th European, Sept. 1985, pp. 245–249.
- [14] C. EICHENBERGER AND W. GUGGENBUHL, *On charge injection in analog MOS switches and dummy switch compensation techniques*, IEEE Transactions on Circuits and Systems, 37 (1990), pp. 256–264.
- [15] M. EL-CHAMMAS AND B. MURMANN, *General analysis on the impact of Phase-Skew in Time-Interleaved ADCs*, IEEE Transactions on Circuits and Systems I: Regular Papers, 56 (2009), pp. 902–910.
- [16] —, *A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration*, IEEE Journal of Solid-State Circuits, 46 (2011), pp. 838–847.
- [17] A. FERNANDEZ BOCCO AND L. A. REYES, *Conversor Analógico-Digital de Aproximaciones Sucesivas Asíncrono con Control de Error de Offset y Ajuste de Reloj para aplicaciones en Conversores de Tiempo Entrelazado*. Proyecto Integrador - Facultad de Ciencias Exactas, Físicas y Naturales - Universidad Nacional de Córdoba, 2018.

-
- [18] B. P. GINSBURG AND A. P. CHANDRAKASAN, *500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC*, IEEE Journal of Solid-State Circuits, 42 (2007), pp. 739–747.
- [19] Y. M. GRESHISHCHEV, J. AGUIRRE, M. BESSON, R. GIBBINS, C. FALT, P. FLEMKE, N. BEN-HAMIDA, D. POLLEX, P. SCHVAN, AND S. C. WANG, *A 40GS/s 6b ADC in 65nm CMOS*, in 2010 IEEE International Solid-State Circuits Conference - (ISSCC), Feb. 2010, pp. 390–391.
- [20] P. J. HURST, T. J. GLAD, J. J. ILLGNER, AND G. F. LANDSBURG, *An analog front end for v.22bis modems*, IEEE Journal of Solid-State Circuits, 23 (1988), pp. 978–986.
- [21] E. IP, A. P. T. LAU, D. J. BARROS, AND J. M. KAHN, *Coherent detection in optical fiber systems*, Optics express, 16 (2008), pp. 753–791.
- [22] Y. C. JENQ, *Digital spectra of nonuniformly sampled signals: fundamentals and high-speed waveform digitizers*, IEEE Transactions on Instrumentation and Measurement, 37 (1988), pp. 245–251.
- [23] L. KULL, D. LUU, P. A. FRANCESE, C. MENOLFI, M. BRAENDLI, M. KOSSEL, T. MORF, A. CEVRERO, I. OEZKAYA, H. YUEKSEL, AND T. TOIFL, *CMOS ADCs Towards 100 GS/s and Beyond*, in 2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), Oct. 2016, pp. 1–4.
- [24] N. KUROSAWA, H. KOBAYASHI, K. MARUYAMA, H. SUGAWARA, AND K. KOBAYASHI, *Explicit Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems*, IEEE Journal of Solid-State Circuits, 48 (2001), pp. 261 – 271.
- [25] S. LOUWSMA, E. VAN TUIJL, AND B. NAUTA, *Time-interleaved Analog-to-Digital Converters*, Springer Netherlands, Dordrecht, 2011. DOI: 10.1007/978-90-481-9716-3.
- [26] S. M. LOUWSMA, A. J. M. v. TUIJL, M. VERTREGT, AND B. NAUTA, *A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13 μ m CMOS*, IEEE Journal of Solid-State Circuits, 43 (2008), pp. 778–786.

- [27] G. LUNA, D. E. CRIVELLI, M. R. HUEDA, AND O. E. AGAZZI, *Compensation of track and hold frequency response mismatches in interleaved analog to digital converters for high-speed communications*, Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, 61 (2006), pp. 1630–1634.
- [28] K. H. LUNDBERG, *Analog-to-digital converter testing*, Massachusetts Institute of Technology. web. mit. edu/klund/www/papers/UNP_A2Dtest. pdf, (2002).
- [29] N. MEHTA, *Sampling Time Error Calibration for Time-Interleaved ADCs*, Master’s thesis, DELFT UNIVERSITY OF TECHNOLOGY, Aug. 2013.
- [30] A. MONTIJO AND K. RUSH, *Accuracy in Interleaved ADC Systems*, Hewlett-Packard Journal, 44 (1993), pp. 38–46.
- [31] NAM, KYUNG-WAN AND GOO, BYUNGJUN, *RF Sampling ADC With 800 MHz of IBW LTE*, Sept. 2016.
- [32] —, *RF Sampling DAC with 800 MHz of BW LTE*, Oct. 2016.
- [33] M. PELGROM, A. DUINMAIJER, AND A. WELBERS, *Matching properties of mos transistors*, IEEE Solid-State Circuits Magazine, 24 (1989), pp. 1433 – 1439.
- [34] M. J. PELGROM, *Analog-to-Digital Conversion*, Springer, New York, 1st ed., 2017.
- [35] K. POULTON, R. NEFF, B. SETTERBERG, B. WUPPERMANN, T. KOPLEY, R. JEWETT, J. PERNILLO, C. TAN, AND A. MONTIJO, *A 20 GS/s 8 b ADC with a 1 MB memory in 0.18 μ m CMOS*, in 2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC., Feb. 2003, pp. 318–496 vol.1.
- [36] J. M. RABAEY, A. CHANDRAKASAN, AND B. NIKOLIC, *Circuitos integrados digitales: una perspectiva de diseño*, Editorial Alhambra S. A. (SP), 2 ed., 2004. Google-Books-ID: gLkyAAAACAAJ.
- [37] B. RAZAVI, *Principles of Data Conversion System Design*, Wiley-IEEE Press, New York, 1st ed., Dec. 1994.
- [38] —, *Problem of timing mismatch in interleaved ADCs*, Custom Integrated Circuits Conference (CICC), (2012), pp. 1–8.

-
- [39] —, *Design Considerations for Interleaved ADCs*, IEEE Journal of Solid-State Circuits, 48 (2013), pp. 1806–1817.
- [40] D. REDMAYNE, E. TRELEWICZ, AND A. SMITH, *Understanding the Effect of Clock Jitter on High Speed ADCs*, Design Note 1013.
- [41] B. REYES, L. BIOLATO, A. GALETTO, L. PASSETTI, F. SOLIS, AND M. HUEDA, *An 8-bit 3.2GS/s CMOS Time-Interleaved SAR-ADC with Non-Buffered Input Demultiplexing*, in IEEE 9th Latin American Symposium on Circuits and Systems (LASCAS), 2018, pp. 1–4.
- [42] B. REYES, V. GOPINATHAN, P. MANDOLESI, AND M. HUEDA, *Joint sampling-time error and channel skew calibration of time-interleaved ADC in multichannel fiber optic receivers*, in 2012 IEEE International Symposium on Circuits and Systems (ISCAS), May 2012, pp. 2981–2984.
- [43] B. REYES, R. M. SANCHEZ, A. L. POLA, AND M. HUEDA, *Design and experimental evaluation of a time-interleaved adc calibration algorithm for application in high-speed communication systems*, in IEEE Transactions on Circuits and Systems I: Regular Papers, Dec. 2016, pp. 1019–1030.
- [44] B. REYES, L. TEALDI, G. PAULINA, E. LABAT, R. SANCHEZ, P. MANDOLESI, AND M. HUEDA, *A 6-bit 2GS/s CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques*, in 2014 IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS), Feb. 2014, pp. 1–4.
- [45] B. T. REYES, *Conversores analógico-digitales de alta velocidad para sistemas de comunicaciones digitales*, PhD thesis, Universidad Nacional del Sur, Bahía Blanca, Argentina, Feb. 2016.
- [46] B. T. REYES, G. PAULINA, R. SANCHEZ, P. S. MANDOLESI, AND M. R. HUEDA, *A 2GS/s 6-bit CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques*, Analog Integrated Circuits and Signal Processing, 85 (2015), pp. 3–16.
- [47] R. M. SANCHEZ, B. T. REYES, A. L. POLA, AND M. R. HUEDA, *An FPGA-based emulation platform for evaluation of time-interleaved ADC calibration systems*, in 2016 IEEE 7th Latin Ameri-

- can Symposium on Circuits Systems (LASCAS), Feb. 2016, pp. 187–190.
- [48] S. SAPONARA AND B. NERI, *Integrated 60 GHz antenna, LNA and fast ADC architecture for embedded systems with wireless gbit connectivity*, Journal of Circuits, Systems and Computers, 21 (2012), p. 1250047.
- [49] S. J. SAVORY, *Digital coherent optical receivers: Algorithms and subsystems*, IEEE Journal of Selected Topics in Quantum Electronics, 16 (2010), pp. 1164 – 1179.
- [50] D. STEPANOVIC AND B. NIKOLIC, *A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS*, IEEE Journal of Solid-State Circuits, 48 (2013), pp. 971–982.
- [51] T.-H. TSAI, P. J. HURST, AND L. S. H., *Analog-to-digital converter in an adaptively equalized digital communication receiver*, IEEE Transactions on Circuits and Systems I: Regular Papers, 56 (2009), pp. 307–319.
- [52] J. F. WAKERLY, *Diseño Digital: principios y prácticas*, Pearson Educación, 3 ed., 2001.
- [53] R. H. WALDEN, *Analog-to-Digital Converter Survey and Analysis*, IEEE Journal on Selected Areas in Communications, 17 (1999), pp. 539 – 550.
- [54] D. WENTZLOFF AND A. CHANDRAKASAN, *A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS*, Solid-State Circuits Conference. ISSCC 2007. Digest of Technical Papers. IEEE International, (2007), pp. 118–119.
- [55] N. N. ÇIKAN AND M. AKSOY, *Analog to Digital Converters Performance Evaluation Using Figure of Merits in Industrial Applications*, in 2016 European Modelling Symposium (EMS), Nov. 2016, pp. 205–209.

Apéndice A

Errores y Factores de Mérito en ADCs

El número de bits de salida de un ADC no especifica completamente su comportamiento. En la realidad existen diversas imperfecciones que hacen que su conducta difiera mucho y de muchas maneras de la ideal [?]. Las imperfecciones estáticas, tales como ganancia y *offset*, son fáciles de cuantificar. Sin embargo, el éxito de muchas aplicaciones de procesamiento de señales depende de su comportamiento dinámico. En última instancia, la aplicación determina los requisitos y la resolución del convertidor puede no ser suficiente para especificar el rendimiento requerido. En muchos casos, la calidad del conversor debe ser evaluada según la aplicación específica.

La gran variedad de aplicaciones genera un gran número de cifras de mérito para especificar el rendimiento. Estas cifras de mérito incluyen precisión, resolución, rango dinámico, *offset*, ganancia, no linealidad diferencial, no linealidad integral, relación señal-ruido, etc. Estas especificaciones pueden dividirse en tres categorías: **parámetros estáticos**, **parámetros dinámicos en el dominio de la frecuencia** y **parámetros dinámicos del dominio del tiempo**. Los más importantes de ellos se definen a continuación.

A.1. Fuentes de Error de Estado Estacionario, Parámetros Estáticos

Los parámetros estáticos son las especificaciones del convertidor A/D que se pueden probar a baja velocidad, o incluso con tensiones constantes. Estas especificaciones son [?] resolución, rango dinámico, *offset*, ganancia, no linealidad diferencial y no linealidad integral, entre otras.

A.1.1. Resolución

La resolución es el número de bits, N , de la palabra de salida. Probablemente la especificación más notable, la resolución determina el tamaño del bit menos significativo y, por tanto, determina el rango dinámico, los anchos de código y el error de cuantificación.

A.1.2. Rango Dinámico

El rango dinámico DR es la relación de la salida más pequeña posible (el bit menos significativo o la tensión de cuantización) a la salida más grande posible (voltaje a escala completa), matemáticamente:

$$DR = 20 \log(2N) \approx 6N. \quad (\text{A.1})$$

A.1.3. Error de Offset

Se conoce como error de *offset* a la diferencia que existe entre los puntos nominal y real, que se muestran en la Fig. A.1. Para un ADC, el *offset* es la desviación del valor actual de la tensión de transición respecto del ideal ($1/2$ LSB). Este error afecta, idealmente, a todos los códigos por igual y puede ser compensado mediante calibraciones.

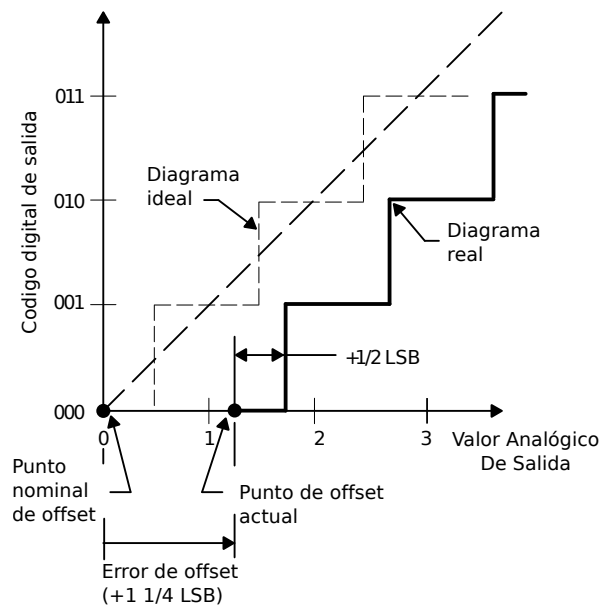


Figura A.1: Error de *offset*.

A.1.4. Error de Ganancia

El error de ganancia se grafica en la Fig. A.2, y se define como la diferencia que existe entre los puntos de ganancia nominal y real de la función de transferencia, una vez que el error de *offset* fue corregido. En otras palabras, la desviación de la pendiente de la línea que une los puntos de los códigos máximo y mínimo de la pendiente ideal de $2^m/V_{FS}$. Al igual que el *offset*, este error también se puede corregir mediante compensaciones.

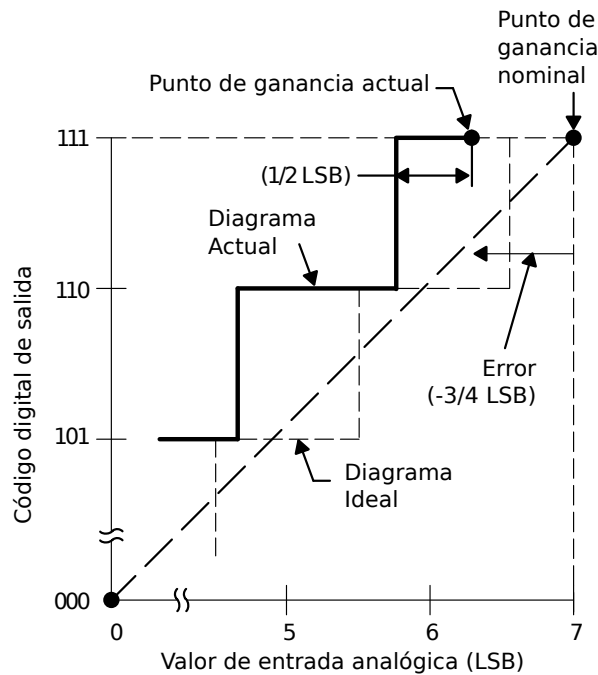


Figura A.2: Error de Ganancia.

A.1.5. Error de DNL

El error de no linealidad diferencial mostrado en la Fig. A.3 (a veces visto simplemente como linealidad diferencial) es la diferencia entre el ancho del paso nominal o ideal, que es 1 LSB, y el paso real. Por lo tanto, si el ancho de paso es exactamente 1 LSB, entonces el error de no linealidad diferencial es cero. Si la DNL excede 1 LSB, es posible que el convertidor pueda volverse no monótonico. Esto significa que la magnitud de la salida es menor para un aumento en la magnitud de la entrada. En un ADC existe también la posibilidad de que puedan faltar códigos, es decir, uno o más de los posibles 2^n códigos binarios nunca se presenten en la salida.

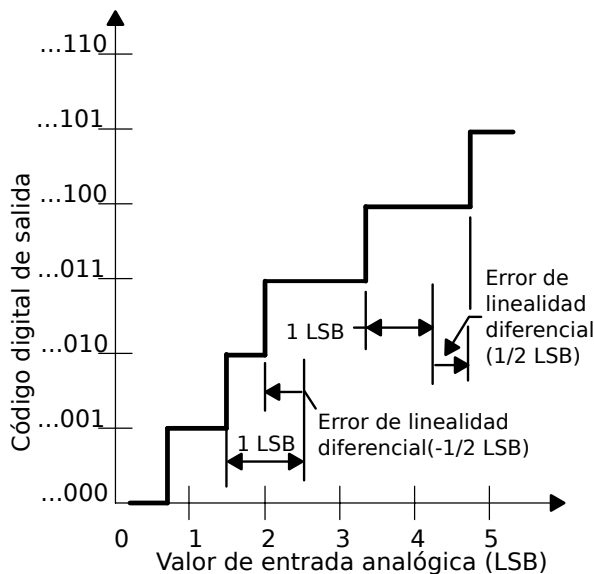


Figura A.3: Error de DNL.

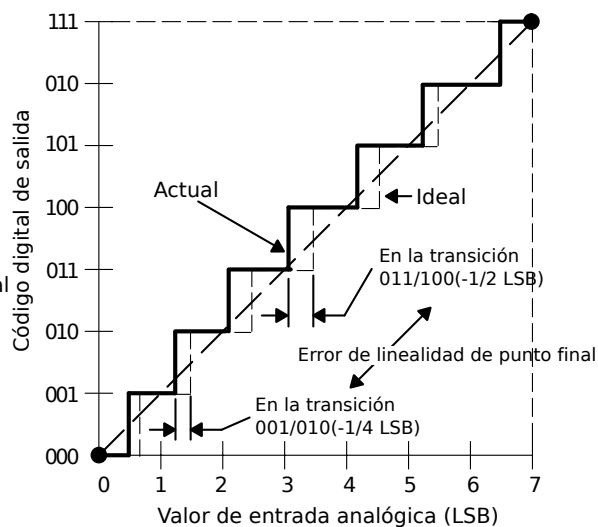


Figura A.4: Error de INL.

A.1.6. Error de INL

La INL es la distancia de los centros de código de la salida del convertidor hasta la línea ideal. Si todos los centros de código se posaran en la línea ideal, la INL es cero en todas partes. Algunas hojas de datos suelen listar solamente la INL máxima. Las desviaciones de los centros del código de la línea ideal pueden verse en la Fig.A.4. Hay dos maneras posibles de expresar la máxima INL, dependiendo de la definición de la “línea ideal”. Esta línea recta puede ser dibujada, para minimizar estas desviaciones, o puede ser una línea trazada entre los puntos finales de la función de transferencia una vez que la ganancia y los errores de compensación han sido anulados. El segundo método se llama linealidad de punto final y es la definición usual adoptada ya que se puede verificar de forma más directa.

Para un ADC las desviaciones se miden en las transiciones de un paso al siguiente. El nombre de no linealidad integral deriva del hecho de que la suma de las no linealidades diferenciales desde el fondo hasta un paso particular, determina el valor de la no linealidad integral en ese paso.

A.1.7. Error de Exactitud

La exactitud es el error total con el que el convertidor A/D puede convertir una tensión conocida, incluyendo los efectos de error de cuantificación, error de ganancia, error de compensación y no linealidades. Técnicamente, la precisión debe ser rastreable a los estándares conoci-

dos (por ejemplo, NIST), y es generalmente un término que considera todos los errores estáticos. Este parámetro se muestra en la Fig. A.5.

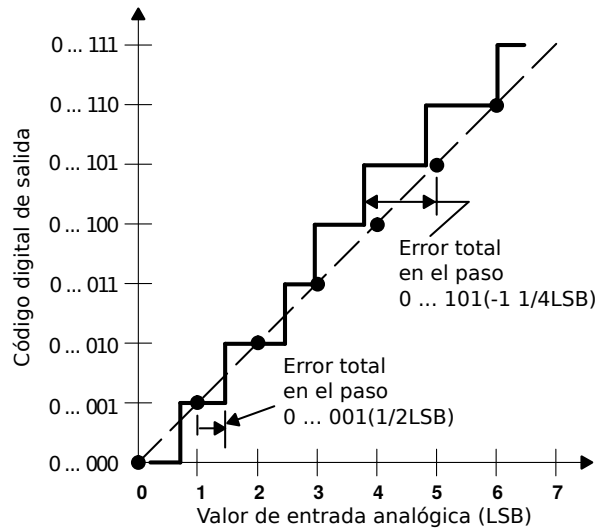


Figura A.5: Error de Total.

A.1.8. Códigos Ausentes

Son los códigos digitales de salida que no se producen para ninguna tensión de entrada, usualmente debido a una DNL grande. En algunos convertidores, los códigos que faltan pueden ser causados por la *no-monotonicidad*¹ del DAC.

A.2. Parámetros Dinámicos en el Dominio de la Frecuencia

Todos los convertidores analógico-digitales reales tienen fuentes adicionales de ruido y procesos de distorsión que degradan el rendimiento del mismo. Estas imperfecciones en el comportamiento dinámico del convertidor A/D se cuantifican de diversas maneras. A continuación se enumeran las más importantes.

A.2.1. SNDR

La SNDR es la relación entre la amplitud de la señal de entrada y la suma RMS de todas las demás componentes espectrales. Para una FFT

¹La *monotonicidad* del dispositivo se entiende como el crecimiento de la salida si en la entrada se ha producido un crecimiento y vice-versa.

de M puntos de una onda sinusoidal de prueba, si la fundamental está en el *bin* de frecuencia m (con amplitud A_m), la SNDR puede ser calculada a partir de las amplitudes en el gráfico de FFT.

$$SNDR = 10 \log \left[A_m^2 \left(\sum_{k=1}^{m-1} A_k^2 + \sum_{k=m+1}^{M/2} A_k^2 \right)^{-1} \right] \quad (\text{A.2})$$

La SNDR es dependiente de la amplitud y frecuencia de la señal de entrada, degradándose para altas frecuencias y niveles. Los valores medidos a menudo son presentados en gráficos de SNDR en función de la frecuencia para una amplitud constante de entrada, o SNDR en función de la amplitud para una frecuencia de entrada constante.

A.2.2. ENOB

El ENOB es simplemente la SNDR expresada en bits, en lugar de decibelios al resolver la ecuación de la SNR “ideal”:

$$SNR = 6,02N + 1,76 \text{ dB},$$

para el número de bits N , usando la SNDR medida

$$ENOB = \frac{SNDR - 1,76 \text{ dB}}{6,02 \text{ dB/bit}}. \quad (\text{A.3})$$

En el caso que la señal de entrada no esté en escala completa, el valor de SNDR disminuye por lo tanto también lo hace el ENOB. Para independizarnos de la amplitud de la señal de entrada se debe agregar un término correctivo:

$$ENOB = \frac{SNDR - 1,76 \text{ dB} + 20 \log \left(\frac{EscalaCompleta}{AmplitudDeEntrada} \right)}{6,02 \text{ dB/bit}} \quad (\text{A.4})$$

En la presentación de resultados medidos, el ENOB es idéntico a la SNDR, con un cambio en la escala del eje vertical.

A.2.3. SFDR

Es la relación de la señal de entrada al pico de la señal espuria/armónica de mayor amplitud presente en el espectro. Los espurios pueden ser creados en armónicos de la frecuencia de entrada debido a no-linealidades

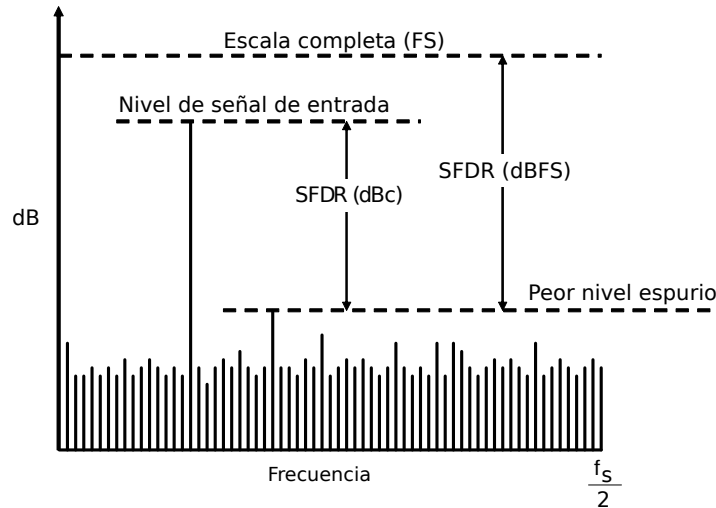


Figura A.6: SFDR en una FFT.

en el ADC, o a subarmónicos de la frecuencia de muestreo debido al des-
apareamiento o acoplamiento en el reloj del circuito.

La SFDR de un ADC puede ser mayor que la SNDR. Las mediciones
de SFDR pueden ser facilitadas incrementando el número de puntos en
el análisis de FFT o promediando las muestras obtenidas a partir de
varios conjuntos de mediciones.

A.2.4. Distorsión Armónica Total (THD)

Es la relación de la suma de los valores RMS de las primeras cinco
componentes armónicas (o sus alias) a la señal de entrada

$$THD = 10 \log \left(\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2} \right), \quad (A.5)$$

donde V_1 es la amplitud de la fundamental y V_n es la amplitud de la
n-ésima armónica.

A.3. Parámetros Dinámicos en el Dominio del Tiempo

A.3.1. Error de Apertura

El error de apertura es causado por la incertidumbre en el tiempo que
transcurre en el paso de muestreo a retención del circuito de SH como
se muestra en la Fig. A.7. Dado que cuando pasa a modo retención
instantáneamente debería desconectarse el capacitor de retención (C_H)

de la entrada. Sin embargo, existe un corto tiempo hasta que esto ocurra que se llama *tiempo de apertura*. El valor finalmente retenido es una versión retrasada de la señal de entrada. De esta manera, la variación es causada por el ruido en las señales de reloj o en la entrada. El efecto del error de apertura es establecer otra limitación en la máxima frecuencia para una onda senoidal porque este error define la máxima velocidad de crecimiento de esa señal.

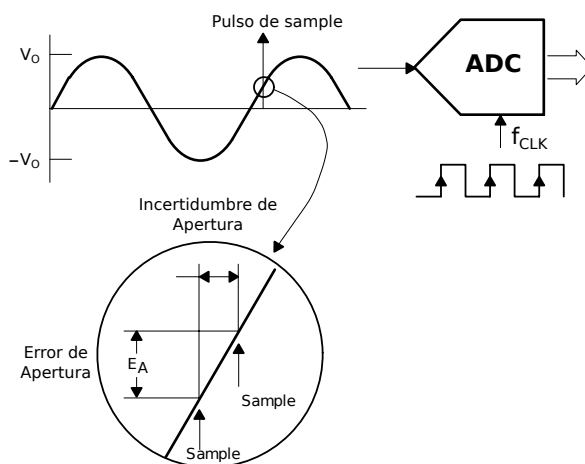


Figura A.7: Error de Apertura.

A.3.2. Jitter de Apertura

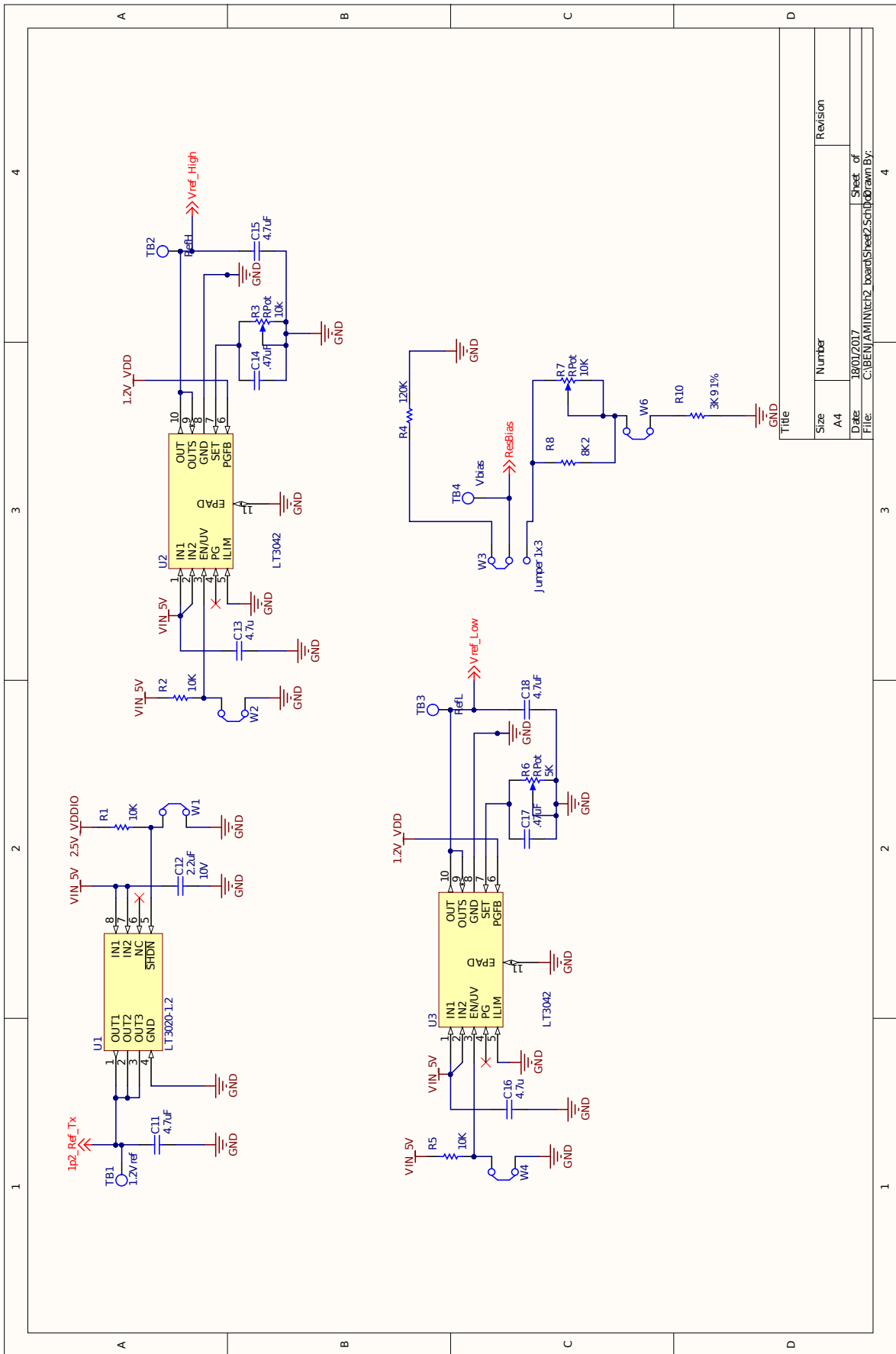
Es la variación muestra a muestra del error de apertura. El error de voltaje RMS causado por el *jitter* RMS de apertura reduce la SNR general y es un factor limitante significativo en el desempeño de los ADC [?].

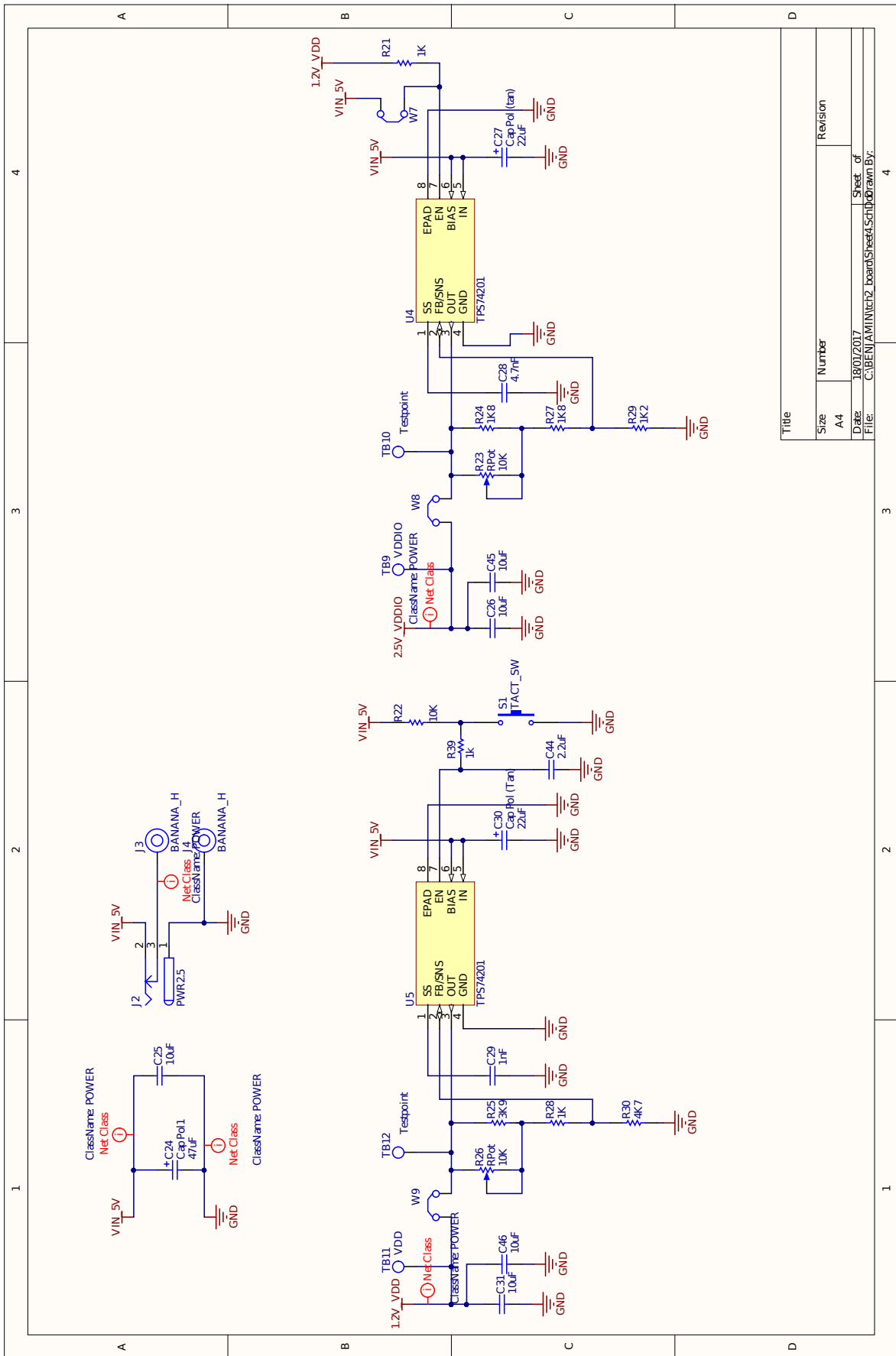
A.3.3. Respuesta Transitoria

Es el tiempo de establecimiento para que el ADC alcance con total exactitud (es decir dentro de una banda de $\pm 1/2$ LSB) la salida correspondiente a un voltaje de entrada que cambia de cero a escala completa.

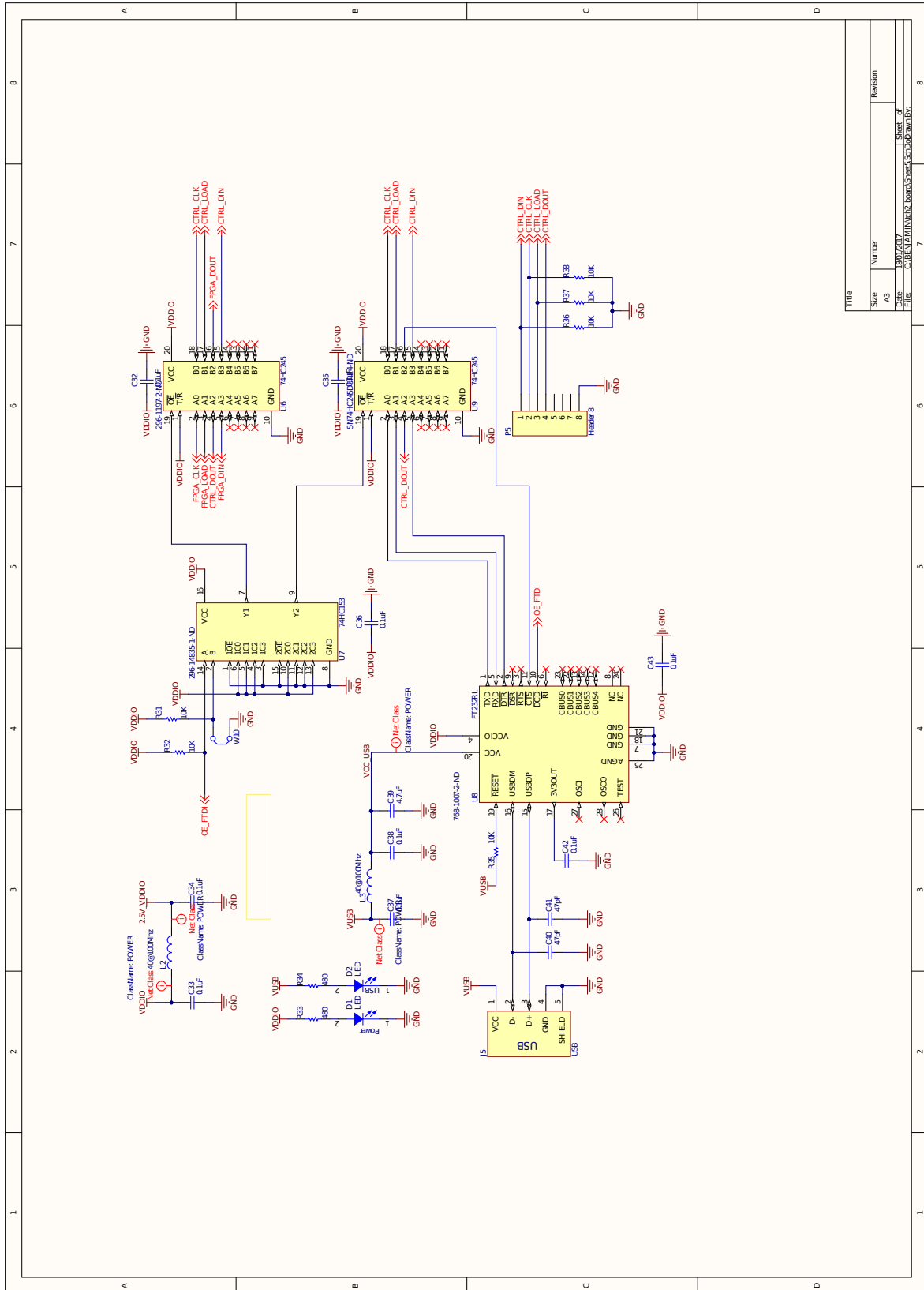
Apéndice B

Esquemáticos de la Placa de Evaluación





ESQUEMÁTICOS DE LA PLACA DE EVALUACIÓN



Title	Size	Number	Revision
A3	A3	1000/2017	
DATE:	C:\ELECTRONIC\DESIGN\SCHEMATIC\SCHEMATIC		
SHEET:	7		
SHEET:	8		

Apéndice C

Anexos del Proyecto Integrador

C.1. Solicitud de Aprobación de Tema



Facultad de Ciencias Exactas, Físicas y Naturales

ÁREA INGENIERÍA

ESCUELA DE ELECTRÓNICA

C.C. 755 - Correo Central - 5000 - CÓRDOBA

Tel. Directo (0351) 33-4147 int 110

Conmutador: 433-4141 y 33-4152 - Interno 10

Sr. Director de la Escuela de Ingeniería Electrónica

Ing.: RODRIGO BRUNI

Me dirijo a Ud. a fin de solicitar la **aprobación del tema del Proyecto Integrador (PI)** que propongo a continuación:

TEMA

NOMBRE DEL PROYECTO: GENERACIÓN Y CALIBRACIÓN DE SEÑALES DE RELOJ PARA CONVERSORES ANALÓGICO-DIGITAL DE TIEMPO ENTRELAZADO.

DESCRIPCIÓN: Ver anexo.

DESARROLLO DE PROTOTIPO: Si

ÁREA TEMÁTICA DEL PI: *Digitales, Analógica*

ASIGNATURAS: Electrónica Analógica I, Electrónica Analógica II, Síntesis de Redes Activas, Electrónica Digital I.

Director de PI

Nombre: Hueda, Mario Rafael

Cargo: Titular de Cátedra Teoría de Señales y Sistemas Lineales

Dirección Personal o Laboral: Huiliches 781 Casa 40, B° Portales del Sur

TE: 0351-156812027

eMail: mario.hueda@unc.edu.ar

Firma del Director:

Co-Director de PI

Nombre: Reyes, Benjamín Tomás

Cargo: Ingeniero Principal

Dirección Personal o Laboral: Ernesto Romagosa 518

TE: 0351-6162655

eMail: btreyes@gmail.com

Firma del Co-Director:

Datos del Estudiante

Nombre y Apellido: Juan Ignacio Giubilatto

Matrícula: 38986574

Materias que faltan aprobar: 2

Dirección: Rondeau 367 11 'A'

Localidad: Córdoba

Provincia: Córdoba

e-mail: juangiubilatto@gmail.com

Teléfono: (03564) 15590001

Firma:

Objetivo General:

Diseñar, implementar y medir la generación y calibración de señales de reloj necesarias para el correcto funcionamiento de un conversor analógico-digital de tiempo entrelazado. Además el proyecto incluye el diseño e implementación de hardware y software de la plataforma de mediciones y evaluación del chip prototipo.

Objetivos Específicos:

- *Estudiar y ejercitar sobre tecnología CMOS, aplicación en microelectrónica y software de desarrollo.*
- *Diseñar, simular e integrar bloques esquemáticos.*
- *Diseñar, simular e integrar bloques físicos (Layout).*
- *Gestionar fabricación del prototipo.*
- *Diseñar e implementar plataforma de medición.*
- *Medir dispositivo fabricado.*

Antecedentes de Proyectos similares:

Este proyecto es complementario al realizado paralelamente por los alumnos Álvaro Fernández Bocco y Leandro Ariel Reyes (“CONVERSION ANALÓGICO-DIGITAL DE APROXIMACIONES SUCEASIVAS ASÍNCRONO CON CONTROL DE ERROR DE OFFSET Y AJUSTE DE RELOJ PARA APLICACIONES EN CONVERSIONES DE TIEMPO ENTRELAZADO”).

A su vez, el presente PI, junto al antes mencionado, son continuación de un proyecto de investigación y desarrollo que comenzó con la Tesis Doctoral, “Convertidores Analógico-Digitales de Alta Velocidad para Sistemas de Comunicaciones Digitales”, del Co-Director (Dr. Ing. Benjamín Reyes). Y siguió con el Proyecto Final, “ADC Prototipo de Alta Velocidad y su Sistema de Medición/Verificación”, presentado en UTN-FRC por Ing. Agustín Galetto, Ing. Leandro Passeti e Ing. Fredy Solis.

Duración y Fases de las tareas previstas:

Tchip3 Descripción	2017								2018				
	May	Jun	Jul	Ago	Sep	Oct	Nov	Dic	Ene	Feb	Mar	Abr	May
Estudio teórico y capacitación sobre software de desarrollo													
Diseño, simulación e integración del dispositivo													
Diseño e implementación de plataforma de medición													
Testeo y mediciones del dispositivo													
Documentación final													

Metodología

Lugar previsto de realización: Fundación Fulgor (Ernesto Romagosa 518, B° Colinas V. Sarsfield)

Requerimiento de Instrumental y equipos: FPGA, computadoras equipadas con software de diseño analógico y layout, simulador spice, Python.

Inversión estimativa prevista por el alumno: -

Apoyo Económico externo a la Facultad: Estipendio mensual otorgado por Fundación Fulgor.

Referencias Bibliográficas o de Software:

- Design of Analog CMOS Integrated Circuits; Behzad Razavi; Mc Graw Hill; 2001).
- Circuitos Integrados Digitales; Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolić; Pearson; 2004.
- A 2GS/s 6-bit CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques; Benjamín T. Reyes, German Paulina, Raul Sanchez, Pablo S. Mandolesi, Mario R. Hueda; Springer Science+Business Media New York; 2015.
- ADC Prototipo de Alta Velocidad y su Sistema de Medición/Verificación; Agustín C. Galetto, Leandro D. Passetti, Fredy A. P. Solis; UTN-FRC; 2016

Recibido Cátedra PI

.....
Firma

Córdoba, / / .

ANEXO

1. Descripción detallada del proyecto

El presente Proyecto Integrador se realizará como parte de un proyecto de desarrollo e investigación orientado a circuitos integrados de alta velocidad. Para el mismo es necesario:

- Participar en el diseño general del chip conversor A/D, precisamente en la generación y calibración de señales de reloj.
- Diseñar e implementar el Hardware y Software específico para la medición y configuración del CI prototipo.

SAR-ADC de Tiempo Entrelazado

Los conversores A/D pueden alcanzar diferentes prestaciones según su topología básica, entre los que podemos citar: Flash, Pipeline, Aproximaciones Sucesivas, etc. Sin embargo, cualquier topología de ADC resultará limitada en su máxima velocidad de muestreo según la tecnología de integración utilizada. Por lo tanto, no hay solución posible brindada por un sólo conversor y debemos pensar en arquitecturas paralelas.

La arquitectura paralela de conversores A/D se conoce como ADC temporalmente entrelazado (TI-ADC por sus iniciales en inglés). La cual consiste en utilizar M sub-ADC independientes conectados en paralelo. Cada sub-ADC trabaja sólo en un determinado tiempo a una frecuencia de f_s/M donde f_s es la frecuencia de muestreo del sistema completo. Al

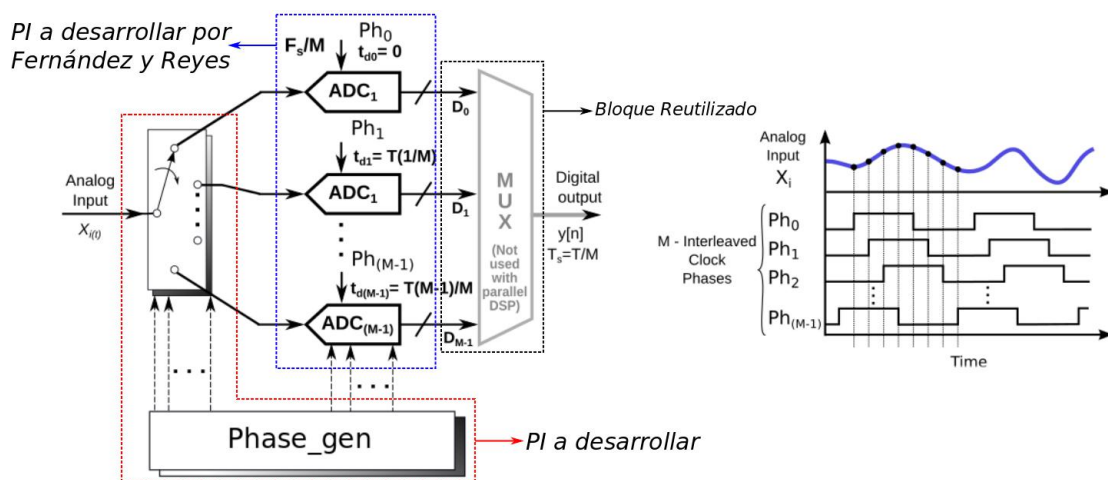


Figura C.1: Esquemático General

emplear esta arquitectura la tasa de muestreo efectiva puede ser multiplicada por el factor M . Para lograr esto se emplea un generador de fases que, a partir de una señal de reloj general, se encarga de habilitar a los sub-ADC en el momento adecuado. El esquema general se muestra en la Fig. C.1.

Aunque esta arquitectura es atractiva en cuanto a la posibilidad de alcanzar elevadas velocidades de operación en sistemas de conversión de datos, la disparidad (*mismatch*, inherente al proceso de fabricación) entre los diferentes canales (los cuales son idénticos en teoría) puede afectar seriamente el desempeño del sistema. Estas disparidades generalmente se caracterizan como offset, asimetrías en ganancia, temporización y ancho de banda.

Sincronismo - Generación y Calibración de Señales de Reloj.

Como se mencionó anteriormente, el proceso de fabricación y la ubicación de las M unidades ADC en el prototipo generan disparidades de temporización que deben ser correctamente subsanadas para que la conversión sea adecuada.

Por lo tanto, el objetivo de este proyecto es generar y calibrar/compensar las señales de reloj, replicadas y defasadas de forma correspondiente para garantizar el correcto funcionamiento del TI-ADC. Los bloques principales son:

1. **Clock Buffering.**
2. **Generación de fases de 800MHz.**
3. **Calibración programable de fases.**
4. **Generación de pulsos de sincronismo para el Transmisor LVDS y las unidades SAR.**

El bloque de *Generación de fases* se encarga de obtener una señal de reloj de 800MHz a partir de otra de 1.6GHz utilizando un divisor de frecuencia, para luego replicarla cuatro veces, con defasajes de 1/4 de ciclo entre cada una de éstas. La señal de reloj de entrada es una onda cuadrada diferencial de 1.6GHz y sus valores de tensión de 0V y 1.2V, provienen de la etapa de *Clock Buffering* de entrada.

La obtención de las cuatro fases se realiza a través de dos registros de desplazamiento manejados por la misma señal de entrada de 1.6GHz, uno de ellos con la misma fase que el divisor y el otro con la fase invertida.

Cada una de estas fases destinadas a comandar las llaves de muestreo, antes de llegar a las mismas pasa por un bloque de *Calibración programable*, que consiste en tres etapas de retardo individuales conectadas en cascada. La programabilidad de esta calibración radica en la estructura de la etapa que consta de 7 triestados conectados en paralelo, seguidos por un arreglo de capacitores (Que pueden conectarse o desconectarse), también conectados en paralelo. Y el diseño de los triestados y capacitores es tal que obtienen peso binario. El manejo de cada bloque para las 4 fases es independiente.

El bloque de *Generación de pulsos de Sincronismo* obtiene una onda cuadrada de 100MHz de frecuencia, con un ciclo de trabajo de 12.5%. Esto se consigue con una cadena de flip-flops actuando como divisor x8, obteniendo una onda cuadrada de 100MHz de frecuencia, pero con un ciclo de trabajo de 50%. Mediante un circuito combinacional de las señales intermedias, se consigue el pulso de 1/8 de ciclo.

En la Fig. C.2 podemos observar un diagrama general sobre el Sincronismo a desarrollar para el TI-ADC.

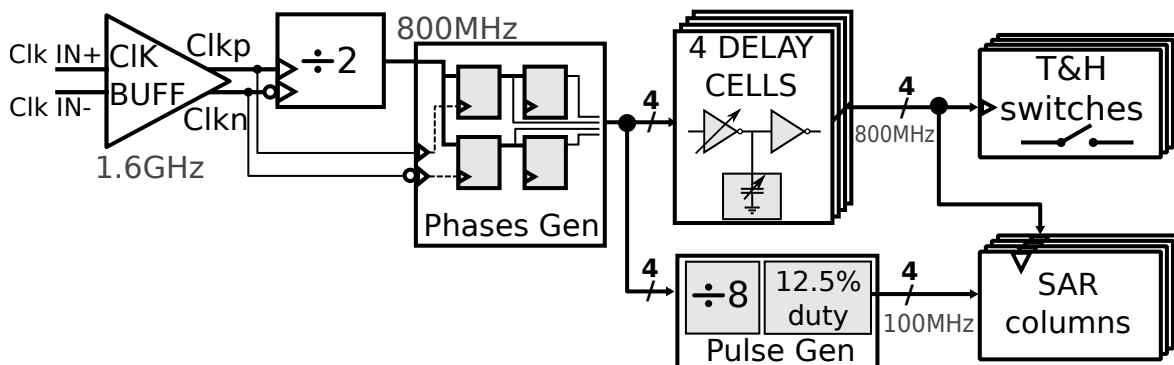


Figura C.2: Esquemático Sincronismo

Bloques adicionales para el funcionamiento del dispositivo: Unidades SAR-ADC y Transmisor LVDS

La unidad SAR-ADC, es implementada como un conversor A/D de aproximaciones sucesivas con algoritmo de búsqueda binaria. Cada unidad se compone de un comparador, un DAC y una lógica de control que se encarga de la coordinación de los 32 SAR-ADC, que fue desarrollado por Álvaro Fernández Bocco y Leandro Reyes para otro Proyecto Integrador complementaria.

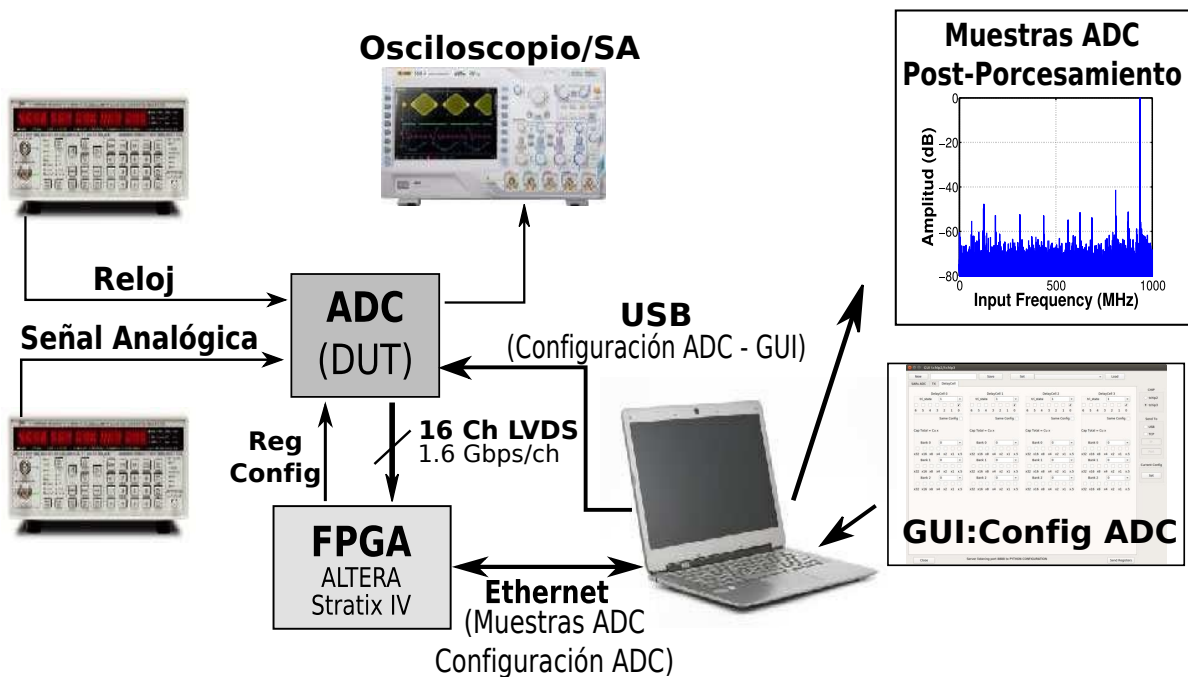
Para el bloque de transmisión de datos, encargado de interactuar con el conversor, se reutilizó el de la versión anterior del dispositivo, que fue

realizado por los Ingenieros Galetto, Passetti y Solis en su Proyecto Final en la UTN-FCR.

Especificaciones de diseño

- Tecnología CMOS de 130nm, empleando el PDK de IBM (Cmrf8sf).
- Cantidad de bits: 8.
- Líneas de salida diferenciales, de bajo voltaje y alta velocidad con impedancia característica de 50Ω .
- Sample rate: Hasta $3,2GS/s$.
- Bit rate = $3,2GS/s \times 8b = 25,6Gbps$
- Frecuencia de clock ≥ 1 GHz.
- Tensión de alimentación = 1.2V
- Señal de entrada analógica diferencial de $0,4V_{PP}$.
- Encapsulado QFN de 64 pines.
- Tolerancia frente a variaciones de temperatura, fuentes de alimentación y referencias.

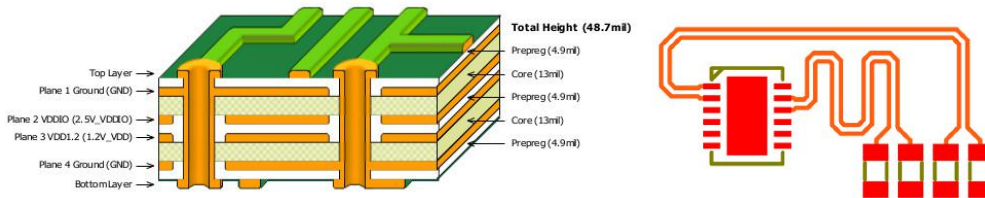
A/D Converter Setup



El testing y las mediciones de un chip requieren el desarrollo de una plataforma especial.

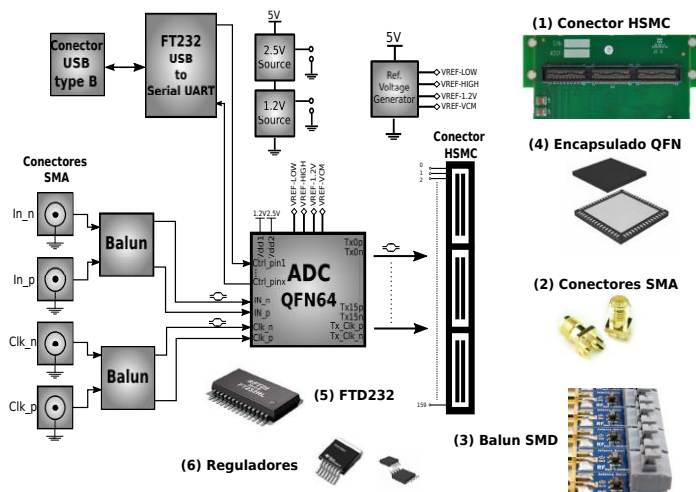
La figura muestra el setup utilizado para dicho propósito. Este incluye, entre otras cosas, desarrollo en FPGA.

Diseño de PCB



Se realizará el diseño de PCB multicapa (al menos 6). Para ello se debe generar el Layer Stack necesario para el fabricante del PCB. Se utilizarán conectores especiales para señales de alta velocidad, líneas de señales diferenciales $\geq 1GHz$, planos de masa para retorno de señales, etc. Se deberá controlar la impedancia para las líneas de alta velocidad. Finalmente se utilizarán herramientas post-diseño, para simulaciones de integridad de señales en las pistas del PCB.

A continuación se muestra un diagrama en bloques para explicar de manera simplificada los elementos que llevará la placa a desarrollar, como así también sus conexiones. En las siguientes imágenes se puede tener una mayor claridad sobre los componentes a utilizar, o encapsulados a montar.



Software a desarrollar

Se debe elaborar el software necesario para llevar a cabo: el control y la configuración sobre el ADC prototipo (1000 bits de configuración), el control y la captura de variables del sistema en tiempo real, el cálculo y la visualización de los resultados, manejo de protocolo USB, manejo del stack protocolos TCP/IP.

Se realizará una interfaz gráfica de usuario montada sobre una computadora (PC) de manera que las operaciones se puedan llevar a cabo de manera sencilla y rápida.

2. Referencias bibliográficas y de software

- Design of Analog CMOS Integrated Circuits; Behzad Razavi; Mc Graw Hill; 2001.
- Circuitos Integrados Digitales; Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolić; Pearson; 2004.
- A 2GS/s 6-bit CMOS time-interleaved ADC for analysis of mixed-signal calibration techniques; Benjamín T. Reyes, German Paulina, Raul Sanchez, Pablo S. Mandolesi, Mario R. Hueda; Springer Science+Business Media New York; 2015.
- ADC Prototipo de Alta Velocidad y su Sistema de Medición/Verificación; Agustín C. Galetto, Leandro D. Passetti, Fredy A. P. Solis; UTN-FRC; 2016